

École Doctorale de Physique et Chimie Physique

UDS - IPHC

THÈSE

présentée pour obtenir le grade de

Docteur de l'Université de Strasbourg

Discipline : Électronique, Électrotechnique, Automatique

Spécialité : Micro-électronique

par

Mokrane DAHOUMANE

**Conception, Réalisation et Caractérisation de
l'Électronique Intégrée de Lecture et de Codage des
Signaux des Détecteurs de Particules Chargées à Pixels
Actifs en Technologie CMOS**

Soutenue publiquement le 03 novembre 2009

Membres du jury

Directeur de thèse : M. Yann Hu, Professeur, ULP Strasbourg
Rapporteur interne : M. Ulrich Goerlach, Professeur, ULP Strasbourg
Rapporteur externe : M. Pierre Magnan, Professeur, ISAE, Toulouse
Rapporteur externe : M. Gilles Sicard, Maître de conférences, TIMA, Grenoble
Examineur : M. Daniel Dzahini, Ingénieur de recherche, LPSC, Grenoble
Examineur : M. Marc Winter, Directeur de recherche, IPHC, Strasbourg
Membre invité : M. Dominique Dallet, Professeur, IMS, Bordeaux

REMERCIEMENTS

Toute ma gratitude à M. Marc Winter, responsable scientifique du groupe Capteur CMOS à l'IPHC (Institut Pluridisciplinaire Hubert Curien) de Strasbourg, qui m'a accepté dans son groupe et a réuni tous les moyens nécessaires à l'aboutissement de mes travaux de thèse. Je le remercie pour sa confiance, sa disponibilité et sa relecture attentive de ce manuscrit. Ses conseils et ses compétences m'ont été une réelle source d'inspiration pour mes travaux de recherche dans cette thèse.

Tous mes remerciements à M. Daniel Dzahini, pour les conseils, les recommandations sur la conception de circuits et le soutien qu'il m'a réservés au LPSC (Laboratoire de Physique Subatomique et de Cosmologie) de Grenoble, où j'ai réalisé une partie de ma thèse.

Je remercie mon Directeur de thèse M. Yann Hu pour ses conseils et recommandations. Il m'a offert, à la fois, sa pleine disponibilité et une totale autonomie d'orientation de mes de travaux de recherche.

J'adresse tous mes remerciements à l'ensemble des membres du jury. Je remercie M. Pierre Magnan, Professeur à l'ISAE de Toulouse, de m'avoir honoré de présider le jury et d'être rapporteur de ma thèse. Je remercie également M. Gilles Sicard, Maître de conférences à l'UJF de Grenoble, et M. Ulrich Goerlach, Professeur à l'Université de Strasbourg pour avoir accepté d'être rapporteurs de cette thèse et pour leurs commentaires sur mon manuscrit.

Je remercie particulièrement Joël Bouvier qui m'a fait profiter de ses compétences en test et caractérisation des circuits intégrés et Olivier Rossetto pour ses conseils sur la conception en micro-électronique. Je n'oublie pas de remercier Laurent Gallin-Martel, Eric Lagorio et Jean-Yves Hostachy.

Je souhaiterais remercier M. Daniel Huss, Directeur du laboratoire IPHC, de m'avoir donné la possibilité de réaliser ma thèse dans ce laboratoire. Je remercie également tout le personnel de l'administration pour leur sympathie et leur chaleureux accueil. Mes chaleureux remerciements vont droit à tous mes collègues de l'IPHC et plus particulièrement mes collègues du groupe Capteur CMOS et du groupe de micro-électronique de l'IPHC. Grand merci à M^{me} Christine Hu, responsable du service de micro-électronique, qui a réuni les meilleures conditions pour la réussite de ma thèse. Son esprit d'organisation et sa compétence m'ont permis une meilleure interaction avec mes collègues dans le groupe.

Je remercie particulièrement mes deux collègues et amis Frédéric Morel, et Andreï Dorokhov pour avoir partagé avec moi leur recul et leur expertise sur la conception des capteurs CMOS à pixels actifs. Je tiens à remercier également Nicolas Olivier-Henry, Claude Colledani, Isabelle Valin, Christian Illinger, Sylviane Molinet, Kader Himmi et Grégory Bertolone ainsi que toute l'équipe de test en particulier Gilles Claus, Mathieu Goffé et Kimmo Jaaskelainen.

Pour l'ambiance sympathique de travail, je tiens également à remercier la troupe des doctorants dans mon groupe en particulier Michal Kozial, Christina Dritsa et Xiaochao Fang. Mes remerciements particuliers s'adressent à Nicolas Pillet.

Je voudrais remercier tous ceux qui ont contribué de près ou de loin à l'aboutissement de mon travail de thèse.

Je voudrais terminer par une profonde gratitude à mes parents et à toute ma famille qui, malgré la distance, ont su m'apporter leur rayon de soleil me procurant une énergie suffisante pour réussir tous mes projets, et en particulier ma thèse de doctorat.

« Grâce aux difficultés, on se découvre des qualités insoupçonnées »

René Lessard

Sommaire

Sommaire	v
Liste des figures	xi
Liste des tableaux	xv
Introduction générale.....	1
Chapitre 1	7
Les spécifications des capteurs CMOS à pixels actifs pour le détecteur de vertex en physique des particules	7
1.1. Introduction	7
1.2. Les progrès de la physique des particules	8
1.3. Le modèle standard de la physique des particules	10
1.3.1. Interactions fondamentales.....	11
1.3.1.1. Interaction gravitationnelle	11
1.3.1.2. Interaction électromagnétique.....	12
1.3.1.3. Interaction nucléaire faible	12
1.3.1.4. Interaction nucléaire forte	12
1.3.2. Unification des interactions fondamentales	12
1.4. Le Détecteur de Vertex à l'ILC	13
1.4.1. Les accélérateurs de particules	14
1.4.1.1. Accélérateurs à cible fixe	14
1.4.1.2. Les collisionneurs	14
1.4.2. Le détecteur de Vertex	17
1.4.2.1. Les contraintes sur le détecteur de vertex [Win07].....	17
1.4.2.1.1. Les dimensions et la forme multicouches du détecteur	17
1.4.2.1.2. La grande granularité.....	19
1.4.2.1.3. La grande résolution spatiale.....	19
1.4.2.1.4. La rapidité de lecture.....	19
1.4.2.1.5. Le budget de matière et la puissance dissipée	20
1.4.2.1.6. La tolérance aux rayonnements intenses	20
1.4.2.2. Les différents types de détecteurs à semi-conducteur	20
1.4.2.2.1. Les capteurs à micro-rubans.....	21
1.4.2.2.2. Les dispositifs à transferts de charges (CCD).....	21
1.4.2.2.3. Les capteurs hybrides à pixels.....	22
1.4.2.2.4. Les détecteurs à structure DEPFET.....	23
1.4.2.2.5. Les capteurs à pixels en technologie CMOS standard.....	24
1.4.2.2.6. Les capteurs CMOS en technologie d'intégration verticale	25
1.5. Les Capteurs Monolithiques à Pixel Actif (MAPS).....	25
1.5.1. Principe de détection	26
1.5.2. Architecture des MAPS.....	26
1.5.3. Lecture du pixel dans les MAPS	28
1.5.4. Les caractéristiques et performances des MAPS	29
1.5.5. Nécessité de codage des signaux des pixels par un CAN	30

1.5.6.	Les contraintes sur la conception du CAN prévu	31
a.	La technologie de fabrication	32
b.	Le signal minimum détectable.....	33
c.	Les dimensions du CAN.....	33
d.	Métallisation	34
e.	La fréquence de conversion.....	34
f.	La puissance	34
1.6.	Conclusion.....	34
Bibliographie.....		37
Chapitre 2		41
Conception et réalisation de l'étage d'interface entre une colonne de pixels et un CAN pour les capteurs MAPS		41
2.1.	Introduction	41
2.1.1.	Échantillonnage.....	41
2.1.2.	Échantillonneur-bloqueur.....	42
2.1.2.1.	Principe de fonctionnement d'un circuit S/H.....	42
2.2.	Échantillonneur-bloqueur et amplificateur.....	44
2.2.1.	Description du circuit.....	44
2.2.2.	Caractéristiques du circuit SHA	45
2.2.2.1.	Compensation de l'erreur due à l'offset de l'OTA	46
2.2.2.2.	Compensation de l'offset dû aux charges injectées	47
2.2.2.3.	Réjection de la tension de mode commun du pixel.....	48
2.2.2.4.	Insensibilité au faible gain en boucle ouverte de l'OTA.....	49
2.2.2.5.	L'effet des capacités parasites en entrée de l'amplificateur.....	49
2.2.2.6.	Les sources de bruit	49
2.2.3.	Réalisation du circuit SHA.....	50
2.2.4.	Conclusion.....	53
2.3.	Étude de l'adaptabilité du circuit SHA à la séquence de lecture du pixel	53
2.3.1.	Introduction	53
2.3.2.	Adaptation du circuit SHA aux spécifications des MAPS	54
2.3.3.	Conclusion.....	60
2.4.	Étude d'un circuit amplificateur et échantillonneur	60
2.5.	Proposition d'un circuit d'échantillonnage spécifique aux MAPS	62
2.5.1.	Introduction	62
2.5.2.	Principe de fonctionnement de l'architecture proposée	63
2.5.3.	Performances du circuit proposé	65
2.5.3.1.	Le gain du circuit et annulation d'offset de l'amplificateur.....	65
2.5.3.2.	Réjection de la tension de mode commun du pixel.....	66
2.6.	Conclusion.....	66
Bibliographie.....		67
Chapitre 3		69
Architectures et caractéristiques des Convertisseurs Analogique-Numérique.....		69
3.1.	Introduction	69
3.1.1.	Généralités : concept de conversion analogique-numérique	69
3.1.2.	Fonction de transfert.....	70
3.1.3.	Erreur de quantification.....	71
3.2.	Spécifications des convertisseurs analogique-numérique	72
3.2.1.	Les paramètres statiques.....	72
3.2.1.1.	Erreur de décalage (Offset)	72
3.2.1.2.	Erreur de gain.....	73

3.2.1.3.	Erreur de linéarité différentielle (DNL)	74
3.2.1.4.	Erreur de linéarité intégrale (INL)	74
3.2.1.5.	La monotonie	75
3.2.1.6.	Les codes manquants	75
3.2.2.	Les paramètres dynamiques	75
3.2.2.1.	Le rapport Signal-à-Bruit (SNR)	75
3.2.2.2.	Le rapport Signal-à-Bruit avec Distorsion (SINAD)	76
3.2.2.3.	Le nombre effectif de bits (ENOB).....	76
3.2.2.4.	La gamme dynamique utilisable (SFDR).....	77
3.2.3.	Conclusion.....	77
3.3.	État de l'art des convertisseurs analogique-numérique.....	77
3.3.1.	Les différentes architectures de CANs.....	77
3.3.1.1.	CAN flash (parallèle).....	78
3.3.1.2.	CAN à deux étages flash.....	79
3.3.1.3.	CAN à subdivisions	80
3.3.1.4.	Le Convertisseur pipeline	80
3.3.1.5.	CAN pipeline cyclique.....	82
3.3.1.6.	CAN à approximations successives	82
3.3.1.7.	Convertisseur à rampe.....	83
3.3.1.8.	CAN Sigma-Delta.....	84
3.3.2.	Comparaison universelle des architectures des CANs	85
3.3.3.	Comparaison adaptée aux spécifications du détecteur de vertex	88
3.3.4.	Projection des performances pour différentes configurations pipeline possibles et le flash	89
3.4.	Conclusion.....	90
	Bibliographie.....	91
	Chapitre 4.....	95
	Conception d'un CAN pipeline très compact intégrable avec les capteurs CMOS à pixels....	95
4.1.	Introduction	95
4.2.	Architecture des CANs pipeline.....	95
4.2.1.	Le Sub-Convertisseur Analogique-Numérique (Sub-CAN)	98
4.2.2.	Implémentation du circuit du MDAC	98
4.3.	Les sources d'erreurs et bruits dans les étages pipeline	103
4.3.1.	Les erreurs dans les Sub-CAN	103
4.3.2.	Les erreurs et non-uniformités dans les MDACs	107
4.3.2.1.	Les performances de l'amplificateur opérationnel.....	108
4.3.2.1.1.	Le gain fini en boucle ouverte de l'amplificateur opérationnel.....	108
4.3.2.1.2.	L'impact de l'offset de l'amplificateur.....	113
4.3.2.2.	L'établissement incomplet du signal en sortie du MDAC.....	115
4.3.2.3.	Appariement (matching) des capacités du MDAC	116
4.3.2.4.	Linéarité des capacités du MDAC	118
4.3.2.5.	Les erreurs sur les tensions de référence du MDAC.....	119
4.3.2.6.	Les commutateurs analogiques (switchs) en CMOS	121
4.3.2.6.1.	La non-linéarité de la résistance du switch.....	123
4.3.2.6.2.	Phénomène d'injection de charges et de Clock feed-through.....	125
4.3.2.6.3.	Compensation des charges injectées et de la clock feed through	126
a.	Méthode de bottom-plate sampling	127
b.	Méthode de transistor fantôme « dummy »	127
4.3.2.7.	Le bruit thermique (bruit en kT/C)	129
4.3.2.8.	Erreur de la gigue de l'horloge d'échantillonnage (Clock Jitter).....	132
4.3.2.9.	Autres sources de bruit.....	133
4.3.3.	Conclusion.....	133

4.4. Conception d'un CAN Pipeline de résolution 5 bits très compact à très faible puissance dissipée	134
4.4.1. Introduction	134
4.4.2. L'architecture du convertisseur du prototype réalisé	135
4.4.3. Implémentation de l'étage pipeline à 1,5 bit	137
4.4.4. Correction numérique des erreurs d'offsets des comparateurs	140
4.4.5. Les éléments actifs du convertisseur	142
4.4.5.1. L'architecture du comparateur	142
4.4.5.2. L'architecture de l'amplificateur	143
4.5. Test du CAN de très faibles puissance et signal à 5 bits de résolution	145
4.5.1. Banc de test des convertisseurs	146
4.5.2. Carte de test	146
4.5.3. Résultats de test du CAN 5 bits à 25 MHz [Dah07], [Dah09]	148
4.6. Conclusions	151
Bibliographie	155
Chapitre 5	161
Optimisation de l'architecture du CAN pipeline dédié aux capteurs monolithiques à pixel actif	161
5.1. Introduction	161
5.2. Le concept de double échantillonnage	162
5.3. Les sources d'erreurs dans les CANs à double échantillonnage	163
5.4. CAN Pipeline à 4 bits de résolution utilisant un étage pipeline de 2,5 bits en double échantillonnage [Dah07c], [Dah08]	164
5.4.1. Introduction	164
5.4.2. Implémentation de l'étage pipeline 2,5 bits en double échantillonnage	165
5.4.3. Les résultats de test du CAN pipeline à 4 bits de résolution et à 50 MS/s de fréquence en double échantillonnage	168
5.5. CAN Pipeline à 5 bits de résolution et à 50 MHz de fréquence utilisant des étages pipeline de 1,5 bit en double échantillonnage [Dah08b]	171
5.5.1. Introduction	171
5.5.2. L'architecture du convertisseur	171
5.5.3. Implémentation de l'étage pipeline à 1,5 bit de résolution en double échantillonnage	173
5.5.4. Les résultats de test du circuit	175
5.5.5. Conclusion	180
5.6. Proposition d'une chaîne de lecture à l'échelle de la colonne de pixels dans les capteurs monolithiques à pixel actif	181
5.6.1. Les optimisations apportées sur l'architecture du CAN	185
5.6.1.1. Minimisation des capacités parasites et de la dispersion d'offsets entre les étages d'entrée	185
5.6.1.2. Optimisation des distributions des signaux	185
5.6.1.3. Amélioration de la précision du gain de l'étage d'entrée	186
5.7. Conclusions et perspectives	186
a. Automatisation de la correction des offsets des amplificateurs	187
b. Intégration d'un seuil de discrimination	187
c. Minimisation des interférences électromagnétiques entre les voies	187
Bibliographie	189
Conclusion générale et perspectives	191
Annexe A	A1

A.1.	Amplification et traitement du signal dans le pixel.....	A1
A.2.	Fonction de transfert du SHA.....	A3
A.2.1.	Fonction de transfert : cas du gain infini de l'amplificateur	A3
A.2.2.	Fonction de transfert : cas du gain fini A de l'amplificateur.....	A5
A.3.	Fonction de transfert de l'étage d'entrée proposé	A6
Annexe B		B1
B.1.	Le générateur d'horloge	B1
B.2.	Les cellules numériques intégrées dans les circuits	B2
B.2.1.	Logique de décalage.....	B2
B.2.2.	Correction numérique des erreurs des offsets des comparateurs.....	B3
B.3.	Partage d'un amplificateur entre deux étages successifs dans un même CAN pipeline.....	B4
B.4.	Dessins des masques du circuit d'entrée et d'une matrice de 32 voies de CANs proposés.....	B5
Annexe C		C1
C.1.	Photographie du banc de test des CANs	C1
C.2.	Interface Labview.....	C2
C.3.	Analyseur vectoriel du signal (VSA)	C3

Liste des figures

Figure 1.1 : Schéma d'ensemble du futur collisionneur linéaire (ILC)	15
Figure 1.2 : Image artistique de l'un des 4 modèles de détecteur proposés pour l'ILC.....	16
Figure 1.3 : Vue globale du détecteur de vertex proposé pour l'ILC.....	18
Figure 1.4 : Structure en temps des faisceaux de l'ILC : des trains de 2820 paquets de particules, longs de 0,95 ms, se succèdent à intervalles de 199,05 ms	19
Figure 1.5 : Schéma de base d'un pixel actif	24
Figure 1.6 : Principe de détection des capteurs MAPS (R. Turchetta et al, NIM A 456 (2001))	26
Figure 1.7 : Architecture globale d'une matrice de pixels actifs avec la logique de commande et l'électronique de lecture et de traitement du signal.....	27
Figure 1.8 : Principales spécifications de l'architecture du pixel avec reset de la diode.....	29
Figure 1.9 : Séquence des commandes de lecture d'un pixel avec reset de la diode.....	29
Figure 1.10 : Résolution spatiale des MAPS en fonction du nombre de bits du CAN pour des pixels de 20 μm de pas, [Bes07]. Les résultats sont montrés pour trois capteurs, dont les signaux sont initialement encodés sur 12 bits. Ils ont ensuite été convertis hors ligne en un nombre de bits plus réduit (1, 2, 3, 4 ou 5) pour des besoins de l'étude.....	31
Figure 1.11 : Chaîne de lecture du signal d'un pixel dans les MAPS.....	31
Figure 1.12 : Architecture et composition d'un capteur de la couche interne (L0) du détecteur de vertex.....	33
Figure 2.1: Schéma de principe d'un échantillonneur-bloqueur élémentaire.....	43
Figure 2.2: Allure du signal de sortie durant les phases d'échantillonnage et de blocage.....	43
Figure 2.3 : Schéma de l'échantillonneur-bloqueur et amplificateur (SHA)	45
Figure 2.4 : Gain de l'échantillonneur-bloqueur en fonction de V_{in} et de l'offset en entrée de l'OTA	47
Figure 2.5 : Chronogramme des horloges de commande du fonctionnement du SHA.....	48
Figure 2.6 : Dessin de masque du circuit SHA et mise en évidence de ces dimensions.....	51
Figure 2.7 : Synoptique global de branchement du circuit SHA au CAN 5 bits	52
Figure 2.8 : Schéma d'un pixel actif avec reset intégré dans une matrice de Mimosa22.....	54
Figure 2.9: Configuration du SHA en mode lecture du pixel	55
Figure 2.10 : Schéma synoptique du SHA traditionnel (a) et du SHA adapté à la séquence du pixel (b).....	55
Figure 2.11 : Linéarité de SHA adapté à une colonne de pixels	56
Figure 2.12: Schéma du MSHA pour deux colonnes de pixels.....	57
Figure 2.13 : Séquencement des commandes de lecture d'un pixel de mimosa 22 par le circuit MSHA.....	58
Figure 2.14 : Gain du MSHA sans switch en entrée de l'AOP.....	58
Figure 2.15 : Schéma du MSHA avec switchs en entrée de l'AOP.....	59
Figure 2.16 : Gain du MSHA avec switchs en entrée de l'AOP.....	60
Figure 2.17 : Schéma global du circuit d'amplification et d'échantillonnage [Val07].....	61
Figure 2.18 : Séquence de commande du fonctionnement du circuit [Val07].....	62
Figure 2.19 : Schéma du circuit proposé pour l'étage d'interface entre une colonne de pixels et un CAN.....	64

Figure 2.20 : Séquence de commande du circuit d'interface proposé.	64
Figure 2.21 : Gain du circuit d'interface proposé en fonction de V_{in} et de l'offset de l'OTA.	65
Figure 3.1 : Fonctionnement conceptuel d'un CAN	70
Figure 3.2 : Fonction de transfert d'un CAN idéal à 3 bits.	70
Figure 3.3 : Bruit de quantification	71
Figure 3.4 : Erreur d'offset.	73
Figure 3.5 : Erreur de gain d'un CAN.	73
Figure 3.6 : Les erreurs DNL et INL d'un CAN	74
Figure 3.7 : CAN flash (parallèle).	78
Figure 3.8 : CAN à deux étages flash.	79
Figure 3.9 : CAN à repliement	79
Figure 3.10 : Architecture d'un convertisseur à subdivisions.	80
Figure 3.11: Schéma de principe d'un CAN pipeline de résolution N bits.	81
Figure 3.12 : Schéma fonctionnel d'un CAN pipeline cyclique.	82
Figure 3.13 : Convertisseur à approximations successives	83
Figure 3.14 : CAN à simple rampe.	83
Figure 3.15 : Schéma de principe d'un CAN sigma-delta	84
Figure 3.16 : ENOB versus fréquence d'échantillonnage [Le05].	86
Figure 3.17 : Puissance dissipée vs fréquence d'échantillonnage [Le05].	87
Figure 3.18 : Tendance des performances des CAN [Le05].	87
Figure 4.1 : Diagramme global d'un CAN pipeline	96
Figure 4.2 : Diagramme général d'un étage pipeline.	97
Figure 4.3: Principe d'implémentation d'une résistance en capacités commutées	100
Figure 4.4: Implémentation d'un MDAC en capacités commutées.	101
Figure 4.5: Les erreurs dans le Sub-CAN d'un étage pipeline	104
Figure 4.6: Fonction de transfert d'un étage pipeline 1,5 bit en présence d'offset sur les comparateurs	105
Figure 4.7: Mise en évidence de l'effet des incertitudes de l'horloge	106
Figure 4.8 : Les sources d'erreurs dans un circuit du MDAC à capacités commutées.	108
Figure 4.9 : L'impact de l'offset de l'amplificateur sur la sortie d'un étage pipeline à 1,5 bit	114
Figure 4.10 : Établissement du signal en sortie de l'étage d'un circuit à capacités commutées (e.g. MDAC).	115
Figure 4.11 : Génération des tensions de références par réseau de résistances.	119
Figure 4.12 : Effet des erreurs de tensions de référence du CNA sur l'étage pipeline 2,5 bit.	120
Figure 4.13 : Circuit d'échantillonnage MOS (à gauche) et son circuit RC équivalent en mode ON (à droite)	122
Figure 4.14 : La résistance R_{on} des différents switchs MOS.	124
Figure 4.15 : Principe d'opération d'un switch bootstrapping	124
Figure 4.16 : Injection de charge du canal d'un transistor NMOS	125
Figure 4.17 : Circuit d'échantillonnage utilisant la technique de bottom-plate sampling	127
Figure 4.18 : Ajout d'un dummy pour absorber la charge injectée par le switch.	128
Figure 4.19 : Compensation de l'effet clock feed-through par un dummy	128
Figure 4.20 : Architecture globale d'un capteur MAPS avec son électronique de commande et l'électronique de lecture et de traitement de signal.	135
Figure 4.21 : Diagramme général d'un CAN pipeline de résolution 5 bits à 1,5 bit par étage.	136
Figure 4.22 : Implémentation de l'étage pipeline 1,5 bit.	138
Figure 4.23 : Signaux de commande de l'étage pipeline 1,5 bit.	138

Figure 4.24 : Fonction de transfert d'un étage pipeline 1,5 bit et impact des offsets des comparateurs	140
Figure 4.25 : Temps de réponse du comparateur (transition haut-bas)	142
Figure 4.26 : Schéma simplifié du comparateur.	143
Figure 4.27 : OTA cascode télescopique à large excursion de sortie	143
Figure 4.28 : Diagramme de Bode de l'OTA chargé par une capacité de 1 pF	144
Figure 4.29 : Photographie du prototype de 8 canaux de CAN à 25 MHz	145
Figure 4.30: Schéma synoptique du banc de test de CANs	146
Figure 4.31 : Photo de la carte de test du CAN	147
Figure 4.32 : Non-linéarité différentielle du CAN avec et sans filtrage du signal d'entrée... 148	
Figure 4.33 : Non-linéarité intégrale du CAN avec et sans filtrage du signal d'entrée.	148
Figure 4.34 : La FFT d'un sinus de 1 MHz échantillonné à 25 MHz.	150
Figure 4.35 : Établissement des tensions de polarisation du circuit de mise en veille.....	150
Figure 4.36 : Temps de réponse du CAN à partir d'un front d'horloge de démarrage.	151
Figure 5.1 : Schéma de principe d'un MDAC à double échantillonnage	163
Figure 5.2 : Diagramme général du CAN pipeline à 4 bits en double échantillonnage.....	165
Figure 5.3 : Implémentation d'un étage pipeline 2,5 bit en double échantillonnage.	166
Figure 5.4 : Fonction de transfert d'un étage pipeline 2,5 bits avec l'impact des offsets des comparateurs	167
Figure 5.5 : Photographie du prototype de CAN pipeline à 4 bits et à 50 MS/s de fréquence.	168
Figure 5.6 : Non-linéarités intégrale et différentielle du CAN à 4 bits de résolution	169
Figure 5.7 : Le spectre du code de sortie d'un sinus de 1 MHz	169
Figure 5.8 : Diagramme général du CAN pipeline à 5 bits en double échantillonnage.....	172
Figure 5.9 : Implémentation de l'étage pipeline à 1,5 bit en double échantillonnage.	174
Figure 5.10 : Séquence de commande des opérations d'un étage pipeline à double échantillonnage.....	174
Figure 5.11 : Photo du prototype de 16 canaux de CANs pipeline à 5 bits en double échantillonnage.....	175
Figure 5.12 : La FFT du code de sortie pour un sinus de 1 MHz	177
Figure 5.13 : L'histogramme du code de sortie du CAN pour un sinus de 1 MHz	178
Figure 5.14 : DNL et INL du CAN de 5 bits à 50 MHz.....	178
Figure 5.15 : Réponse du CAN à un sinus à partir d'un front de démarrage.	179
Figure 5.16 : Dispersion des offsets entre les voies de convertisseurs.	179
Figure 5.17 : Schéma global de la chaîne de lecture proposée. L'étage d'entrée est composé de 4 circuits échantillonneurs amplificateurs (1, 2, 3, 4).	182
Figure 5.18 : Séquence de commande de lecture et de conversion des lignes de pixels.....	183
Figure 5.19 : Synoptique d'implémentation du premier étage pipeline de la configuration proposée.	184
Figure A.1 : Schéma d'un pixel	A1
Figure A.2 : Chronogramme de commande de lecture d'un pixel.	A1
Figure B.1 : Schéma du générateur d'horloge.....	B1
Figure B.2 : Logique de synchronisation des sorties numériques des étages pipeline.....	B2
Figure B.3 : Schéma de correction numérique des erreurs dues aux offsets des comparateurs.	B3
Figure B.4 : Schéma montrant le partage d'un amplificateur entre deux étages successifs le long d'un même CAN pipeline.	B4
Figure B.5 : Configurations du circuit de l'étage composite de la figure B.4 durant les phases Ø1 et Ø2.	B5
Figure B.6 : Dessin des masques du circuit de l'étage d'entrée du CAN proposé.....	B6

Figure B.7 : Dessin des masques d'une matrice de 32 canaux de CANs, i.e. 128 colonnes de pixels.	B6
Figure C.1 : Photographie du banc de test du CAN.	C2
Figure C.2 : Face-avant de l'interface LabView.	C3
Figure C.3 : FFT, sinus et histogramme (du haut en bas) du code de sortie du CAN reconstitués par l'outil VSA.	C4

Liste des tableaux

Tableau 1.1 : Classification des particules élémentaires dans le modèle standard.	11
Tableau 1.2 : Spécifications du détecteur de vertex basé sur les capteurs CMOS. Pour chaque couche de ce détecteur, le tableau indique les dimensions des pixels, la vitesse de lecture, le nombre d'échelles, la consommation instantanée et moyenne [Win07].	18
Tableau 2.1 : Résumé des performances du circuit SHA.	51
Tableau 2.2 : Résumé des performances du circuit d'interface entre pixels et CAN	66
Tableau 3.1: Projection des performances (puissance dissipée et dimensions) pour différentes configurations de l'architecture pipeline du CAN et un CAN flash.	89
Tableau 4.1 : Valeurs rms du bruit pour différentes capacités d'échantillonnage.	132
Tableau 4.2: Algorithme de reconstruction de la sortie numérique du CAN 5 à bits.	141
Tableau 4.3 : Résumé des performances du CAN mesurées à température ambiante.	152
Tableau 5.1: Résumé des performances du CAN obtenues par des tests à température ambiante.	170
Tableau 5.2 : Performances dynamiques à la fréquence de conversion de 50 MHz.	177
Tableau 5.3 : Résumé des performances du CAN à 5 bits en double échantillonnage mesurées à température ambiante.	181

Introduction générale

La recherche en Physique des Hautes Énergies (High Energy Physics, HEP) nécessite des instruments, qui associent des accélérateurs de particules de plus en plus puissants à des détecteurs de particules de plus en plus sensibles et complexes. Avant même de se lancer dans l'exploitation du collisionneur de protons du CERN¹, le LHC (Large Hadron Collider), la communauté des physiciens des particules a déjà son regard porté sur la prochaine grande étape de l'exploration des lois fondamentales de la Nature, le collisionneur électron-positon ILC (International Linear Collider). Cet accélérateur, qui est encore en phase de conception, pourrait fournir ses premiers faisceaux au début des années 2020. Il permettra d'approfondir les observations réalisées au LHC grâce à la précision expérimentale qu'il autorise, et repoussera la limite expérimentale de sensibilité aux phénomènes nouveaux au-delà de celle accessible avec le LHC.

La sensibilité expérimentale ambitionnée avec l'ILC, hors de portée des technologies existantes, a contraint la communauté de physique des particules dans le monde à s'organiser depuis plus d'une décennie autour d'un grand programme de développement instrumental pour mettre au point des techniques de détection adaptées aux objectifs scientifiques. L'un des grands défis de ce programme concerne la reconstruction des trajectoires des particules chargées (électriquement) qui traversent l'appareillage expérimental. Il s'agit notamment de pouvoir déterminer l'origine spatiale de ces particules, afin d'identifier celles qui proviennent de la désintégration de particules mères de très courte durée de vie. Ces dernières se désintégrant à l'intérieur du tube à vide dans lequel circulent les faisceaux, leurs produits de désintégration représentent le seul moyen de les identifier et de les étudier.

Parmi les particules de très courte durée de vie, se trouvent notamment les mésons affectés du nombre quantique du "charme". Ils sont intéressants parce que susceptibles de provenir eux-mêmes de la désintégration de nouvelles particules, massives, de plus courte durée de vie encore (e.g. boson de Higgs). La possibilité d'identifier les mésons dits "charmés" permet d'évaluer les paramètres physiques qui régissent leur production à partir de particules nouvelles et, de là, de remonter aux propriétés de ces particules.

¹ CERN : Centre Européen de la Recherche Nucléaire.

Les technologies de détection de particules en fonction (par exemple au LHC), ne sont pas assez performantes pour permettre d'identifier assez efficacement les particules de très courte durée de vie. C'est notamment le cas pour les détecteurs de vertex, qui sont disposés à proximité immédiate du point d'interaction des faisceaux, et qui fournissent donc les points de mesure de trajectoires les plus cruciaux pour retrouver l'origine spatiale de chacune d'elles. Ce constat est à l'origine du développement des capteurs à pixels CMOS à l'IPHC-Strasbourg (Institut Pluridisciplinaire Hubert Curien) à la fin des années 1990. Cette technologie se distingue par sa précision sans pour autant perturber la trajectoire des particules détectées grâce à la minceur des capteurs. Étant réalisé selon les procédés de fabrication CMOS standard de l'industrie, ce type de capteur permet spontanément d'y intégrer des micro-circuits de conditionnement du signal, à même le substrat abritant le volume sensible.

La résolution spatiale du capteur est un élément clef de ses performances. Elle résulte notamment de la répartition des charges libérées par la particule détectée lorsqu'elle traverse, et ionise, le volume sensible du capteur. La position de l'impact de la particule détectée est calculée à partir du barycentre des charges libérées. Les micro-circuits de conditionnement du signal intégrés dans le capteur doivent permettre de déterminer ce barycentre hors ligne à partir de la position des pixels touchés et de la charge collectée par chacun d'eux. L'encodage de cette charge repose sur un CAN (Convertisseur Analogique-Numérique) qui doit être assez précis pour le calcul du barycentre, sans que cette précision ne se traduise par une puissance dissipée et un encombrement trop élevés. Le CAN doit également satisfaire des contraintes de rapidité de conversion résultant du taux d'interaction élevé des faisceaux du collisionneur, qui est à l'origine d'un taux d'occupation élevé des capteurs composant le détecteur de vertex.

L'objectif de mon travail de thèse exposé dans ce manuscrit est de concevoir, réaliser et caractériser un CAN répondant à ces exigences conflictuelles. Ce dernier doit être intégrable à l'échelle des colonnes des matrices de pixels des capteurs CMOS, qui composeront le détecteur de vertex à l'ILC. La particularité du cahier des charges imposé sur la réalisation de ce CAN exclut toute possibilité de recourir aux circuits existants. D'où, la nécessité de développer un nouveau CAN spécifique, qui doit satisfaire les contraintes suivantes :

- La technologie utilisée doit être celle déjà validée pour réaliser les pixels (technologie CMOS 0,35 μm , actuellement). Cette technologie présente des effets contraignants sur la

réalisation du CAN (encombrement, dissipation de puissance, nombre réduit de couches de métallisation).

- Le signal minimum n'est que de 1 mV à la sortie de chaque pixel. Cette valeur est du même ordre de grandeur que les variations des seuils des transistors en technologie CMOS.
- La largeur du dessin des masques du convertisseur doit être ajustée à celle des pixels, qui est de 20 μm .
- La longueur du CAN ne doit pas excéder 1 mm, pour minimiser la zone insensible globale du détecteur.
- Le nombre de couches de métallisation n'est que de 4 (routage difficile et capacités parasites).
- La fréquence de conversion est de 10 MHz/colonne de pixels.
- La puissance dissipée ne doit pas excéder 500 μW / colonne de pixels.

Le CAN doit donc être compact, rapide, de très faible dissipation de puissance et sensible à un signal minimum d'environ 1 mV. La résolution du CAN sera de 4 ou 5 bits. Le choix de cette dernière est un compromis entre la granularité et la résolution spatiale du capteur et les dimensions et la puissance dissipée du CAN. L'architecture pipeline employant la technique des capacités commutées a été choisie pour la réalisation de ce CAN. Le mode non-différentiel a été étudié et implémenté; il est plus délicat que celui différentiel, mais il permet de minimiser l'encombrement, qui est une préoccupation majeure du concept.

Afin de pouvoir être sensible au signal minimum du pixel (~ 1 mV) et disposer d'un temps nécessaire à la conversion de celui-ci, le CAN doit être précédé par un étage d'entrée, qui est un circuit échantillonneur-bloqueur et amplificateur (Sample & Hold Amplifier, SHA). La réalisation de ce circuit, qui permet le conditionnement du signal issu du pixel, constitue une partie substantielle de mon travail dans cette thèse. Différentes architectures ont été étudiées, en utilisant la technique des capacités commutées.

J'ai réalisé la première partie de mes travaux de thèse au Laboratoire de Physique Subatomique et de Cosmologie de Grenoble (LPSC). J'ai rejoint ensuite mon laboratoire d'accueil à l'IPHC de Strasbourg où j'ai réalisé la deuxième partie et la fin de ma thèse.

Ce manuscrit présente les détails de la conception de trois prototypes successifs de convertisseurs réalisés en technologie CMOS standard $0,35\text{ }\mu\text{m}$ d'AMS², avec le souci de minimiser à la fois la puissance dissipée et la surface. Les résultats des tests en laboratoire de ces circuits seront présentés et analysés. Ainsi, les questions sous-jacentes aux problèmes rencontrés sur les premières versions de CAN seront traitées et les améliorations apportées seront présentées dans ce manuscrit qui, dans un premier temps, rappelle quelques aspects de physique et les défis scientifiques du projet ILC. Ceci permettra de déterminer les contraintes particulièrement sévères imposées sur le détecteur du vertex et, par conséquent, sur la conception de l'électronique de lecture intégrée avec les capteurs. Ensuite, nous rappellerons en détail le système de pilotage des pixels. Car, c'est ce dernier qui sera utilisé pour piloter le fonctionnement du CAN et de son étage d'entrée.

Le deuxième chapitre traite les détails de conception de l'étage d'entrée qui est une interface entre une colonne de pixels et un CAN. Après quelques rappels sur le principe d'échantillonnage, nous présenterons les différentes architectures que nous avons étudiées dans le but d'en choisir la plus optimale.

Dans le troisième chapitre, après une introduction aux spécifications et aux différentes architectures de CANs, nous réaliserons une comparaison entre ces convertisseurs en fonction de leurs performances afin de choisir l'architecture la plus adaptée à l'application du détecteur de vertex. Le choix de l'architecture pipeline pour cette finalité sera expliqué.

Le quatrième chapitre discute, dans un premier temps, des principes et des opérations dans les CANs pipeline d'une façon générale. Nous y identifierons les sources d'erreurs et leurs effets sur les performances globales dans les CANs pipeline et présenterons les techniques de corrections et/ou de compensations de ces erreurs. Ensuite, suivra une étude détaillée de la conception d'un prototype de CANs pipeline spécifiques de résolution 5 bits. Chaque CAN est composé d'une cascade de trois étages pipeline de résolution 1,5 bit et d'un dernier étage flash à 2 bits de résolution. Les résultats de test de ce prototype de convertisseurs seront présentés dans ce chapitre. La résolution de 1,5 bit/étage, qui constitue

² Austria Micro-System

la configuration élémentaire des CANs pipeline, a été choisie pour tester la validité du concept pipeline. Elle a l'avantage de poser le minimum de contraintes sur les amplificateurs et les comparateurs.

Les résultats favorables obtenus par le CAN pipeline traditionnel, en termes de surface et puissance dissipée, peuvent être améliorés en introduisant la technique du double échantillonnage. A cet effet, le dernier chapitre débutera par expliquer le concept du double échantillonnage et ses avantages sur la minimisation de la surface et de la puissance dissipée et détaillera un prototype de CAN utilisant ce concept. Une résolution de 2,5 bits/étage a été choisie pour réduire le nombre d'étage pipeline et, par conséquent, réduire la puissance dissipée et la surface. Ensuite, nous présenterons les détails de la conception et les résultats de test d'un prototype de CAN, conçu en apportant des optimisations et améliorations substantielles sur les circuits précédents. Ce dernier comporte 16 voies de CANs fabriqués en technologie CMOS 0,35 μm d'AMS et échantillonnant à la fréquence de 50 Méga échantillons par seconde (50 MS/s), ce qui permet d'en multiplexer un vers 4 colonnes de pixels. En fin de ce chapitre, nous proposerons une nouvelle chaîne de lecture complètement accordée à la séquence des commandes des pixels dans les capteurs CMOS. Cette dernière sera composée d'un nouveau circuit d'amplification proposé dans le chapitre 2 et d'un CAN pipeline optimisé et adapté pour coder les signaux des pixels.

Enfin, ce manuscrit se termine par une conclusion générale et des perspectives, où seront résumés les performances déjà acquises et les points qui demeurent améliorables. Des compléments d'informations seront joints dans les Annexes A, B et C.

Chapitre 1

Les spécifications des capteurs CMOS à pixels actifs pour le détecteur de vertex en physique des particules

1.1. Introduction

La réalisation du convertisseur analogique-numérique pour coder les signaux des capteurs CMOS à pixels doit répondre à un cahier des charges particulièrement sévère, qui est imposé par les exigences du détecteur de vertex. L'objectif, dans ce chapitre, à travers l'étude des spécifications des capteurs CMOS en développement à l'IPHC-Strasbourg, est de montrer la nécessité d'intégrer un CAN avec le capteur pour atteindre une résolution spatiale recherchée du capteur et déterminer les différents points du cahier des charges imposé sur la conception du CAN.

La résolution, les dimensions (la forme), la vitesse et la puissance dissipée du CAN prévu dépendront directement des exigences imposées par le programme de physique de l'ILC sur le détecteur de vertex en termes de résolution spatiale, granularité, taux d'occupation et minceur, respectivement. Alors, le rappel des objectifs et des défis scientifiques de l'expérience à l'ILC et l'étude du contexte spécifique dans lequel fonctionneront les capteurs CMOS intégrant ce CAN seront indispensables pour définir les paramètres caractéristiques motivant le développement d'un CAN spécifique dans le cadre de mon travail de thèse.

A cet effet, ce chapitre commence d'abord par un rappel sur les progrès de la physique des particules à travers le temps, motivant la mise en œuvre des instruments plus en plus

puissants et sensibles dans les expériences de physique des particules. Ensuite, je présenterai, le détecteur de vertex à l'ILC ainsi que les différentes technologies de détection des particules, dont celles qui ont déjà été utilisées dans les précédentes expériences de physique des hautes énergies. Nous rappellerons les caractéristiques et les spécifications des capteurs monolithiques à pixels actifs en technologie CMOS, pour définir les contraintes qui en découlent sur la conception de leur électronique de lecture intégrée et du CAN particulièrement.

1.2. Les progrès de la physique des particules

La physique des particules concerne l'étude des constituants élémentaires de toute la matière et la manière dont ils interagissent entre eux. Par élémentaire, on entend qui n'a pas de structure interne. Une telle étude nécessite des systèmes expérimentaux de détection de plus en plus puissants ; ceux-ci se composent d'accélérateurs de particules auprès desquels sont installés des détecteurs de particules de différents types.

Depuis l'antiquité, l'homme ne cesse de chercher les particules élémentaires qui constituent le monde. La notion « d'élémentaire » a évolué au cours du temps en commençant par le développement graduel de la théorie atomique, suivi par une compréhension plus approfondie de l'atome quantique, et aboutissant à la théorie récente du Modèle Standard [Kan96].

L'atome était considéré comme une particule insécable jusqu'à la fin du 19^{ème} siècle. Durant la période 1895-1900, le bestiaire de la physique s'enrichit de divers rayonnements : rayonnements cathodiques, rayonnements X, α , β , γ . C'est l'époque de la découverte de la radioactivité, où l'on s'aperçut que l'atome était constitué d'autres particules [Bin99].

L'électron, première particule élémentaire, fut mis en évidence par Joseph John Thomson en 1897. Suite à cette découverte J.J. Thomson crée un modèle où l'atome est décrit comme une entité de charge neutre (contenant un noyau positif avec des électrons négatifs) [Mer99].

En 1911, Ernest Rutherford conclut à l'existence du noyau comme résultat de l'expérience de diffusion alpha réalisée par Hans Geiger et Ernest Marsden. Autour de ce noyau massif et minuscule, les électrons se déplacent sur des orbites analogues à celles des planètes autour du soleil, d'où le nom du modèle planétaire de l'atome nucléaire (1911).

Rutherford découvrit le proton en 1919 et induisit la notion de protons neutres, de masse voisine de celle du proton mais de charge nulle, pour combler la différence entre la masse de Z protons³ et celle de l'atome [Mer99].

En 1930, Wolfgang Pauli suggère l'existence du neutrino pour expliquer le spectre continu des électrons dans la désintégration bêta [Mer99].

En 1932, James Chadwick découvre le neutron, de masse égale à celle du proton mais de charge nulle [Mer99].

En 1931, Paul Dirac réalise que les particules chargées positivement auxquelles s'applique son équation sont des objets nouveaux (nommés positons). Ils sont identiques aux électrons, mais de charge électrique opposée. C'est le premier exemple d'antiparticule. Le positon fut détecté en 1932 dans le rayonnement cosmique par Carl Anderson. On sait aujourd'hui qu'à toute particule est associée une antiparticule de masse identique et de charge électrique opposée [Mer99].

En 1934, Hideki Yukawa combine la théorie de la relativité restreinte et la théorie quantique pour décrire les interactions nucléaires par l'échange de nouvelles particules (mésons appelés pions) entre protons et neutrons (nucléons). A partir de la taille du noyau, Yukawa conclut que la masse de ces mésons serait supérieure à la masse de 200 électrons [Mer99].

En 1937, une particule ayant la masse de 200 électrons est découverte dans les rayonnements cosmiques. Alors qu'au départ supposée être le pion de Yukawa, on découvrit plus tard que c'était un muon.

En 1947, un méson qui interagit fortement est découvert dans les rayonnements cosmiques, et se révélera être un pion.

Les multiples découvertes de particules nouvelles encouragèrent les chercheurs à développer des accélérateurs de particules, alors que l'unique source de particules de hautes énergies était le rayonnement cosmique. En 1929, Ernest O. Lawrence construit le premier cyclotron expérimental à Berkeley aux Etats Unis. Il innove en mettant en œuvre l'idée de confiner des particules accélérées grâce à un champ magnétique.

³ Z : numéro atomique, il représente le nombre de protons du noyau d'un atome.

Des centaines de particules ont été découvertes dans les années 1950 et 1960. Vers le milieu des années 1960, les physiciens ont réalisé que leur conception antérieure, selon laquelle toute la matière était constituée de protons, neutrons et électrons élémentaires, était insuffisante pour expliquer toutes ces nouvelles particules découvertes.

En 1964, Murray Gell-Mann [Gel64] et George Zweig [Zwe64] émettent l'idée des quarks, composant fondamentaux du proton et du neutron. Ils suggèrent que les hadrons se répartissent en baryons, composés de trois quarks, et en mésons composés d'une paire quark-antiquark (antiparticule du quark).

A partir des années 1970, une théorie, qui prendra plus tard le nom de Modèle Standard des Particules élémentaires et des interactions fondamentales, a pris corps grâce à la détection de nouvelles particules créées par les accélérateurs [Cro99].

1.3. Le modèle standard de la physique des particules

Le modèle standard de la physique des particules est une théorie qui décrit, au sein d'un même formalisme mathématique, trois des quatre interactions fondamentales connues, qui seront décrites ci-après, entre les particules élémentaires. On distingue deux catégories de particules élémentaires : les constituants élémentaires, qui sont les quarks et les leptons, et les vecteurs des forces, qui sont les photons, les bosons W et Z, les gluons et le graviton (Cf. tableau 1.1). Le modèle standard s'appuie d'une part sur la physique quantique et d'autre part sur la relativité restreinte d'Albert Einstein, qui rend compte des situations dans lesquelles les vitesses des particules ne sont pas négligeables devant celle de la lumière. La puissance de ce modèle réside dans sa capacité à justifier l'existence de centaines de particules et d'interactions complexes avec un minimum d'ingrédients (constituants élémentaires et leurs nombres quantiques ; interactions et leurs règles de conservation). Le tableau 1.1 illustre la classification des particules élémentaires actuellement connues.

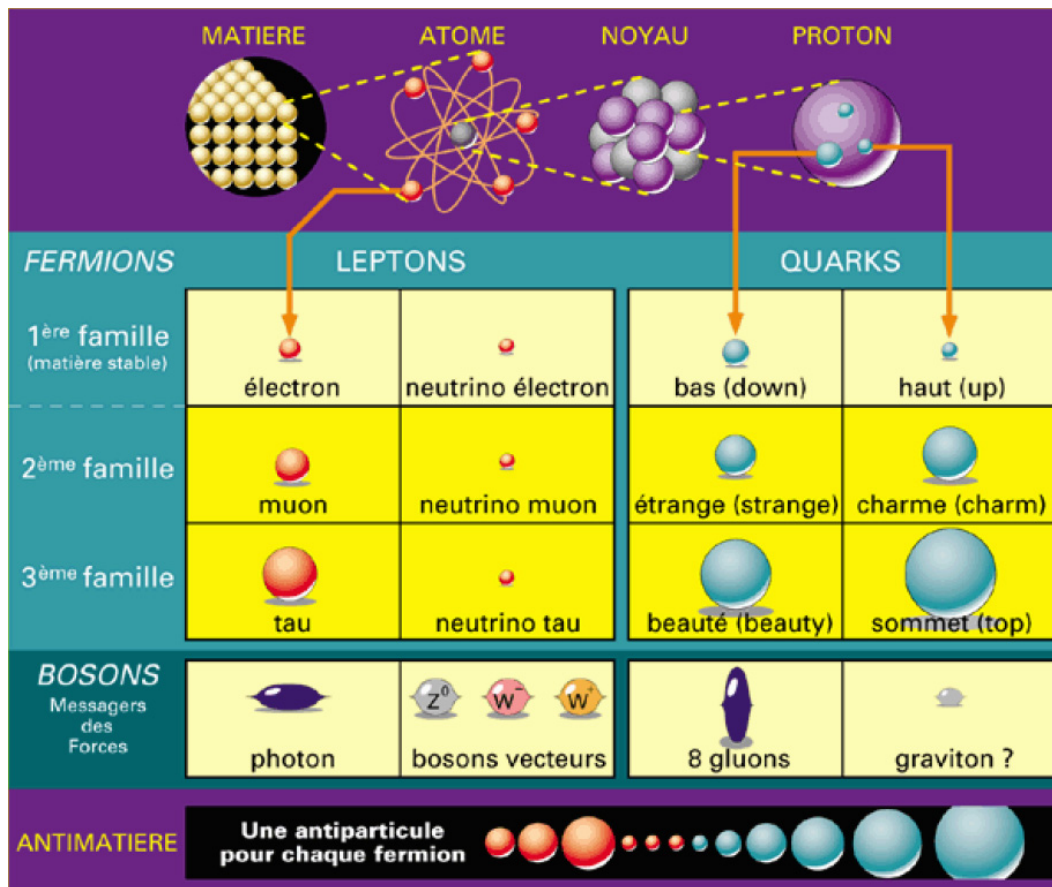


Tableau 1.1 : Classification des particules élémentaires dans le modèle standard.

1.3.1. Interactions fondamentales

Tous les phénomènes physiques auxquels nous avons accès peuvent être expliqués en ne faisant intervenir que quatre forces, appelées interactions fondamentales.

1.3.1.1. Interaction gravitationnelle

L'interaction gravitationnelle, la plus familière, a été identifiée par Newton. Elle est toujours attractive et de portée infinie. Son intensité est proportionnelle au produit des masses de deux objets entrant en interaction et inversement proportionnelle au carré de la distance qui les sépare. Vu son intensité beaucoup plus faible que les autres interactions, cette force est négligeable à l'échelle microscopique, où dominent des forces beaucoup plus intenses.

Le graviton est le vecteur de la gravitation. La théorie moderne de la gravitation s'appelle la théorie de la relativité générale, fondée par Albert Einstein [Ein64].

1.3.1.2. Interaction électromagnétique

Elle est issue de l'unification faite par Maxwell de l'électricité et du magnétisme. La force électromagnétique peut être attractive ou répulsive (selon le signe des charges électriques en présence). C'est elle qui assure la cohésion des atomes (en liant les électrons et les noyaux) et la cohésion des molécules (liaisons chimiques). Les particules interagissent entre elles par l'échange de photons. Cette interaction est parfaitement décrite par la théorie de l'Électrodynamique Quantique [QED94].

1.3.1.3. Interaction nucléaire faible

L'interaction faible est une force qui agit sur tous les constituants élémentaires (la seule force qui agit sur les neutrinos). Elle a une portée très courte (10^{-18} m). Elle est responsable de la radioactivité β , par laquelle un neutron se désintègre en un proton et un électron (avec émission conjointe d'un neutrino). Les messagers de cette force sont au nombre de trois, appelés « bosons intermédiaires » (W^+ , W^- , Z^0).

1.3.1.4. Interaction nucléaire forte

L'interaction forte est une force qui agit sur les quarks et par extension sur les hadrons. Les leptons y sont totalement insensibles. L'interaction forte est à l'origine de la cohésion et de la stabilité des noyaux atomiques, en liant les protons et les neutrons entre eux au sein des noyaux. Elle a une portée très faible (quelques 10^{-15} m). Cette interaction est décrite par la théorie de la Chromodynamique Quantique. Elle procède par l'échange de gluons entre les quarks. Les 8 gluons étant les messagers de cette interaction [QCD03].

1.3.2. Unification des interactions fondamentales

Le modèle standard est une continuité d'un élan vers une modélisation unifiée de toutes les forces fondamentales. Newton a identifié la loi d'attraction universelle. Maxwell unifia l'électricité et le magnétisme. Einstein, dans sa théorie de la relativité restreinte, établit un cadre propice à l'unification de l'espace et du temps ainsi que celle de l'énergie et de la masse ($E = mc^2$). Nombreux sont d'autres qui ont contribué à l'édification d'une théorie s'appliquant partout, qui corrobore l'observation que notre Univers est né d'un événement unique, compact et causal dans un « espace homogène ». On peut relever au passage que

l'apparition de signes indiquant la « présence » d'« Énergie Noire » est en train d'ébranler cette image d'Univers.

En 1967, S. Weinberg et A. Salam ont proposé une théorie unifiant les interactions faible et électromagnétique en une interaction unique appelée électrofaible. Jusqu'à présent, pratiquement toutes les prédictions du modèle standard ont été vérifiées expérimentalement par les plus grands programmes (Tevatron⁴, LEP⁵, LHC ...). Le boson de Higgs demeure la seule particule du modèle standard non encore observée. Son existence permettrait d'expliquer comment les particules acquièrent leur masse. Le boson de higgs a été recherché au LEP, ce qui a permis de mettre une borne inférieure ($\sim 114 \text{ GeV}/c^2$) et une borne supérieure ($\sim 200 \text{ GeV}/c^2$) sur sa masse. Il est actuellement recherché au Tevatron, qui risque fort de contraindre son existence possible dans la quasi-totalité de l'intervalle de masse permis aujourd'hui dans le cadre du modèle standard. Les deux expériences qui vont traquer le boson de Higgs sont CMS et ATLAS au CERN. Le boson de Higgs pourrait être détecté au LHC, mais pas avec toute la précision requise pour connaître en détail la nature du boson. Le projet ILC visera à palier les lacunes du LHC par des mesures de précision effectuées dans des collisions électron-positon à très haute luminosité entre 90 GeV et 1 TeV.

La réussite du projet ILC dans sa globalité nécessitera une grande précision des expériences installées auprès des zones d'interaction des faisceaux. Dans ce qui suit, après un rappel sur le principe de fonctionnement des accélérateurs à cibles fixes et des collisionneurs de faisceaux, nous aborderons plus en détails le détecteur de vertex, situé au cœur des détecteurs de particules chargées.

1.4. Le Détecteur de Vertex à l'ILC

Les Capteurs CMOS en développement et caractérisation depuis dix ans à l'IPHC-Strasbourg constituent une solide alternative pour équiper le détecteur de vertex à l'ILC, pendant que d'autres technologies ont montré leurs limites pour cette finalité. L'objectif de l'étude dans ce chapitre est de rappeler les contraintes (mécaniques et « électriques ») drastiques pour la construction de la nouvelle génération de détecteur de vertex. Delà, découle une définition rigoureuse du cahier des charges imposé pour la réalisation des capteurs CMOS

⁴ Tevatron : Accélérateur circulaire proton-antiproton au FNAL (USA)

⁵ LEP : Large Electron Positron collider, de 1989 à 2000 au CERN à Genève

à pixels actifs et de leur chaîne d'électronique de lecture intégrée, qui est l'objectif principal de mes travaux dans cette thèse.

1.4.1. Les accélérateurs de particules

Un accélérateur de particules est un instrument qui permet de communiquer de l'énergie cinétique à un faisceau de particules chargées électriquement, en les accélérant sous l'effet des champs électriques et/ou magnétiques. Lorsque ces particules accélérées entrent en collision, des réactions physiques se produisent (e.g. la transformation de l'énergie des particules accélérées en d'autres particules massives).

Selon le mode de collision, on distingue deux types d'accélérateurs (à cible fixe et collision de deux faisceaux).

1.4.1.1. Accélérateurs à cible fixe

Dans ce type d'accélérateurs, un faisceau de particules accéléré est projeté sur des cibles fixes. Lors de l'impact, l'énergie cinétique et la masse des particules incidentes sont redistribuées, autorisant la production de nouvelles particules. L'utilisation de cibles fixes pose un problème d'énergie perdue. Car, une partie substantielle de l'énergie des particules du faisceau est convertie en énergie cinétique du centre de masse de la collision (cette énergie ne se convertit pas en matière, elle est donc « perdue »). La densité de la cible et la grande taille transverse du faisceau permettent de grandes luminosités pour étudier des processus rares.

1.4.1.2. Les collisionneurs

Les collisionneurs sont semblables aux accélérateurs à cible fixe dans le sens où les particules sont accélérées jusqu'à atteindre de hautes énergies. La différence est que les collisionneurs produisent des collisions directement entre deux faisceaux de particules accélérés en sens inverses et non plus sur une cible fixe. Dans les collisionneurs, toute l'énergie des particules qui entrent en collision est mise en jeu dans l'interaction (donc convertible en masse, en vertu de l'équivalence énergie-masse d'Einstein). Donc, l'intérêt des collisionneurs est d'étudier des processus de très hautes énergies (de ~ 100 GeV à ~ 10 TeV).

Selon la trajectoire décrite par les particules accélérées, on distingue deux types d'accélérateurs, circulaires et linéaires.

On préfère les accélérateurs circulaires pour des raisons d'encombrement pour des énergies élevées. Le plus puissant d'entre eux est le LHC, qui est un collisionneur proton-proton de 14 TeV d'énergie dans le centre de masse de la collision et de 27 km de circonférence, mis en service le 10 septembre 2008. Ce type d'accélérateur n'est, tout de même, pas adapté aux particules légères (e.g. électron, positon), parce qu'on ne peut pas les accélérer sans pertes d'énergie considérables liées au rayonnement synchrotron. Le seul moyen de les accélérer est alors de s'appuyer sur un accélérateur linéaire.

C'est alors l'accélérateur linéaire qui permet d'atteindre l'énergie la plus élevée dans ce cas précis. Dans ce concept d'accélérateur, un faisceau d'électrons et un autre de positons sont accélérés de part et d'autre de l'accélérateur en sens opposés pour entrer en collision dans une zone d'interaction autour de laquelle est installé un détecteur. Actuellement, le plus long accélérateur linéaire (3 km de long) est le SLAC (Stanford Linear Accelerator), qui est un collisionneur électron-positon d'énergie proche de 100 GeV. Le prochain projet majeur en physique des particules sera l'ILC, qui est un accélérateur linéaire, de 31 km de long, dans lequel des électrons et les positons entreraient en collision avec une énergie disponible dans le centre de masse comprise entre 90 GeV et 1 TeV. La figure 1.1 montre le schéma d'ensemble de l'ILC.

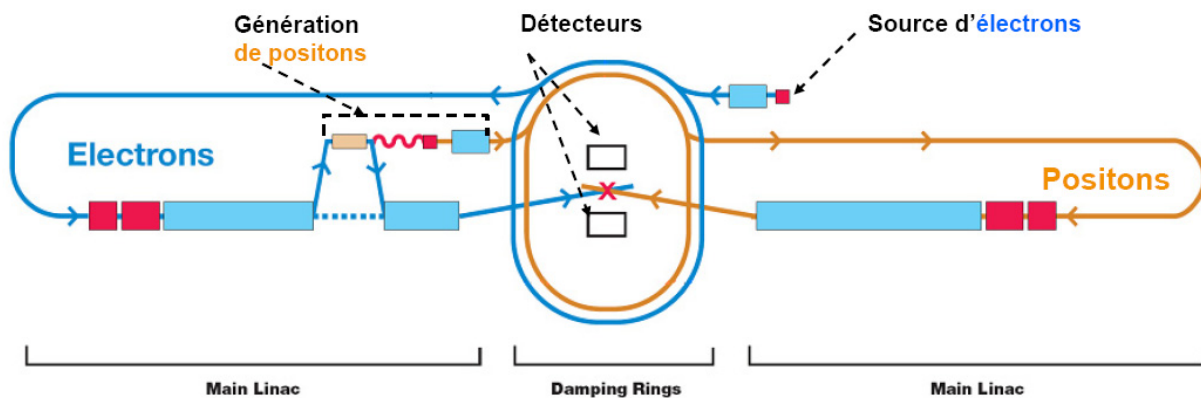


Figure 1.1 : Schéma d'ensemble du futur collisionneur linéaire (ILC)

La zone d'interaction des faisceaux accélérés est entourée de différents types de détecteurs sous forme de couches cylindriques parallèles aux faisceaux.

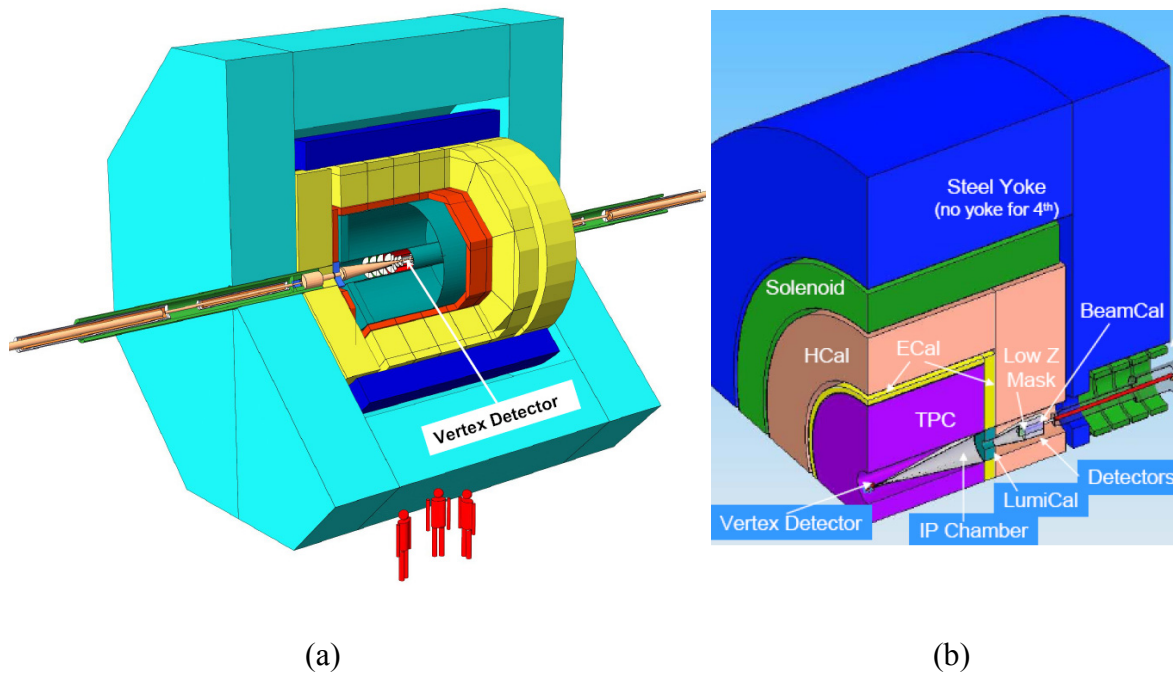


Figure 1.2 : Image artistique de l'un des 4 modèles de détecteur proposés pour l'ILC.

(a) Détecteur LDC, source DESY 2006. (b) Vue du détecteur en coupe.

La figure 1.2 montre une vue artistique complète de l'un des détecteurs proposé pour l'ILC (Large Detector Concept, LDC). Le détecteur est composé de plusieurs sous-détecteurs, qui sont illustrés sur la figure 1.2 (b). Chaque sous-détecteur assume une fonction spécifique. De l'intérieur à l'extérieur, le détecteur LDC est composé de trois types de sous-détecteurs :

- Les détecteurs de particules chargées permettant de reconstruire leur trajectoire dans un champ magnétique pour en extraire leur impulsion à partir du rayon de courbure.
- Les calorimètres (magnétique et électrique) permettant de mesurer l'énergie des particules.
- Les détecteurs de muons, particules chargées les plus pénétrantes, sont installés tout autour.

Situé au cœur des détecteurs de particules chargées, le détecteur de vertex est le premier détecteur traversé par les particules produites dans les collisions.

1.4.2. Le détecteur de Vertex

Contrairement à la collision proton-proton, l'énergie de collision dans le cas d'une collision leptonique (électron-positon) peut être connue avec précision. Disposant, alors, d'un environnement initial très propre, les événements sont reconstituables grâce à un détecteur de vertex très précis. Les particules de très courte durée de vie (instables) apparaissant au moment de l'interaction se désintègrent au bout de quelques dizaines ou centaines de micromètres en d'autres particules plus stables. Ce sont ces dernières qui seront détectées dans l'appareillage expérimental, et à partir desquelles il faudra remonter aux propriétés de la particule mère dont elles proviennent. Comprendre les lois de la Nature en physique des hautes énergies repose de plus en plus sur l'étiquetage des saveurs⁶ lourdes, rendu possible par la reconstruction précise des vertex déplacés.

Le but est donc d'identifier la saveur et la charge de chaque jet avec à la fois une très grande efficacité et une pureté⁷ élevée. Ce qui implique un détecteur de vertex, très granulaire, ultra-léger, avec plusieurs couches, installé très près du point d'interaction. Il doit également être suffisamment rapide et radio-tolérant.

1.4.2.1. Les contraintes sur le détecteur de vertex [Win07]

1.4.2.1.1. Les dimensions et la forme multicouches du détecteur

Quelques unes des proéminentes caractéristiques de ce détecteur sont résumées dans le tableau 1.2.

Le détecteur de vertex, basé sur les capteurs CMOS, est composé de 5 couches cylindriques entourant le point d'interaction des deux faisceaux. Les rayons des couches vont de 15 mm pour la couche intérieure à 60 mm pour la couche extérieure. La figure 1.3 montre une vue globale du détecteur de vertex proposé pour l'ILC. Chaque couche est composée de plusieurs échelles de micro capteurs comportant la partie sensible au rayonnement et la partie de l'électronique de lecture, de conversion et de sparsification des signaux des pixels. Le nombre d'échelles pour les deux couches les plus internes est imposé par la vitesse de lecture

⁶ Nombres quantiques des quarks. Il y a six saveurs u « up », c « charm », t « top », d « down », s « strange » et b « bottom ».

⁷ La pureté représente la proportion d'événements de signal dans un échantillon sélectionné à l'aide de critères choisis pour l'extraire des événements tout-venant. L'enjeu consiste à atteindre une pureté maximale tout en préservant l'efficacité de détection du signal.

et la granularité (i.e. dimensions du pixel), la largeur d'une échelle étant dictée par le nombre de pixel par colonne.

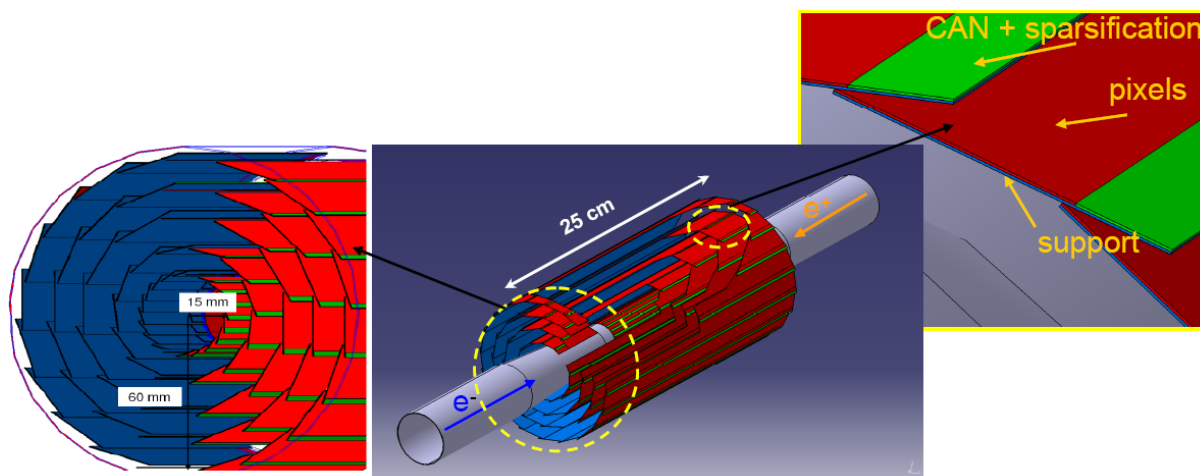


Figure 1.3 : Vue globale du détecteur de vertex proposé pour l'ILC

Couche	Dimensions du pixel	Temps de lecture	N ^{bre} d'échelles	N ^{bre} de pixels	Puissance instantanée	Puissance moyenne
L0	20 μm	25 μs	20	25 M	< 100 W	< 5 W
L1	25 μm	50 μs	26	65 M	< 130 W	< 7 W
L2	33 μm	$\sim 100 \mu\text{s}$	24	50 M	< 90 W	< 5 W
L3	33 μm	$\sim 100 \mu\text{s}$	32	80 M	< 120 W	< 6 W
L4	33 μm	$\sim 100 \mu\text{s}$	40	100 M	< 150 W	< 8 W
total			142	330 M	< 600 W	< 30 W

Tableau 1.2 : Spécifications du détecteur de vertex basé sur les capteurs CMOS. Pour chaque couche de ce détecteur, le tableau indique les dimensions des pixels, la vitesse de lecture, le nombre d'échelles, la consommation instantanée et moyenne [Win07].

1.4.2.1.2. La grande granularité

Le détecteur vertex doit être très granulaire, ultra léger, et constitué de plusieurs couches. Il s'installe très près du point d'interaction. Ce qui limite la taille du pixel au maximum de $20\text{ }\mu\text{m} \times 20\text{ }\mu\text{m}$ pour la couche la plus interne.

1.4.2.1.3. La grande résolution spatiale

La physique exige une résolution spatiale meilleure que $\sim 3\text{ }\mu\text{m}$. Elle est nécessaire pour identifier avec une grande précision spatiale chaque trace individuelle (single track) et retrouver son origine spatiale.

1.4.2.1.4. La rapidité de lecture

La figure 1.4 montre la succession des trains de paquets de particules, qui entrent en collision toutes les 199,05 ms. La cadence des collisions élémentaires détermine le taux d'occupation pour toutes les couches du détecteur. Le taux d'occupation est le plus élevé sur la couche la plus interne du détecteur. Il diminue au fur et à mesure que l'on s'éloigne du point d'interaction. Donc, les contraintes sont maximales sur la couche la plus interne [Win07a].

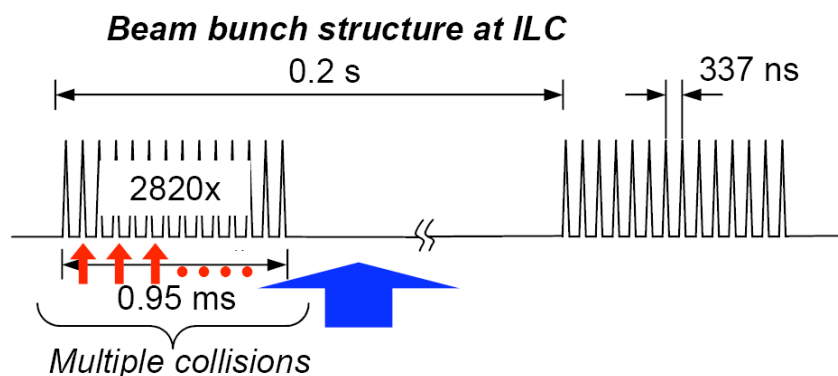


Figure 1.4 : Structure en temps des faisceaux de l'ILC : des trains de 2820 paquets de particules, longs de 0,95 ms, se succèdent à intervalles de 199,05 ms

Pour maintenir la probabilité d'accumulation des événements consécutifs sur une même surface du détecteur (taux d'occupation) à un niveau tolérable, le temps de lecture requis est fixé à $25\text{ }\mu\text{s}$ et $50\text{ }\mu\text{s}$ pour, respectivement, la couche la plus interne et la suivante. Pour atteindre cette courte durée de lecture, les capteurs (MAPS) sont divisés en colonnes lues

en parallèle. Au sein de chaque colonne, les pixels sont lus séquentiellement à la fréquence de 10 MHz.

1.4.2.1.5. Le budget de matière et la puissance dissipée

Le détecteur de vertex doit être composé du minimum possible de matière, pour éviter les interactions multiples des particules détectées avec le détecteur. Pour ce fait, les capteurs sont amincis à 50 μm . De plus, on veut limiter le système de refroidissement au strict minimum, de manière à limiter la matière introduite sur la trajectoire des particules détectées. C'est pourquoi, on essaie de se limiter à un flux d'air froid laminaire au lieu, par exemple, de conduites de distribution d'un liquide réfrigérant. La puissance dissipée doit donc être limitée à ce que le flux d'air peut extraire. Elle doit, de plus, être assez faible pour que le flux d'air circule à une vitesse modérée, sans quoi les échelles de capteur se mettent à vibrer, ce qui nuirait à la résolution spatiale.

1.4.2.1.6. La tolérance aux rayonnements intenses

La tolérance aux rayonnements est requise pour plusieurs types de détecteur de particules en physique des hautes énergies. Le taux de réaction très élevé et l'environnement très hostile dans ces expériences imposent des contraintes souvent extrêmes sur la tolérance aux rayonnements des composants de base du détecteur. Ceci est particulièrement vrai pour le cas du détecteur de vertex, qui se situe tout près du point de collision de particules. Les capteurs utilisés, exposés aux rayonnements intenses, doivent assurer un rapport signal à bruit (Signal-to-Noise Ratio, SNR) minimum pour une efficacité de détection. La tolérance requise pour l'ILC est néanmoins sensiblement moins sévère que pour le LHC, ce qui autorise l'emploi de pixels très différents.

1.4.2.2. Les différents types de détecteurs à semi-conducteur

L'emploi des détecteurs semi-conducteurs comme détecteurs de traces est de plus en plus répandu en physique des particules et des astro-particules par suite des performances très élevées offertes par cette technologie en termes de résolution spatiale, de rapidité et de tolérance aux rayonnements. Les détecteurs à micro-rubans de silicium, les dispositifs à transfert de charges sont deux exemples des technologies qui ont déjà été implémentés avec succès dans plusieurs expériences de physique des particules. Ces technologies ne peuvent pas répondre à tous les points du cahier des charges de l'ILC, qui est très contraignant en termes

de précision (un ordre de grandeur de plus que le LHC). Le développement des capteurs CMOS à pixel pour la détection des particules chargées est né pour répondre à ce défi. L'augmentation de la granularité et de la rapidité engendre un flot de données gigantesque, qui nécessite un conditionnement du signal au plus près de son origine. Les détecteurs à pixels ont ainsi tendance à évoluer vers des systèmes intégrés (Système-Sur-Puce) où, volume de détection et électronique de lecture sont intégrés sur un même substrat.

Avant de détailler les capteurs CMOS dans cette section, il est utile de rappeler le principe de fonctionnement de chaque technologie afin de mieux comprendre le choix de la technologie CMOS à pixel adoptée par l'IPHC-Strasbourg en collaboration avec IRFU-Saclay pour réaliser les capteurs du détecteur de vertex [Win07a].

1.4.2.2.1. Les capteurs à micro-rubans

Depuis l'introduction de la technique planaire de fabrication des détecteurs à silicium par J. Kemmer en 1980 [Kem], les détecteurs à micro-rubans sont vite devenus un outil commun de détection en physique des particules. Un détecteur à micro-rubans [Peis] est généralement composé d'un substrat de silicium dopé n d'environ 300 μm d'épaisseur, sur lequel on implante des pistes fortement dopées p d'une dizaine de micromètres de large, espacées d'une centaine de micromètres, et de quelques centimètres de long. Chaque élément de base consiste en une diode p-n polarisée en inverse, dans laquelle les paires électron-trou créées par une particule incidente sont séparées par l'effet d'un champ électrique imposé de l'extérieur. Les détecteurs à micro-rubans offrent une bonne résolution spatiale dans une seule dimension. L'utilisation de micro-rubans croisés (i.e. stereo) sur la deuxième face du substrat permet d'augmenter la résolution en deux dimensions. Dans les deux cas, la reconstruction des événements pose un problème d'ambiguïté en cas de plusieurs traces simultanées. En dépit de leur rapidité de lecture, et leur tolérance aux rayonnements, des détecteurs amincis à moins de 100 μm ne peuvent être utilisés en physique des hautes énergies si on veut garder un SNR acceptable.

1.4.2.2.2. Les dispositifs à transferts de charges (CCD)

Les dispositifs à transfert de charge ou Charge-Coupled Devices (CCD) sont inventés en 1969 par G. Smith et W. Boyle. Ils ont fait leur apparition dans le domaine astronomique en 1983 pour équiper un télescope. Le premier détecteur de vertex basé sur les capteurs CCD

a été utilisé au CERN dans l'expérience NA32 (1984 [NA32]). Les CCDs ont aussi équipé le détecteur de vertex de l'expérience SLD installée auprès de l'accélérateur linéaire SLC du SLAC (1992 [SLAC]).

La structure de base d'un capteur CCD est un condensateur MOS. Les électrodes (grille) sont en silicium poly-cristallin, la couche isolante est réalisée en dioxyde de silicium (SiO_2) et le substrat est de type p. La majorité des capteurs CCD possède une couche enterrée de semi-conducteur de type n sous la couche de SiO_2 .

Un détecteur CCD consiste en une matrice de puits de potentiel (pixels) dans lesquels sont piégés les électrons créés par le passage d'une particule chargée à travers la couche déplétée⁸ du silicium. Le potentiel de chaque puits est contrôlé par une tension extérieure positive (horloges) appliquée sur la grille. Les pixels d'une même colonne sont lus séquentiellement. Par transfert de charge, la charge collectée par un pixel doit passer par tous les pixels de la même colonne du haut en bas jusqu'à l'électronique de lecture en bas de la matrice. L'opération de transfert de charges est assurée par un jeu d'horloges décalées. Des CCDs de haute précision ont été développés, ils ont l'avantage de la miniaturisation, de la légèreté, et de la robustesse. Cependant, les CCDs présentent deux grands inconvénients qui compromettraient leur utilisation dans l'ILC :

- Le temps de lecture de tout le détecteur peut atteindre une centaine de millisecondes. Néanmoins, de nouveaux types de CCDs utilisant un mode de lecture parallèle, atteignent un temps de lecture beaucoup plus réduit (environ 200 μs). Ces temps sont néanmoins trop élevés, car celui du détecteur de vertex à l'ILC doit être inférieur à 100 μs dans les deux couches internes.
- La faible tolérance aux rayonnements non-ionisants, qui détériore l'efficacité de collection de charges.

1.4.2.2.3. Les capteurs hybrides à pixels

Les détecteurs hybrides sont formés de deux parties distinctes, qui sont la matrice de pixels sensibles et le circuit de l'électronique de lecture. Ces deux parties sont réalisées séparément et ensuite assemblées par différentes techniques [Hyb1], [Hyb2], telle que le concept « Flip chip ».

⁸ Déserte de porteurs de charges majoritaires suite à un champ électrique appliqué

Grâce à l'accès direct et individuel pour chaque pixel, des vitesses élevées peuvent être atteintes. Les détecteurs hybrides présentent une meilleure tolérance aux rayonnements comparés aux CCDs. Cependant, leur inconvénient majeur est la complexité de millions d'interconnexions, qui imposent une grande taille du pixel (e.g. $50\text{ }\mu\text{m} \times 400\text{ }\mu\text{m}$ dans l'expérience ATLAS [Hug06]). Cette contrainte ne permet pas d'avoir une grande granularité requise pour la physique à l'ILC. Les détecteurs hybrides sont également caractérisés par leur grande dissipation de puissance et par le budget de matière supplémentaire non négligeable.

1.4.2.2.4. Les détecteurs à structure DEPFET

La structure DEPFET (DEPleted Field Effect Transistor), qui a les propriétés de détection et d'amplification simultanément, a été proposée par Kemmer et Lutz (1987 [Kem87]) et confirmée en 1990 (par Kemmer et al [Kem90]). Le principe des détecteurs DEPFET est basé sur la désertion totale du substrat à « faces opposées », comme les chambres à dérive à semi-conducteur (Cf. [Gat84]), et le transistor à effet de champ (FET). Le transistor (MOS ou à jonction) est intégré sur la face supérieure du substrat faiblement dopé n. La désertion totale est obtenue en appliquant une tension négative suffisamment élevée sur le contact p+ de la face inférieure. Le substrat déplété constitue le volume sensible du détecteur, dans lequel les paires électron-trou (créées par une particule traversant le substrat) sont séparées par le champ électrique. Les électrons sont attirés et collectés sur l'implant de type-n (grille interne) enterré sous le canal du transistor (p-MOS). Le changement du potentiel de la grille interne engendre une modulation de la densité du courant dans le canal du transistor.

Les détecteurs DEPFET peuvent être arrangés sous forme de matrice de pixels accessibles individuellement en mesurant le courant de chaque transistor (sur le drain). Un très bon SNR a été obtenu, avec un substrat très épais ($450\text{ }\mu\text{m}$). L'amincissement à $\sim 50\text{ }\mu\text{m}$ reste à réaliser et ses conséquences sur le SNR à évaluer. Des prototypes aux pixels de dimensions ($22\text{ }\mu\text{m} \times 36\text{ }\mu\text{m}$), à bas bruit et de basse consommation sont réalisables [Tri06], [Wer09]. Cependant, ce type de détecteur nécessite des puces de pilotage et d'électronique de lecture connectées sur le capteur, ce qui implique de la matière supplémentaire sur le chemin des particules détectées. La nécessité d'une technologie de fabrication dédiée fait du coût de fabrication une autre limitation d'utilisation des détecteurs DEPFET pour le détecteur de vertex à l'ILC.

1.4.2.2.5. Les capteurs à pixels en technologie CMOS standard

Avant les années 1990, les imageurs CMOS étaient loin de rivaliser avec ceux utilisant la technologie CCD, bien que les premiers imageurs à l'état solide, présentés durant les années 1960, utilisent une diode MOS comme élément sensible pour la détection de la lumière visible [Fos97], [Big06]. Jusqu'aux années 1990, les CCDs ont prévalu en raison de leur plus grande dynamique, bas bruit de motif fixe (Fixed Pattern Noise, FPN) et leur plus grande sensibilité à la lumière visible [Kemp97]. A partir du début des années 1990, les imageurs CMOS ont reparu comme une alternative aux CCDs dans plusieurs applications grâce au progrès technologique, plus particulièrement celui de la microélectronique, qui leur confère des avantages tels que la basse puissance dissipée, l'intégration de différentes fonctionnalités dans un capteur, le faible coût de fabrication... etc.

Les capteurs à pixels en technologie CMOS peuvent être scindés en deux catégories : capteurs à pixel passif (Passive Pixel Sensor, PPS) et capteurs à pixel actif (Active Pixel Sensor, APS). Il existe trois approches principales pour l'implémentation d'un pixel en technologie CMOS : pixel à photodiode passive, pixel à photodiode active et pixel à photogate (photo grille) active (Cf. [Fos97]). Les capteurs PPS, à cause de la grande capacité de charge du bus commun qui dégrade le signal du pixel, ont rapidement été remplacés par les capteurs APS, qui utilisent au moins un élément actif (amplificateur, suiveur...etc.) au sein même du pixel.

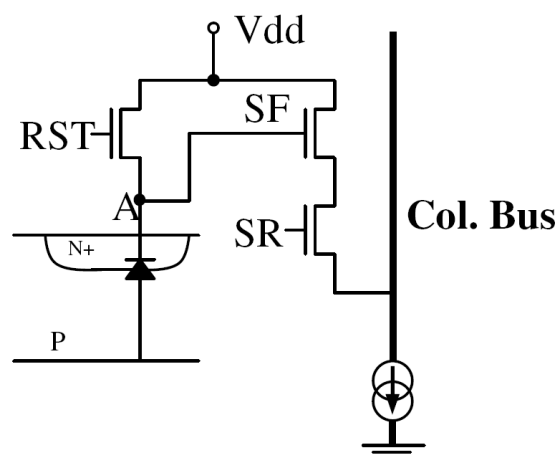


Figure 1.5 : Schéma de base d'un pixel actif

Un exemple de base d'un pixel actif est illustré sur la figure 1.5. Il est composé de la partie sensible et de trois transistors. Le nouvel élément distinguant les capteurs CMOS du

reste des capteurs est la collection de charge, qui s'effectue dans une couche épitaxiée légèrement dopée p et non déplétée. Cette couche, épitaxiée, déposée sur un substrat p++ (fortement dopé p) constitue le volume sensible du pixel.

L'utilisation des capteurs CMOS pour la détection de particules chargées en physique des hautes énergies était inspirée du succès rencontré par cette technique pour la détection de la lumière visible.

Le premier prototype de capteurs CMOS pour la détection de particules chargées a été fabriqué à l'IPHC- Strasbourg en 1999 [Win07], [Dep00], [Tur01].

1.4.2.2.6. Les capteurs CMOS en technologie d'intégration verticale

Le principe des capteurs à pixel actif est repris, mais en introduisant la technique de couches multiples disposées verticalement (intégration à trois dimensions ou 3D). La collection du signal est séparée des différentes étapes de son conditionnement. L'objectif est de faire disparaître les zones périphériques non sensibles, pour couvrir une plus grande surface de détection, et d'intégrer un maximum de fonctionnalités dans des petits pixels (typiquement $10 \times$ ou $20 \times 20 \mu\text{m}^2$), en s'appuyant sur la possibilité de combiner plusieurs procédés CMOS différents. L'étude des capteurs 3D est d'ores et déjà en cours à l'IPHC- Strasbourg pour la détection de particules chargées. Les premiers prototypes ont été soumis pour fabrication (année 2009).

1.5. Les Capteurs Monolithiques à Pixel Actif (MAPS)

Grâce à l'avancée technologique spectaculaire récemment atteinte (fin des années 1990 et années 2000), un nouveau type de capteurs utilisé pour la détection de particules chargées a tendance à s'imposer pour équiper le détecteur de vertex du futur ILC : les Capteurs Monolithiques à Pixel Actif (MAPS).

Depuis le début du développement et caractérisation des MAPS en 1999 à l'IPHC en vue de les intégrer dans le détecteur de vertex pour ILC, une série de plusieurs Prototypes de MIMOSA (Minimum Ionizing particule MOS Active pixel sensors) a été développée et caractérisée, offrant d'excellents résultats [Win07a], [Win07], [Win09]. Les performances obtenues laissent présager un large domaine d'application.

1.5.1. Principe de détection

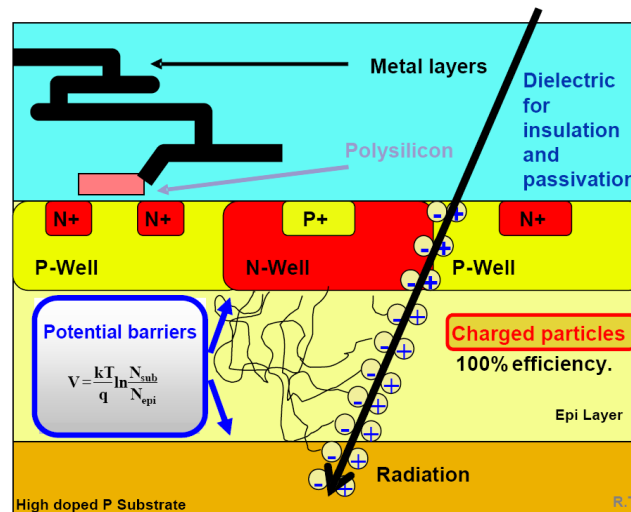


Figure 1.6 : Principe de détection des capteurs MAPS (R. Turchetta et al, NIM A 456 (2001))

Comme montré sur la figure 1.6, chaque cellule de MAPS (i.e. pixel) est constituée de trois couches, disposées en « sandwich » : le substrat fortement dopé p, une couche épitaxiée de faible dopage p et une couche supérieure composée d'un caisson dopé p et d'un caisson dopé n. L'électronique de pré-conditionnement du signal du pixel est intégrée sur le caisson p. Le principe de détection des particules chargées est illustré sur la figure 1.6. La particule incidente crée des paires électron-trou (e-h) dans la couche épitaxiée à raison de 80 paires e-h/ μm en moyenne. Les porteurs de charge générés diffusent thermiquement vers les jonctions. Les électrons sont collectés par la jonction créée par le contact entre la couche épitaxiée et le caisson de type n. La charge collectée est convertie en tension électrique et subit le premier traitement analogique du signal à l'intérieur de chaque pixel (contrairement aux CCDs). La résolution spatiale des MAPS est déterminée par l'espacement entre les caissons de type n implantés, qui correspondent au pas du pixel. La structure en sandwich de chaque pixel permet d'avoir un taux de remplissage (*full factor*) de 100%, car le volume sensible, constitué par la couche épitaxiée, est sous l'électronique du pré-conditionnement.

1.5.2. Architecture des MAPS

Comme il a déjà été mentionné avant, le temps de lecture de la couche intérieure du détecteur de vertex ne doit pas excéder 25 μs . Ce temps est court compte tenu du nombre de

pixels à lire par image. Afin d'atteindre cette performance, le capteur (MAPS) est divisé en colonnes de pixels lues en parallèle. Au sein de chaque colonne, les pixels sont lus séquentiellement. La fréquence de lecture de chaque pixel est de 10 MHz (typiquement 16 coups d'horloge à 160 MHz au sein de chaque pixel) [Win07a]. La figure 1.7 illustre une architecture globale d'un capteur MAPS, qui intègre plusieurs fonctionnalités sur le même substrat pour en constituer un vrai système sur puce (System On Chip, SOC). La partie sensible aux rayonnements est composée d'une matrice de pixels actifs de taille de $20\ \mu\text{m} \times 20\ \mu\text{m}$ chacun. Actuellement, en bas de chaque colonne de pixel est intégré un discriminateur réalisé par l'équipe d'IRFU-Saclay du CEA [Deg03], [Deg06].

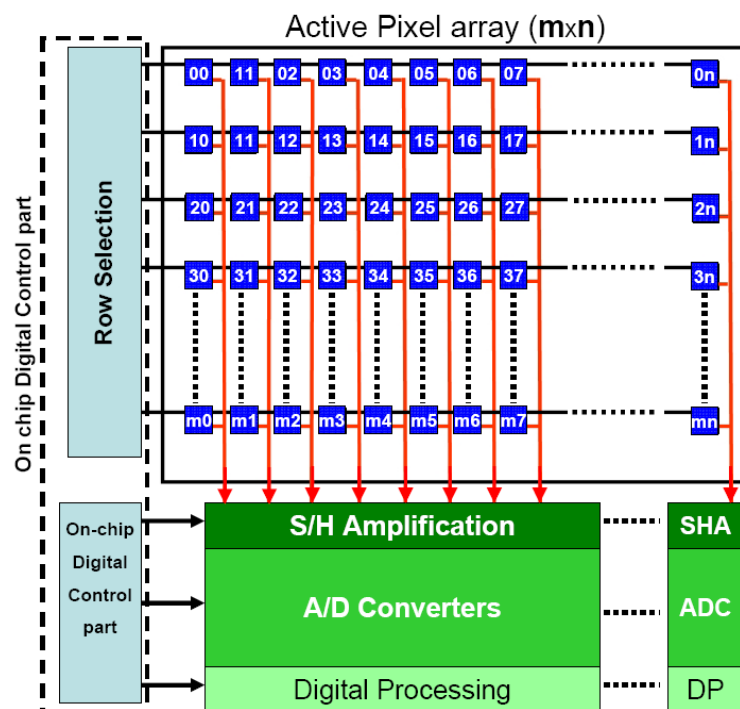


Figure 1.7 : Architecture globale d'une matrice de pixels actifs avec la logique de commande et l'électronique de lecture et de traitement du signal.

Dans la version finale des MAPS, les discriminateurs seront remplacés par des Convertisseurs Analogique-Numérique (CAN) très compacts de 4 ou 5 bits de résolution. Par conséquent, la sensibilité et la résolution spatiale des capteurs seront améliorées suffisamment pour répondre à l'exigence du détecteur de vertex (ILC) en termes de résolution spatiale et granularité [Bes07].

Les éléments de la partie sensible comme ceux de l'électronique de conditionnement et de lecture sont contrôlés par une logique qui, elle également, est intégrée dans le circuit de MAPS.

1.5.3. Lecture du pixel dans les MAPS

De nombreuses modifications ont été apportées sur le pixel des capteurs MAPS depuis 1999, en commençant à partir d'un simple pixel 3-T (3 Transistors). Afin d'augmenter la vitesse de lecture et de réduire le bruit dans le pixel (e.g. bruit de reset), un échantillonnage double corrélé (Correlated Double Sampling, CDS) a été inclus dans le pixel, dont le fonctionnement et le calcul de la fonction de transfert sont reportés dans l'Annexe A.1. La figure 1.8 montre une architecture d'un pixel avec reset de la diode (p-epi/n-well). Un étage de préamplification est situé très près de la diode de collection de charge. Le circuit de CDS est composé d'une capacité MOS en série avec deux interrupteurs de reset. Le premier interrupteur (RST1) sert à initialiser la diode à la valeur de V_{ref1} et le deuxième (RST2) est utilisé pour sauvegarder l'offset du préamplificateur et celui de la valeur de reset V_{ref1} dans la capacité MOSCAP, appelée capacité de clamping. PWR_ON permet d'envoyer le signal du pixel, via le suiveur (Source Follower, SF), sur le bus de données commun à tous les pixels d'une même colonne. Les signaux RD et CALIB sont utilisés pour mémoriser la valeur du signal (signal d'intensité) et la valeur du signal de référence (signal d'obscurité) respectivement. Une description détaillée du fonctionnement est donnée dans [Cla08].

La séquence des commandes du pixel est illustrée sur le chronogramme de la figure 1.9. Il est utile de rappeler cette séquence, car ce sont les signaux de commande du discriminateur qui seront utilisés pour commander le circuit d'échantillonnage et d'amplification, qui sera intégré, prochainement, entre un CAN et une colonne de pixel. L'étude de ce circuit d'interface entre les pixels et les convertisseurs fera l'objet du chapitre 2, tout en respectant les spécifications de la matrice de pixels.

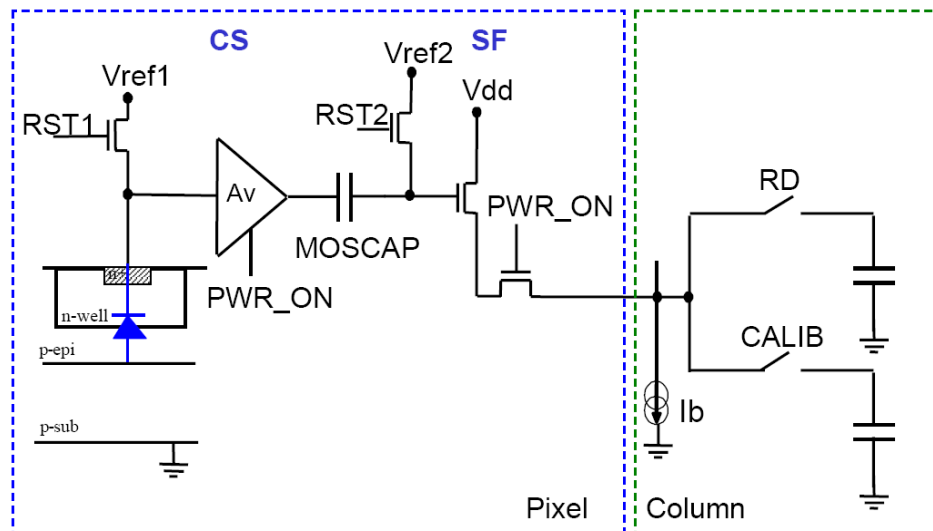


Figure 1.8 : Principales spécifications de l'architecture du pixel avec reset de la diode.

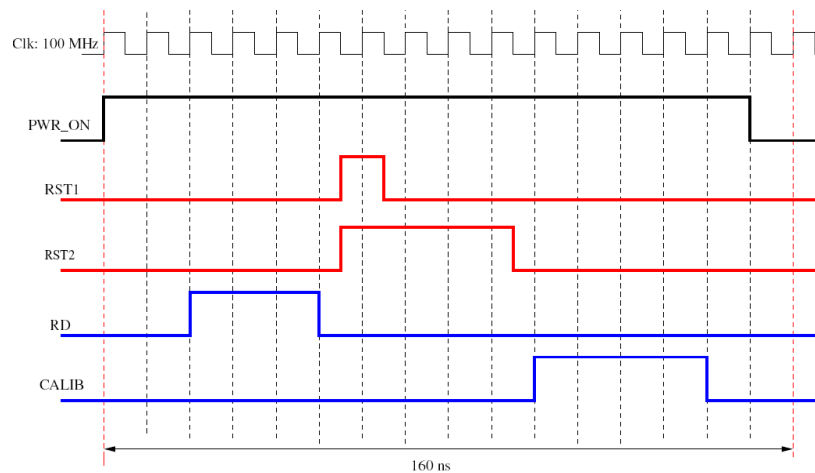


Figure 1.9 : Séquence des commandes de lecture d'un pixel avec reset de la diode.

1.5.4. Les caractéristiques et performances des MAPS

Différents prototypes de capteurs MAPS ont fait l'objet de plusieurs tests en laboratoire à l'IPHC-Strasbourg et IRFU-Saclay et de tests en faisceaux. Ils présentent des résultats satisfaisants pour les exigences du détecteur de vertex à l'ILC en termes de : granularité et résolution spatiale très poussées, efficacité de détection, SNR, fréquence de fonctionnement, tolérance aux rayonnements (ionisants et non-ionisants), basse dissipation de puissance, fonctionnement à température ambiante...etc. Les résultats détaillés sont reportés dans [Wsite] et par [Win07a], [Win07], [Win09].

En plus de ces avantages capitaux, les MAPS doivent également être totalement monolithiques. Ceci est possible par l'intégration de toutes les fonctionnalités nécessaires

(échantillonnage, codage, suppression des zéros, sérialisation, mémorisation ...etc.) sur un même substrat. L'électronique de lecture, de conditionnement et de conversion du signal analogique du pixel est la charnière entre le pixel et le traitement numérique des données. A cet effet, des contraintes sévères sont à satisfaire pour la conception de ces deux premiers étages de toute la chaîne de lecture. L'étude de cette partie amont de la chaîne de lecture est l'objectif principal du travail dans cette thèse.

1.5.5. Nécessité de codage des signaux des pixels par un CAN

L'étude dans les sections précédentes de ce chapitre a montré la nécessité d'intégrer un CAN avec le capteur sur un même substrat pour différentes raisons. La raison principale est la résolution spatiale du capteur qui exige un codage du signal du pixel sur plusieurs bits, ce qui nécessite un CAN.

La résolution spatiale de trois prototypes de MIMOSAs (1, 2 et 9) en fonction du nombre de bits du CAN est illustrée sur la figure 1.10. Sur cette figure, la résolution spatiale du capteur (dont les pixels ont un pas de 20 μm) décroît de 4,5 μm à 1,5 μm pour des résolutions du CAN allant de 1 à 12 bits respectivement. Les résolutions de 4 ou 5 bits du CAN présentent les meilleurs compromis entre les besoins de l'étude et les contraintes sur le CAN. Cette performance exige alors le développement d'un CAN de 4 ou 5 bits de résolution pour encoder les signaux des pixels.

Le rythme des collisions des faisceaux dans l'expérience de l'ILC et le nombre total de pixels du détecteur de vertex, qui est d'environ 300 millions (Cf. Tableau 1.2), engendrent de gigantesques flots de données produits. Ceci constitue un obstacle de taille à un éventuel traitement analogique. C'est pourquoi, une numérisation des signaux des pixels a été préférée. L'intégration du CAN et d'un étage d'amplification, le précédant, à même le capteur est nécessaire compte tenu de l'amplitude faible du signal issu du pixel.

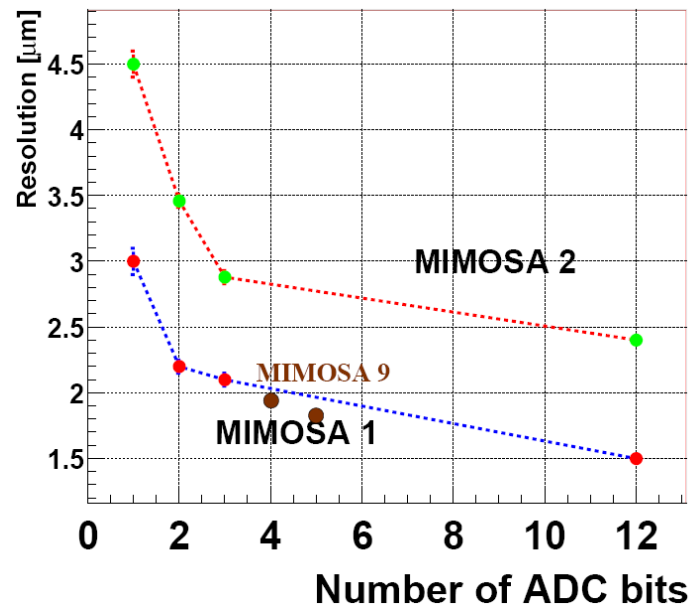


Figure 1.10 : Résolution spatiale des MAPS en fonction du nombre de bits du CAN pour des pixels de 20 μm de pas, [Bes07]. Les résultats sont montrés pour trois capteurs, dont les signaux sont initialement encodés sur 12 bits. Ils ont ensuite été convertis hors ligne en un nombre de bits plus réduit (1, 2, 3, 4 ou 5) pour des besoins de l'étude.

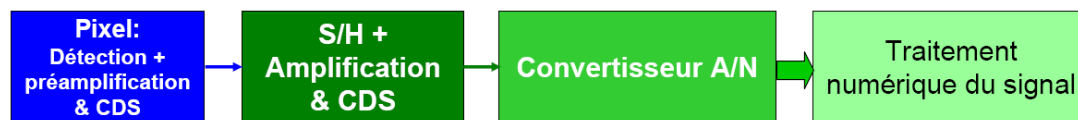


Figure 1.11 : Chaîne de lecture du signal d'un pixel dans les MAPS.

Une chaîne de lecture complète du signal d'un pixel est illustrée sur la figure 1.11. Le signal du pixel subit d'abord un pré-conditionnement au sein même du pixel avant d'être traité par un étage d'amplification intégré à l'échelle de la colonne de pixels. Ensuite, suivra un étage de numérisation, qui rend possible le traitement numérique du signal. Ce qui permet d'atteindre des vitesses élevées de lecture et de traitement des données, comme l'exige la physique. La résolution spatiale, qui est un paramètre clé des performances du détecteur, exige un codage du signal du pixel sur plusieurs bits.

1.5.6. Les contraintes sur la conception du CAN prévu

Le convertisseur analogique-numérique prévu, et qui sera intégré avec les MAPS, doit répondre aux exigences suivantes, qui poussent la technologie actuelle à ses extrêmes limites :

a. La technologie de fabrication

Les performances des capteurs, pour la détection de particules chargées, sont largement influencées par les paramètres de fabrication. Le paramètre essentiel est l'épaisseur de la couche épitaxiée, qui doit être supérieure à 10 μm pour assurer un nombre de charges collectées suffisant. Beaucoup d'autres paramètres sont également à considérer, tels que le profil de dopage, le courant de fuite, la profondeur des caissons n- et p- (Cf. figure 1.6), l'épaisseur d'oxyde, les caractéristiques des transistors en fonction de leurs tailles et le nombre de couches de métallisation. Ces paramètres peuvent varier sensiblement d'un procédé de fabrication à l'autre. Trouver la technologie de fabrication la plus adaptée à la détection de particules chargées est alors d'une grande importance.

Plus d'une vingtaine de prototypes de MIMOSA ont été fabriqués et testés jusqu'à présent, dans au moins sept procédés de fabrications différents. La technologie la plus satisfaisante est celle d'AMS 0,35 μm OPTO. Néanmoins, elle ne sera pas utilisée pour la version finale du capteur à l'ILC pour les raisons suivantes :

- a. L'encombrement et la consommation des micro-circuits de conditionnement du signal.
- b. Le nombre restreint de couches de métallisation (que quatre alors qu'au moins six couches sont nécessaires).
- c. L'indisponibilité de cette technologie dans la prochaine décennie.

Le CAN et le capteur doivent être réalisés selon le même procédé de fabrication. C'est pourquoi nous sommes contraints à réaliser le CAN dans la technologie actuelle de fabrication des capteurs (CMOS 0,35 μm). Cette technologie présente des limitations qui vont peser sur la conception de l'électronique de lecture, nous en citons les trois principales :

- Les dimensions et la forme du CAN (technologie encombrante).
- La puissance dissipée par ce CAN.
- Le faible nombre de couches de métallisation (4 couches).

Des études de portage des capteurs réalisés vers des technologies moins encombrantes (e.g. 130 nm de longueur de grille) sont en cours dans notre groupe à l'IPHC.

b. Le signal minimum détectable

Le signal minimum détectable en sortie d'un pixel est de l'ordre de 1 mV. Il est donné par l'efficacité de collection de charge (qui dépend de l'épaisseur de la couche épitaxiée et de la taille de la diode) et par le facteur de conversion charge-tension (ou Charge-to-Voltage conversion Factor, CVF). La charge est convertie en tension par la capacité équivalente (C_{diode}) de la jonction (p-epi/n-well), qui est de quelques fF. L'épaisseur actuelle de la couche sensible est de 10~15 μm , elle permet une création d'un signal d'environ 1000 e^- . Cette charge se répartit, thermiquement, entre les pixels voisins qui constituent un cluster. En fonction du nombre de charges collectées par le pixel siège et les pixels périphériques d'un cluster et du facteur CVF (50 $\mu\text{V}/e^-$), le signal minimum détectable correspond à environ 1 mV en tension en sortie du pixel.

c. Les dimensions du CAN

Dans le but de minimiser la zone périphérique non sensible du capteur, la surface occupée par l'électronique de lecture doit être minimisée le plus possible. La figure 1.12 illustre la disposition de la partie sensible du capteur (en bleu) et de la zone périphérique (en vert). Le volume sensible est organisé en colonnes de pixels parallèles de largeur 20 μm . La largeur du dessin des masques du CAN doit être ajustée à celle de ces colonnes (20 μm), et la longueur du CAN ne doit pas excéder 1 mm. Ces dimensions doivent inclure l'étage d'échantillonnage et d'amplification du faible signal du pixel.

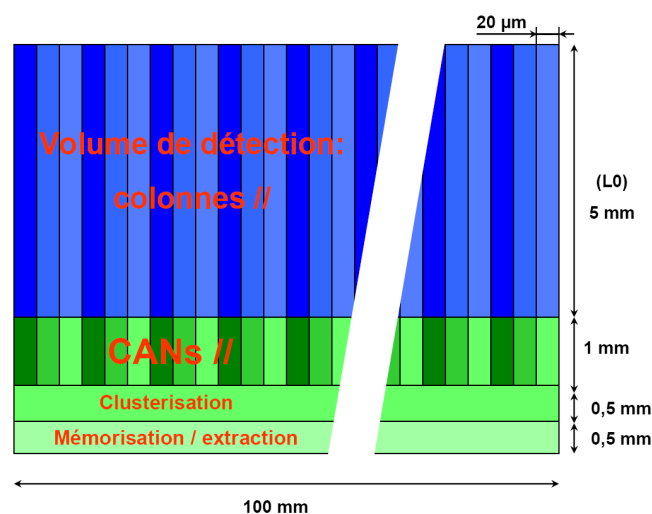


Figure 1.12 : Architecture et composition d'un capteur de la couche interne (L0) du détecteur de vertex.

d. Métallisation

Le nombre de couches de métallisation est limité à 4 couches (voir choix de la technologie AMS 0,35 μm). Ce petit nombre de couches pose un problème de capacités parasites, qui sont dues au routage des pistes, compte tenu de la largeur du pitch (20 μm).

e. La fréquence de conversion

Une fréquence de conversion de 10 MHz par ligne de pixels est exigée pour pouvoir maintenir faible la probabilité d'accumulation d'événements consécutifs dans une même image du détecteur (taux d'occupation).

f. La puissance

La dissipation de puissance ne doit pas excéder 500 μW par colonne de pixels. Cette contrainte reflète la nécessité de maintenir la puissance dissipée dans chaque couche du détecteur à un niveau suffisamment bas pour que la chaleur dégagée puisse être évacuée avec des moyens n'introduisant aucune matière supplémentaire sur le chemin des particules détectées (e.g. flux d'air froid laminaire).

1.6. Conclusion

Dans ce chapitre, une étude descriptive de quelques aspects de physique, motivant le projet de recherche au sein de l'ILC en général, a été réalisée. Elle rappelle combien la précision de toute l'expérience dépend de celle du détecteur de vertex. Le cahier des charges de ce dernier est en fait particulièrement ambitieux et hors de portée des technologies de capteurs en usage dans les expériences actuelles. Les capteurs CMOS à pixels développés à l'IPHC-Strasbourg constituent une approche très attrayante pour équiper le détecteur de vertex du prochain collisionneur linéaire ILC. Ces capteurs présentent de nombreux avantages. Cependant, pour atteindre la résolution spatiale exigée (meilleure que $\sim 3 \mu\text{m}$), l'intégration d'un CAN précis et compact est indispensable. Les contraintes sur budget de matière et sur le taux d'occupation dans le capteur exigent une rapidité de lecture assez élevée sans pour autant dissiper une puissance trop élevée par le CAN.

L'étude, dans ce chapitre, a permis de définir tous les points du cahier des charges imposé sur la conception du CAN.

Avant d'aborder les détails de la conception et des optimisations de ce CAN, dans les chapitres 4 et 5, un étage d'échantillonnage et d'amplification sera d'abord présenté dans le chapitre suivant. L'intégration de ce dernier, comme une interface entre le capteur et le CAN, est nécessaire pour permettre au CAN d'être sensible à un signal minimal de ~ 1 mV du capteur et de disposer d'un temps suffisant pour pouvoir coder ce signal. Une nouvelle architecture de cet étage sera proposée dans le chapitre suivant. L'innovation de cette dernière se situe dans sa capacité à effectuer plusieurs opérations de conditionnement du signal avec un minimum de composants.

Bibliographie

- [Win07] M. Winter et al: « Development of Swift and Slim CMOS Sensors for Vertex Detector at the International Linear Collider ». ILC VD Review / ALCPG-07, Chicago, FNAL, novembre 2007.
- [Kan96] G. Kane: “Le jardin des particules: L’univers tel que le voient les physiciens”. Edition Masson, Paris 1996.
- [Bin99] R. Binbot, A. Bonnin, R. Deloche, C. Tubiana: “ Cent ans après: la radioactivité, le rayonnement d'une découverte ”. EDP Sciences Editions, 1999.
- [Mer99] R. Mermod: “ De l’électron aux quarks : une physique particulière ”. PPUR presses polytechniques, 1999.
- [Gel64] M. Gell-Mann: «A Schematic Model of Baryons and Mesons». Phys. Rev. Letters, 8, 214, 1964
- [Zwe64] G. Zweig: Rapports CERN, TH. N° 401, 412, 1964.
- [Cro99] M. Crozon : « l’Univers des particules ». Editions du Seuil, mais 1999.
- [Ein64] A. Einstein : « La relativité: la théorie de la relativité restreinte et générale ». Edition Payot, 1964.
- [QED94] S. S. Schweber: “QED and the men who made it: Dyson, Feynman, Schwinger, and Tomonaga”. Edition Princeton University Press, 1994.
- [QCD03] R. K. Ellis, W. J. Stirling, B. R. Webber: “QCD and collider physics”. Edition Cambridge University Press, 2003.
- [Win07a] M. Winter et al: « Development of Swift and Slim CMOS Sensors for Vertex Detector at the International Linear Collider ». PRC report of 10 May 2007.
- [Kem] J. Kemmer. “Fabrication of low noise silicon radiation detectors by the planar process”. Nucl. Instr. Meth. A, 169, (1980), pp. 499-502.

- [Peis] A. Peisert: "Silicon Microstrip Detectors, in: Instrumentation in High Energy Physics". F. Sauli, ed., World Scientific 1992.
- [NA32] B. Hyams et al : "A silicon counter telescope to study short-lived particules in high energie hadronic interactions". Nucl. Instr. & Meth. A, 205, (1983), pp. 99-105.
- [SLAC] J.E. Brau: « VXD3: the SLD Vertex Detector Upgrade Based on a 307 MPixel CCD System" IEEE trans. Electron Devices, Vol. 43, N°.3, June 1996, pp. 1107-1112
- [Hyb1] <http://www.physics.purdue.edu/vertex/talks/lozano/index.htm>
- [Hyb2] I. Takao, A. Shinji: "A novel micro bump fabrication for flip-chip bonding". Journal of electronic Materials, 33, No. 11, November 2004, pp. 1411-1413, Springer.
- [Hug06] F. Hugging et al: "The atlas pixel detector". IEEE Trans. Nucl. Sci., 53(3), pp. 1732-1736, June 2006
- [Kem87] J. Kemmer, G. Lutz: "New detector concepts". Nucl. Instr. & Meth. A, 253, 3, 15 January 1987, pp. 365-377
- [Kem90] J. Kemmer, G. Lutz: "Experimental confirmation of a new semiconductor detector principle". Nucl. Instr. & Meth. A, 288, 1, 1 March 1990, pp 92-98
- [Gat84] E. Gatti, P. Rehak: "Semiconductor drift chamber — An application of a novel charge transport scheme". Nucl. Instr. & Meth. A, 225, 3, 1 September 1984, pp. 608-614
- [Tri06] M. Trimpl et al: "A DEPFET pixel matrix system for the ILC vertex detector". Nucl. Instr. & Meth. A, 560, 1, 1 May 2006, pp. 21-25
- [Wer09] N. Wermes: "Pixel detectors for charged particles". Nucl. Instr. & Meth. A, Press, Accepted Manuscript, Available online 3 February 2009.

- [Fos97] E. Fossum: "CMOS Image Sensors: Electronic Camera-On-A-Chip". IEEE Transactions on Electron Devices, Vol. 44, N°. 10, October 1997.
- [Big06] M. Bigas et al: "Review of CMOS image sensors". Microelectronics Journal, 37, (2006), pp. 433-451.
- [Kemp97] S. Kempainen: "CMOS image sensors :eclipsing CCDs in visual information?". EDN 42 (21) (1997) 101.
- [Dep00] G. Deptuch et al: "Design and Testing of Monolithic Active Pixel Sensors for Charged Particle Tracking". IEEE Nucl. Sci. Symp. Conf. Record, 2000, Lyon, France, pp. 3.41-3.48, Vol. 1. Published in IEEE Trans. Nucl. Sci., Vol. 49, No. 2, April 2002.
- [Tur01] R. Turchetta et al: « A Monolithic Active Pixel Sensors for Charged Particle Tracking and imaging using standard VLSI CMOS technology ». Nucl. Instr. & Meth. A, 458 (2001) pp. 677-689.
- [Win09] M. Winter et al: "Achievements and perspectives of CMOS pixel sensors for charged particle tracking". Actes de la conference TIPP09-Tsukuba-avril 2009.
- [Deg03] Y. Degerli et al « Low power autozeroed high speed comparator for the readout chain of CMOS Monolithic Active Pixel Sensor based Vertex Detector". IEEE Trans. Nucl. Sci. Vol. 50, N°. 5, October 2003.
- [Deg06] Y. Degerli et al «Performance of a fast binary readout CMOS Active Pixel Sensor Chip designed for charged particle detection ». IEEE Trans. Nucl. Sci. Vol. 53, N°. 6, December 2006.
- [Bes07] A. Besson et al : « Status of CMOS Sensors ». LCWS07-DESY.
- [Cla08] G. Claus et al: « JRA-1 Milestone: IDC Prototype ready ». EUDET-Memo-2008-03.
- [Wsite] <http://iphc.cnrs.fr/-Publications-Presentations-.html>

Chapitre 2

Conception et réalisation de l'étage d'interface entre une colonne de pixels et un CAN pour les capteurs MAPS

2.1. Introduction

Dans le chapitre précédent, nous avons montré que le signal véhiculant l'information du pixel n'est, entièrement, prêt qu'à la fin de la phase de lecture d'un pixel (i.e. la fin de la phase PWR_ON). Pour le convertir en numérique, ce signal doit, alors, être mémorisé et maintenu stable durant le temps nécessaire pour sa conversion. Afin d'augmenter la sensibilité du CAN notamment au signal minimal du capteur, ce dernier doit être amplifié avant d'être codé. C'est pourquoi, un étage d'échantillonnage-blocage et d'amplification est nécessaire dans cette application. Cet étage va servir d'interface entre une colonne de pixels et un CAN. Pour cette finalité, un circuit échantillonneur-bloqueur de gain 4 a été réalisé et intégré dans les circuits étudiés dans mes travaux de thèse. Et afin d'adapter cet étage à la séquence de commande de lecture des pixels, différentes architectures de cet étage ont été étudiées dans ce travail. Dans ce chapitre, après quelques rappels sur le principe d'échantillonnage, nous présenterons les différentes architectures que nous avons étudiées et nous détaillerons notre choix optimal pour cet étage d'interface.

2.1.1. Échantillonnage

Lorsqu'on désire numériser un signal analogique (continu dans le temps), c'est-à-dire le coder à l'aide d'une suite finie de nombres, on commence généralement par l'échantillonner, sauf dans le cas de signaux très lents par rapport à la fréquence d'échantillonnage.

Cette opération consiste à prendre la valeur instantanée du signal à des intervalles séparés par un temps constant T_e (T_e est appelée période d'échantillonnage). À l'issue de cette opération, les valeurs du signal original ne sont connues que toutes les T_e secondes. Alors, pour pouvoir reconstituer le signal original à partir des échantillons prélevés à des instants discrets, il faut choisir un nombre suffisant d'échantillons. Ceci nous introduit à l'étude spectrale (étude en fréquence) du signal et au théorème d'échantillonnage comme celui dit de Shannon [Aug99], [Cou96].

Afin de garantir la restitution fidèle du signal original, le théorème d'échantillonnage stipule que la fréquence d'échantillonnage doit être supérieure au double de la fréquence maximale à reproduire. Sinon, on observe un phénomène dit de repliement, qui veut que les fréquences les plus élevées, en plus d'être reproduites à leurs justes valeurs, se voient inversées et décalées pour se superposer aux fréquences plus basses du signal.

Dans le cas du signal issu des pixels des MAPS, ce théorème est respecté de fait. Cependant, il est nécessaire de rappeler ces limites d'échantillonnage dans le but de les respecter lors de test et caractérisation des CANs.

2.1.2. Échantillonneur-bloqueur

Le rôle d'un échantillonneur-bloqueur (Sample & Hold, S/H) est de maintenir constante l'amplitude de l'échantillon prélevé toutes les T_e secondes durant un temps nécessaire à sa conversion analogique-numérique. T_e représente la période d'échantillonnage. Dans le cas des signaux lents, dont la précision temporelle n'est pas exigée, le circuit S/H n'est pas nécessaire.

2.1.2.1. Principe de fonctionnement d'un circuit S/H

Réaliser un échantillonneur-bloqueur consiste à associer un interrupteur à une capacité. La figure 2.1 illustre la configuration la plus élémentaire d'un échantillonneur-bloqueur.

La capacité (C_h) joue le rôle de mémoire analogique, l'interrupteur sert à rafraîchir la valeur de la tension mémorisée sur cette capacité ou bien à l'isoler l'entrée, selon la phase (échantillonnage ou blocage).

Dans un cas idéal, lorsque l'interrupteur est fermé, la tension aux bornes de la capacité (la sortie de l'E/B dans le cas élémentaire de la figure 2.1) suit les variations de l'entrée. Cette phase est dite d'échantillonnage (Sample, S). Et lorsque l'interrupteur est ouvert, la sortie, étant isolée de l'entrée, reste constante et égale à la dernière valeur transmise du signal d'entrée. Cette phase correspond à celle de blocage (Hold, H). La figure 2.2 montre la tension aux bornes de la capacité durant les deux phases de fonctionnement du S/H.

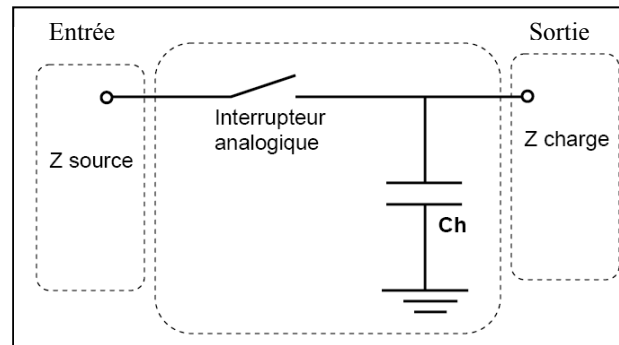


Figure 2.1: Schéma de principe d'un échantillonneur-bloqueur élémentaire.

Dans un cas réel, différentes sources d'erreurs viennent perturber (fausser) la valeur du signal échantillonné. Ces erreurs constituent les limitations en termes de rapidité et précision du circuit S/H. Les sections suivantes du présent chapitre seront consacrées aux détails de conception des circuits S/H étudiés dans le cadre de cette thèse en vue de réaliser l'interface entre les colonnes de pixels et les convertisseurs analogique-numérique intégrés en bas de ces colonnes.

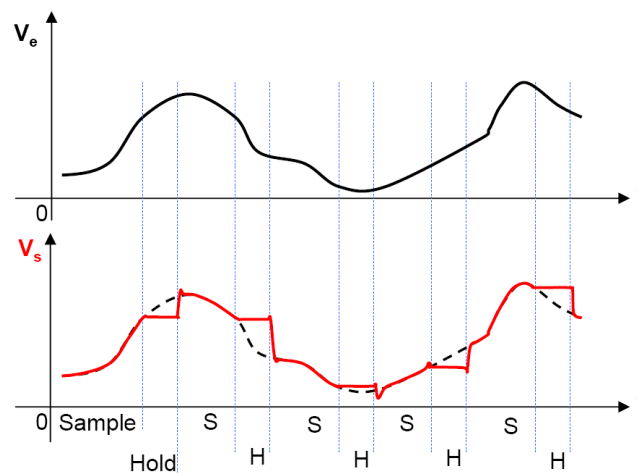


Figure 2.2: Allure du signal de sortie durant les phases d'échantillonnage et de blocage.

2.2. Échantillonneur-bloqueur et amplificateur

Dans l'application des capteurs MAPS, les pixels sont organisés en matrice. En bas de chaque colonne de pixels sera intégré un Convertisseur analogique-numérique de résolution 4 ou 5 bits. Afin de disposer d'un temps suffisant pour la conversion du signal issu de chaque colonne de pixels, il est nécessaire de mettre en place un circuit d'interface entre une colonne de pixels et un CAN. Cet étage aura pour but de mémoriser le signal du pixel, de l'amplifier et le maintenir stable jusqu'à la fin de sa conversion.

En plus de sa fonction de mémorisation et d'amplification, l'échantillonneur-bloqueur, étudié et intégré dans les différentes versions de convertisseurs réalisés, permet de compenser les différentes sources d'erreurs qui suivent:

- L'effet de l'offset de l'amplificateur opérationnel (Operational Transconductance Amplifier, OTA) sans nécessité d'avoir un OTA à grand « slew rate ».
- Les offsets dus aux injections de charges par les interrupteurs (ou *switches*).
- L'effet des fluctuations de la tension de mode commun du signal du pixel.
- La sensibilité au faible gain de l'OTA en boucle ouverte.

Toutes ces fonctions doivent être assurées par un circuit au budget restreint en surface et en consommation (cahier des charges du détecteur de vertex de l'ILC) tel qu'il sera décrit ci-après.

2.2.1. Description du circuit

L'architecture du circuit de l'échantillonneur-bloqueur de gain 4 (Sample and Hold Amplifier, SHA) est illustrée sur la figure 2.3.

Nous avons utilisé la technique des capacités commutées dans une architecture pseudo-différentielle à redistribution de charges non-inverseuse [Joh97], [Mar87]. Le fonctionnement de ce circuit est piloté par deux phases principales d'horloge non recouvrantes ϕ_1 et ϕ_2 , qui sont générées à l'aide d'un générateur d'horloge intégré dans les prototypes que nous avons réalisés. La figure 2.3 illustre le schéma réalisé et met en évidence la phase d'échantillonnage (ϕ_2 activée), pendant laquelle le signal d'entrée est enregistré sur

les capacités d'échantillonnage ($C_{s1}, \dots, C_{s4}$). Et durant la phase ϕ_1 (blocage), la charge est transférée sur la capacité de contre-réaction C_f donnant ainsi une amplification de la différence de tension entre la tension du signal d'intensité V_{in+} et la tension de référence V_{in-} (signal d'obscurité) par un facteur 4 (rapport des capacités). Par souci de préserver la surface, le choix des valeurs des capacités est un compromis entre la surface occupée et la tension maximale tolérée du bruit en kT/C . Dans ce circuit, les capacités unitaires ($C_{s1}, C_{s2}, C_{s3}, C_{s4}, C_f$ et C_{rst}) sont égales et valent 100 fF chacune.

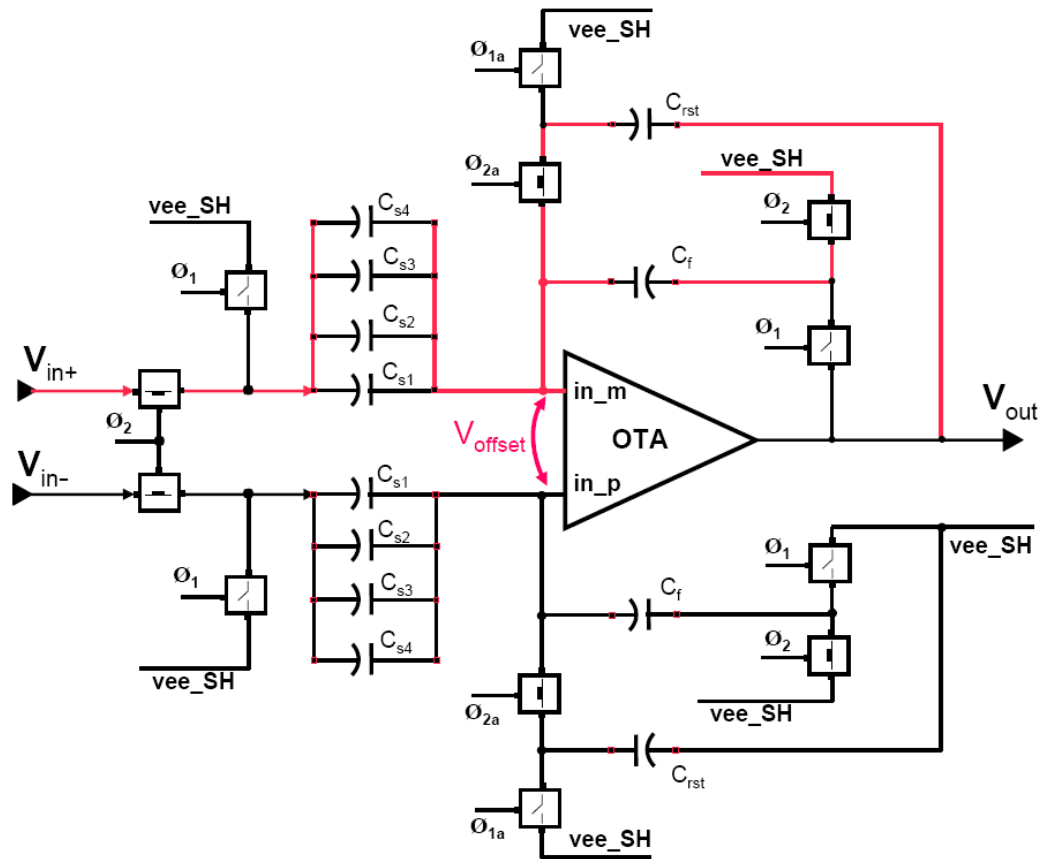


Figure 2.3 : Schéma de l'échantillonneur-bloqueur et amplificateur (SHA)

2.2.2. Caractéristiques du circuit SHA

Le circuit SHA illustré sur la figure 2.3 présente des caractéristiques importantes pour des applications au faible signal d'entrée, faible dissipation de puissance et à la surface limitée du circuit comme dans le cas de l'application des MAPS. Une architecture différentielle du circuit serait moins sensible à différentes sources d'erreurs [Wal98], [Roy]. Néanmoins, elle nécessiterait une boucle de contrôle de la tension de mode commun de l'amplificateur, ce qui

rajouterait une consommation supplémentaire en surface et/ou en puissance. Le contrôle capacitif en est un exemple qui permet le rafraîchissement de la tension de mode commun sans dissipation statique de puissance mais nécessite une surface supplémentaire. C'est pourquoi nous avons utilisé une architecture pseudo-différentielle qui permet de s'affranchir de cette consommation tout en compensant, à la fois, l'erreur due aux fluctuations de la tension de mode commun du signal d'entrée venant du pixel et les erreurs dues aux différentes sources d'offsets internes au circuit.

2.2.2.1. Compensation de l'erreur due à l'offset de l'OTA

L'offset d'un amplificateur est une différence de potentiel (ddp) entre les deux entrées in_p et in_m (voir figure 2.3). Cet offset est dû, en général, à l'imperfection de l'appariement des transistors, et en particulier ceux de la paire différentielle de l'amplificateur. Cette architecture permet de compenser l'effet de l'offset sans avoir besoin d'un circuit supplémentaire d'auto-zéro (remise à zéro de l'offset). Pendant la phase d'échantillonnage (ϕ_2), l'offset de l'amplificateur est enregistré sur la capacité de contre réaction C_f et maintenu en entrée de l'amplificateur. Donc, le signal échantillonné sera $V_{in} - V_{offset}$. Le signal précédemment bloqué $V_{out(n-1)}$ en sortie était enregistré sur la capacité C_{rst} . Par conséquent, en sortie de l'amplificateur est maintenue une tension $V_{out(n-1)} - V_{offset}$. La tension V_{out} ne varie que de la valeur de l'offset entre la phase d'échantillonnage et la phase de blocage. Cette petite variation de V_{out} entre les deux phases rend le temps d'établissement (*slew rate*) du signal en sortie de l'amplificateur moins critique. Pendant la phase de blocage (ϕ_1), les charges enregistrées sur les capacités d'échantillonnage sont transférées vers la capacité de contre réaction C_f ; il en résulte une amplification, qui est de rapport des capacités et annulant l'offset sur le signal de sortie. La figure 2.4 illustre l'uniformité du gain en fonction de l'offset de l'amplificateur pour le signal d'entrée balayant toute la dynamique d'entrée, qui est de 31 mV. On remarque que le gain reste proche de sa valeur optimale de 4 quand l'offset varie de -10 mV à 10 mV. On mesure une erreur maximale de 2,5 % sur la plus petite valeur du signal d'entrée. Cette erreur reste tolérable pour une résolution de 5 bits. La courbe tracée sur la figure 2.4 représente le résultat d'une simulation du circuit SHA à 25 Méga échantillons par seconde (nous utiliserons dans ce qui suit l'unité MS/s⁹ pour la fréquence d'échantillonnage). Le circuit, conçu en technologie CMOS 0,35 μm standard d'AMS, consomme un courant de 125 μA pour une tension d'alimentation de 3,3 V.

⁹ MS/s : Mega samples per second

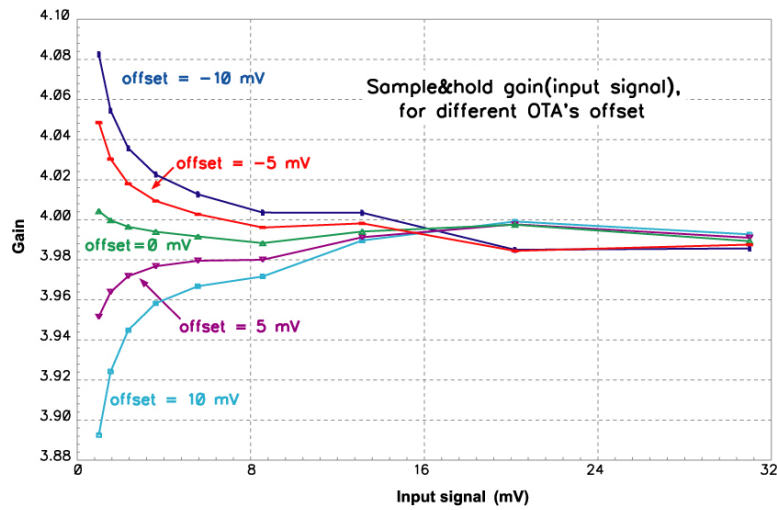


Figure 2.4 : Gain de l'échantillonneur-bloqueur en fonction de V_{in} et de l'offset en entrée de l'OTA

2.2.2.2. Compensation de l'offset dû aux charges injectées

Les interrupteurs CMOS présentent deux principaux types d'injection de charges : le premier type est celui des charges du canal du transistor et le deuxième type est l'injection par l'horloge à travers des capacités de recouvrement de la grille (*clock feedthrough*).

Les charges se trouvant dans le canal du transistor des interrupteurs s'évacuent vers le drain et la source du transistor quand on ouvre l'interrupteur (mise en position OFF). Ces charges injectées créent une tension d'offset très critique compte tenu des capacités utilisées, qui sont de très faibles valeurs. Cette source d'offset est contrôlée en utilisant des horloges non recouvrantes (ϕ_1 et ϕ_2) et des sous phases ϕ_{1a} et ϕ_{2a} qui sont déconnectées légèrement avant les phases principales ϕ_1 et ϕ_2 respectivement voir le chronogramme sur la figure 2.5. Les fronts descendants de ϕ_{1a} et de ϕ_{2a} arrivent en avance d'environ 1ns ($t = 1$ ns) par rapport aux phases ϕ_1 et ϕ_2 respectivement.

En déconnectant ϕ_{2a} (Cf. figure 2.3), on injecte un offset constant dans les capacités d'échantillonnage d'un côté, mais on crée un circuit ouvert d'un autre côté, ce qui empêche la modification de la valeur du signal V_{in} quand on déconnecte ϕ_2 . Ainsi, l'erreur induite est indépendante de la valeur du signal en entrée. À noter également que la même quantité de charges est injectée dans les deux branches d'entrée du circuit. Ceci permet la neutralisation des deux offsets et par conséquent, une meilleure linéarité du circuit est obtenue.

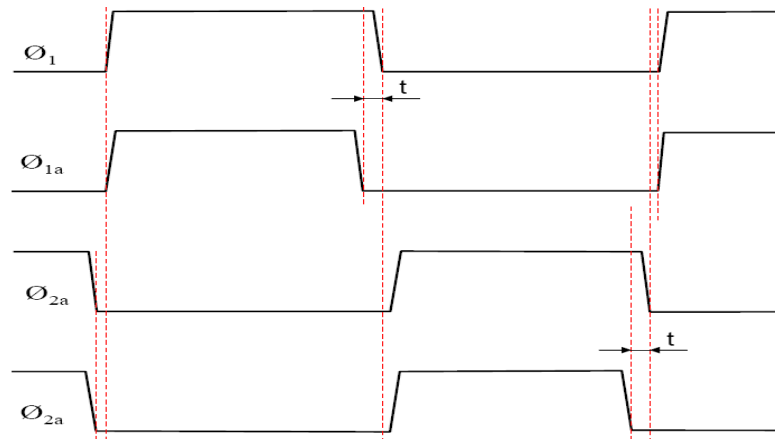


Figure 2.5 : Chronogramme des horloges de commande du fonctionnement du SHA.

Dans le deuxième type d'erreur, la grille du transistor est couplée à sa source et son drain par les capacités de recouvrement grille-source et grille-drain. Ces capacités se chargent quand on applique une tension d'horloge sur la grille du transistor (switch). Au front descendant de l'horloge, les charges de ces capacités s'injectent dans la source et le drain créant un offset sur les capacités d'échantillonnage. L'erreur de ce type d'injection ne dépend pas de la valeur du signal d'entrée. Le phénomène d'injection de charges sera détaillé plus en profondeur dans le chapitre 4.

2.2.2.3. Réjection de la tension de mode commun du pixel

Les effets dus aux fluctuations de la tension du mode commun du signal venant des pixels sont compensés grâce à la spécificité de l'architecture de l'échantillonneur-bloqueur de la figure 2.3. Ce circuit est différentiel en entrée et ses deux branches d'échantillonnage sont symétriques, on peut également remarquer que les entrées in_m et in_p de l'amplificateur sont flottantes. Cette architecture permet d'atténuer la fluctuation de la tension de mode commun, qui peut atteindre une valeur maximale de ± 100 mV, au niveau des entrées de l'OTA. Par conséquent, le signal en sortie du circuit reste relativement insensible aux variations de la tension de mode commun du signal du pixel. Le taux de rejection de mode commun (TRMC) est défini comme étant le rapport A_v/A_c exprimé en dB, où A_v est le gain 4 du circuit et A_c est le gain de la tension de mode commun du signal d'entrée. Le TRMC simulé pour une variation du mode commun de ± 200 mV autour de sa valeur nominale de 1,5 V est de 44 dB.

$$TRMC = 20 \log \left(\frac{Av}{Ac} \right) = 20 \log \left(\frac{4}{0.025} \right) = 44.08 \text{ dB} \quad (2.1)$$

2.2.2.4. Insensibilité au faible gain en boucle ouverte de l'OTA

Le circuit de SHA est insensible au faible gain en boucle ouverte de l'OTA. Nous allons voir que le gain du circuit est plutôt proportionnel à A^{-2} que A^{-1} (voir équation 2.3), où A est le gain fini en boucle ouverte de l'OTA. Si on supposait que A tend vers l'infini, le gain du circuit SHA serait :

$$\frac{V_{out}}{(V_{in+} - V_{in-})} = \frac{4C}{C} \quad (2.2)$$

En donnant une valeur finie à A , l'équation (2.2) devient alors :

$$\frac{V_{out}}{(V_{in+} - V_{in-})} = \frac{4C}{C} \left[1 - \frac{4C + C}{C \times A^2} \right] \quad (2.3)$$

Ceci permet d'utiliser un faible gain en boucle ouverte de l'OTA. Le détail de calcul de cette fonction de transfert sera illustré en Annexe A.2.

2.2.2.5. L'effet des capacités parasites en entrée de l'amplificateur

Le schéma du SHA est très sensible aux capacités parasites au niveau de l'entrée de l'OTA. L'offset dû à cette capacité peut facilement translater la tension de sortie en dehors de la dynamique du convertisseur qui suivra. Pour réduire cet offset, une grande attention a été portée lors du dessin de masque du circuit.

2.2.2.6. Les sources de bruit

Le bruit en kT/C^{10} est un paramètre critique dans ce circuit, car en tenant compte de la contrainte liée à la surface, nous avons été emmenés à utiliser des capacités de faibles valeurs (100 fF par capacité élémentaire). La capacité d'échantillonnage d'entrée vaut 400 fF pour

¹⁰ k : est la constante de Boltzmann et T est la température absolue en Kelvin

chacune des deux branches d'entrée (Cf. figure 2.3), ce qui correspond à un bruit en kT/C et en valeur rms¹¹, pour chaque branche, de :

$$\sigma^2 = kT/C = (102 \text{ } \mu V)^2 \quad (2.4)$$

Le bruit des deux entrées n'étant pas corrélé, alors le bruit total en kT/C échantillonné est la somme quadratique du bruit des deux branches.

$$\sigma_{tot}^2 = 2kT/C \quad (2.5)$$

$$\sigma_{tot} = \sqrt{2} \times \sqrt{kT/C} = 144,25 \text{ } \mu V \quad (2.6)$$

Or, le bruit de quantification, qui est donné par $LSB/\sqrt{12}$ (Cf. Chapitre 3), est égal à 288 μV , pour un LSB de 1 mV. Donc, on dispose d'une marge de sécurité d'environ 1/2 entre le bruit en kT/C (en valeur rms) et le bruit de quantification ; une marge qui satisfait la condition de stabilité du code de sortie dans le cas de nos convertisseurs ayant un LSB de 1 mV. Le bruit thermique de l'amplificateur et le bruit en 1/f (Flicker Noise) sont également pris en compte. Cette section sera détaillée dans le chapitre 4.

2.2.3. Réalisation du circuit SHA

Ce circuit a été fabriqué en technologie CMOS 0,35 μm d'AMS¹², il est intégré dans les différentes versions de CANs que nous avons réalisés. Il occupe ~15 % de la surface totale du CAN (C.f. figure 2.6) et dissipe ~20 % de la puissance statique totale du CAN.

Comme il est déjà expliqué en haut, Ce circuit constitue le premier étage du CAN. Donc la précision du signal en sortie de cet étage doit assurer une résolution de 5 bits. Néanmoins, une dispersion d'offset entre les canaux de convertisseur a été constatée lors des tests en laboratoire. Afin de remédier à ce problème de dispersion de l'offset, le dessin de masque du circuit a été modifié et amélioré sur les différentes versions de CANs réalisés. La figure 2.6 montre le dessin de masque du SHA intégré dans le CAN pipeline à 5 bits (1ere version de CAN). La disposition symétrique des capacités et des switches par rapport à l'OTA est justifiée par le souci de minimiser l'offset entre les deux entrées de l'OTA.

¹¹ rms : root mean squares

¹² AMS : Austria micro System

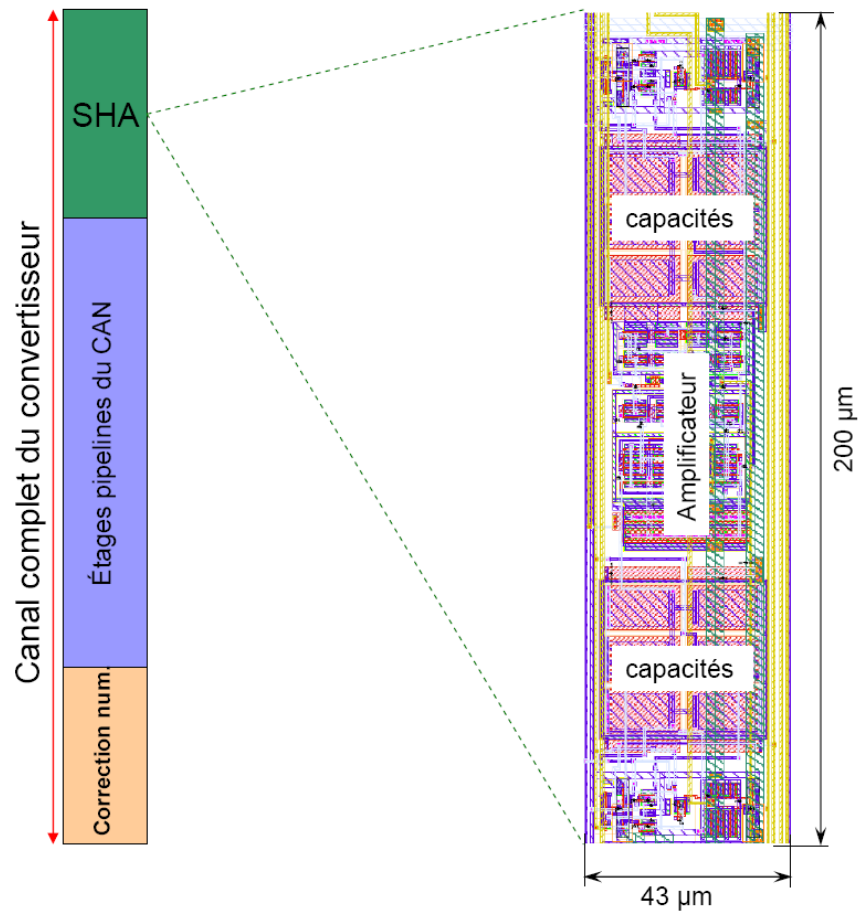


Figure 2.6 : Dessin de masque du circuit SHA et mise en évidence de ces dimensions

Le tableau 2.1 résume les performances du circuit SHA intégré dans le convertisseur de type pipeline traditionnel à 5 bits de résolution.

	Fréquence d'échantillonnage	Dimensions	Puissance dissipée à 3,3 V	Puissance dissipée à 2,5 V
Circuit SHA	25 MS/s	43 μm $\times$ 200 μm	0,34 mW	0,26 mW

Tableau 2.1 : Résumé des performances du circuit SHA.

Dans le but de réduire la consommation et la surface du convertisseur, la technique de double échantillonnage (double sampling) a été introduite sur les étages pipeline du CAN dans les versions 2 et 3 du convertisseur qui seront détaillées au chapitre 5. A cet effet, nous avons utilisé deux circuits SHA, pour chaque convertisseur, échantillonnant à 25 MS/s

chacun mais en opposition de phase. Ce qui donne une fréquence équivalente, des deux circuits, de 50 MS/s. Le mode de fonctionnement est illustré sur la figure 2.7.

Dans les versions 2 et 3 du SHA, nous avons réutilisé la même architecture du circuit (figure 2.3) tout en apportant les améliorations suivantes :

- Réduction de la largeur du circuit à 40 μm au lieu de 43 μm précédemment.
- Optimisation des dimensions des switches connectés aux entrées de l'amplificateur dans le but de réduire l'offset.
- Réduction des capacités parasites en entrée de l'amplificateur en dégageant au maximum la métallisation au dessus des nœuds d'entrée de l'amplificateur.
- Amélioration du temps d'établissement du signal en sortie du SHA en optimisant les constante RC du circuit. R étant la résistance des switches et C la capacité totale sur une ligne donnée du circuit.

La 3^{ème} version de ce circuit (SHA) a été conçue pour fonctionner à une tension d'alimentation de 2 V. Le circuit ne dissipe alors que 0.26 mW de puissance statique pour une fréquence d'échantillonnage de 25 MS/s.

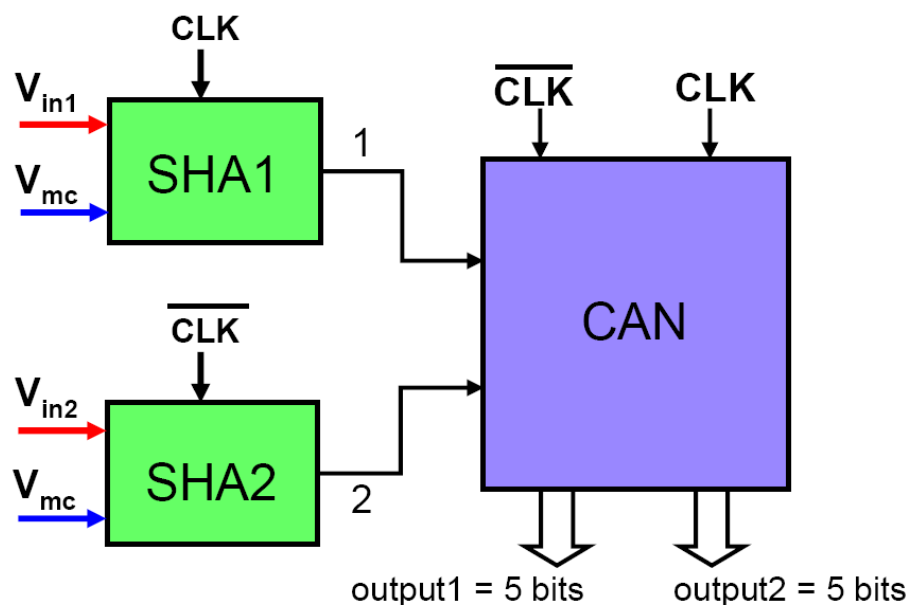


Figure 2.7 : Synoptique global de branchement du circuit SHA au CAN 5 bits

2.2.4. Conclusion

Cette architecture répond aux exigences du cahier des charges du détecteur de Vertex en termes de fréquence, largeur du circuit et puissance dissipée. Elle présente également des résultats satisfaisants sur la linéarité, la correction d'offset et la réjection de mode commun du signal d'entrée. À l'issue de la dernière version de ce circuit (3^{ème} version : SHA à 2 V d'alimentation), la fréquence d'échantillonnage dépasse les 10 MS/s (25 MS/s pour une paire de colonnes de pixels) et la largeur n'est que de 20 μm pour l'équivalent d'une colonne de pixels.

Cependant, l'architecture différentielle en entrée de ce circuit n'est pas tout à fait adaptée pour la lecture du signal non-différentiel provenant du pixel.

Dans la section suivante, nous détaillerons une étude réalisée pour l'adaptation du circuit à l'application des capteurs MAPS.

2.3. Étude de l'adaptabilité du circuit SHA à la séquence de lecture du pixel

2.3.1. Introduction

Le circuit SHA tel qu'il a été conçu et réalisé dans les trois versions de convertisseurs n'est pas adapté à la séquence de lecture du signal provenant d'un pixel pour différentes raisons, d'où la nécessité d'une étude d'adaptabilité de ce circuit aux spécifications des MAPS développés à l'IPHC de Strasbourg. Pour rappel, la figure 2.8 montre le schéma électrique d'un pixel avec reset (pixel intégré dans l'une des matrices de Mimosa22) [Mor08].

La sortie du pixel Pix_out est non-différentielle, le signal d'intensité V_{RD} et celui d'obscurité (référence) V_{CALIB} du pixel sont véhiculés par un seul fil physique (Pix_out). Ces deux signaux sont séquentiels et ont une fréquence de 10 MHz. Dans un autre côté, l'étage d'entrée du SHA est différentiel. Les signaux V_{in+} , V_{in-} et l'offset de l'OTA sont échantillonnés simultanément à une fréquence de 25 MHz. Les dimensions de chaque circuit SHA étant de 40 μm , ce qui correspond à la largeur de deux colonnes de pixel. Donc, il est impératif que chaque circuit (SHA) échantillonne deux colonnes de pixels séquentiellement avec une fréquence équivalente de 10 MHz par colonne de pixels. A cet effet, pour pouvoir,

éventuellement, utiliser ce circuit pour lire les signaux des pixels, plusieurs modifications sont nécessaires. Dans cette partie nous allons réaliser une étude d'adaptabilité du circuit SHA à la lecture des signaux des pixels conçus au laboratoire IPHC-Strasbourg.

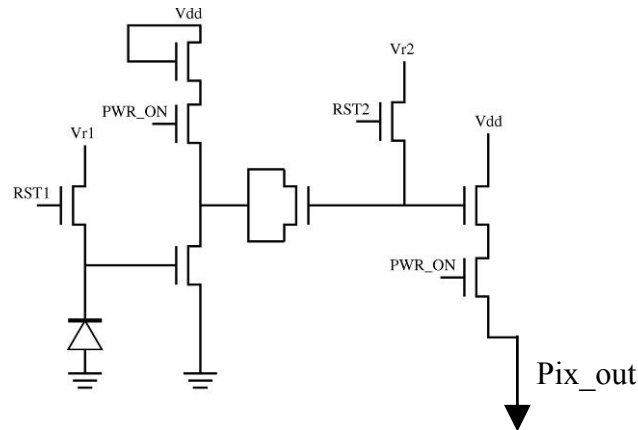


Figure 2.8 : Schéma d'un pixel actif avec reset intégré dans une matrice de Mimosa22.

2.3.2. Adaptation du circuit SHA aux spécifications des MAPS

Le SHA montré en figure 2.3 pourrait être adapté à la séquence de lecture d'un pixel moyennant les modifications suivantes :

1. Adapter les phases d'échantillonnage et d'amplification du SHA (figure 2.3) à la séquence de lecture d'un pixel, ce qui implique une modification du générateur d'horloge intégré avec le convertisseur dans les prototypes.
2. Doubler le nombre de capacités d'échantillonnage d'entrée, afin de pouvoir échantillonner deux colonnes de pixels. Par conséquent, il est nécessaire de modifier l'étage d'échantillonnage du SHA.

Le diagramme montré sur la figure 2.9 met en évidence la connexion de la sortie commune d'une colonne de pixels à l'entrée du circuit SHA. Les capacités d'échantillonnage (C_{sampling}) du SHA vont servir de mémoire analogique pour le signal du pixel pendant les phases RD et CALIB de la commande de lecture du pixel.

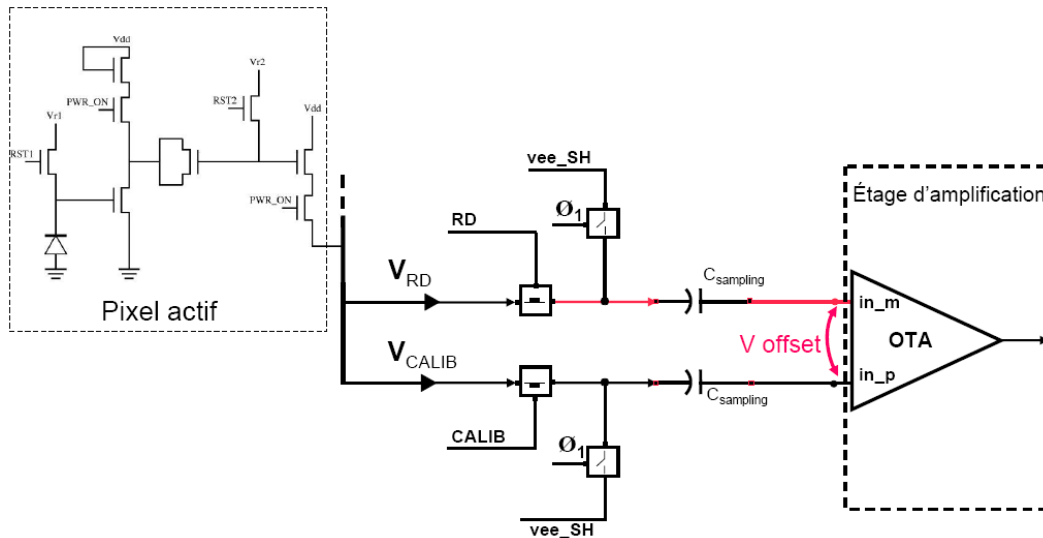


Figure 2.9: Configuration du SHA en mode lecture du pixel

Les synoptiques du circuit SHA traditionnel et du SHA dédié spécialement à l'application du pixel sont montrés sur les figures 2.10(a) et 2.10(b) respectivement. De cette figure ressortent les points qui doivent être modifiés et les acquis à conserver.

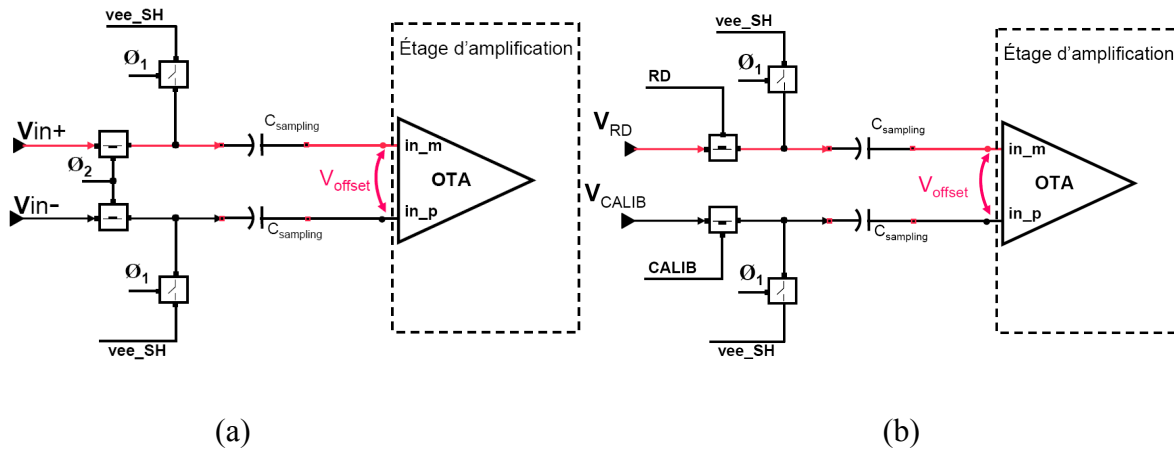


Figure 2.10 : Schéma synoptique du SHA traditionnel (a) et du SHA adapté à la séquence du pixel (b).

La figure 2.10(a) montre le principe d'échantillonnage déjà implémenté dans les versions précédentes de convertisseurs. Sur la figure 2.10(b), est illustré le mode d'échantillonnage de la version du SHA répondant aux spécifications de lecture d'un pixel. La phase ϕ_2 de la figure 2.10(a) est divisée en deux sous phase RD et CALIB dans la figure 2.10(b). Pendant la phase RD, le signal V_{RD} est enregistré dans la capacité de sampling de la

branche supérieure du circuit et pendant la phase CALIB, le signal V_{CALIB} est mémorisé dans la capacité de sampling de la branche inférieure. L'étage d'amplification reste inchangé dans le cas de lecture d'une seule colonne de pixel par circuit SHA. Durant la phase ϕ_1 (amplification dans l'ancien SHA), on effectue la différence ($V_{\text{RD}} - V_{\text{CALIB}}$) pour extraire le signal d'intensité de celui d'obscurité (référence). Cette différence est également amplifiée par un gain de 4 pendant cette phase.

La concordance sur les signaux d'horloge (timings) est très critique dans cette architecture pour éviter de créer des offsets par injections de charges non-équilibrées dans les deux branches du circuit (V_{RD} et V_{CALIB}). Dans la configuration intrinsèque de SHA, les signaux RD et CALIB doivent être un seul signal (ϕ_2). Or, dans le cas de la séquence de lecture du pixel, RD et CALIB sont séparés de 50 ns, cette durée correspond au signal Reset ou clamping dans le chronogramme de la figure 1.9 du Chapitre 1. Cette caractéristique cause la création d'une tension d'offset constante qui s'ajoute sur la sortie du SHA. Cet offset n'est pas gênant en soi, car il ne dépend pas de la valeur du signal d'entrée, et du coup ne cause pas d'erreurs de non-linéarité. Il est facilement compensable en modifiant les tailles des switches connectés vers la masse virtuelle (vee_SH). La figure 2.11 montre un résultat de simulation du circuit SHA commandé par la séquence de lecture du pixel. Sur cette figure, est tracée la sortie du SHA en fonction la dynamique d'entrée (31 mV).

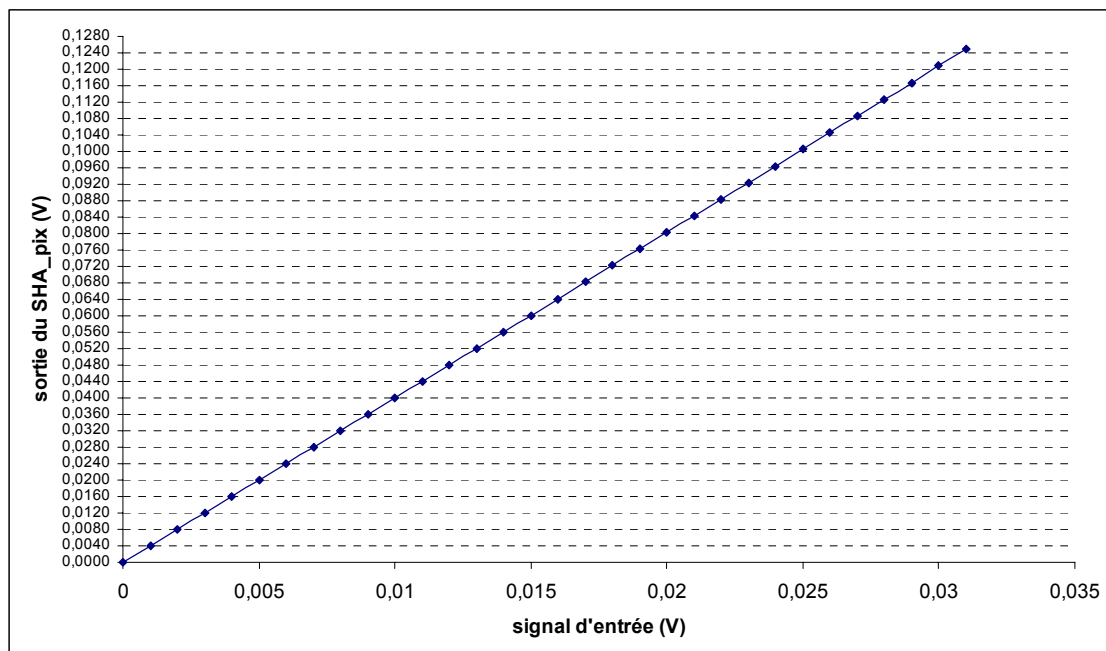
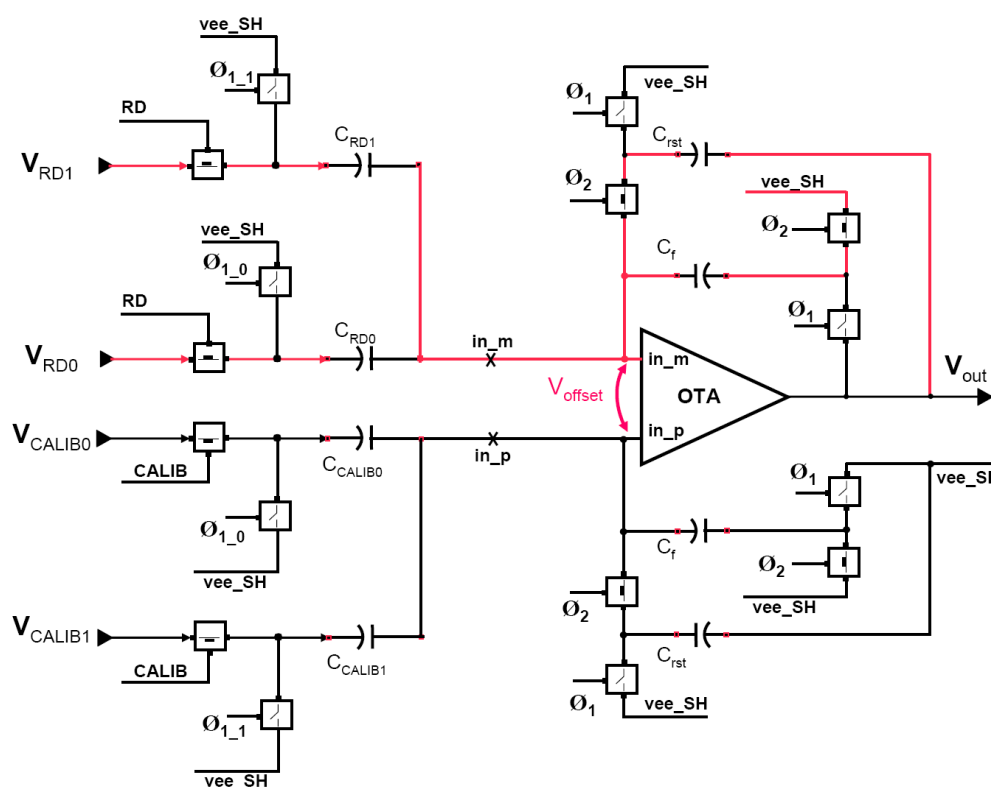


Figure 2.11 : Linéarité de SHA adapté à une colonne de pixels

Ce résultat favorable n'est pas suffisant pour valider cette architecture car on doit l'adapter, également, en fréquence d'échantillonnage. Pour que cette architecture puisse lire deux colonnes de pixels, il faut dupliquer les capacités d'échantillonnage en entrée de ce circuit. La figure 2.12 montre le schéma d'un multi-SHA (MSHA) comprenant deux branches de capacités d'échantillonnage en entrée.



Le programme de la figure 2.13 détaille les signaux d'horloge utilisés par ce circuit. Les signaux Clk, PWR_ON, RD et CALIB sont utilisés. Pendant la phase RD, les signaux V_{RD0} et V_{RD1} de deux comparateurs sont échantillonnés simultanément sur les capacités C_{RD0} et C_{RD1} . Pendant la phase CALIB, le MSHA échantillonne les signaux V_{CALIB0} et V_{CALIB1} sur les capacités C_{CALIB0} et C_{CALIB1} respectivement.

Le chronogramme de la figure 2.13 détaille les signaux d'horloge qui contrôlent le fonctionnement de ce circuit. Les signaux Clk, PWR_ON, RD et CALIB sont ceux de la matrice de pixels. Pendant la phase RD, les signaux V_{RD0} et V_{RD1} de deux colonnes voisines de pixels sont échantillonnés simultanément sur les capacités C_{RD0} et C_{RD1} respectivement. Lors de la phase CALIB, le MSHA échantillonne les signaux V_{CALIB0} et V_{CALIB1} de ces mêmes colonnes de pixels sur les capacités C_{CALIB0} et C_{CALIB1} respectivement.

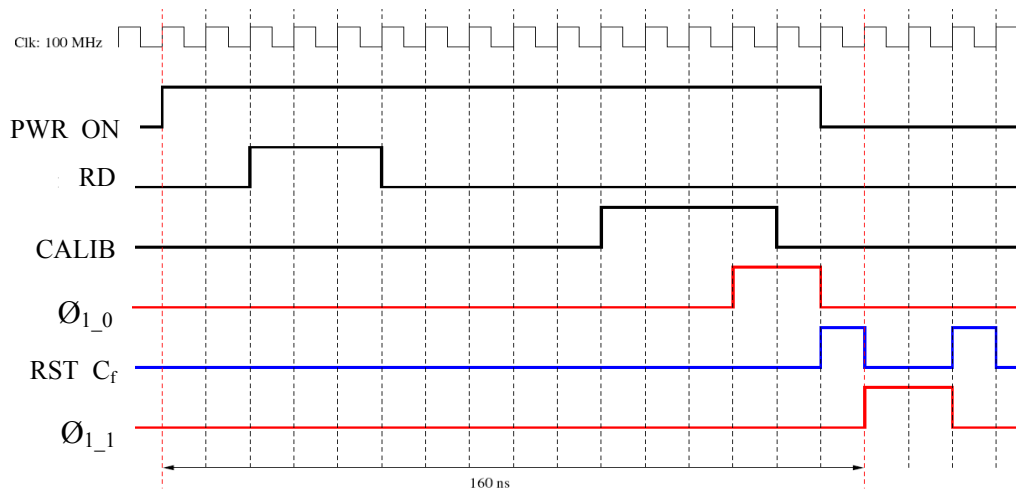


Figure 2.13 : Séquencement des commandes de lecture d'un pixel de mimosa 22 par le circuit MSHA.

L'offset de l'OTA est enregistré sur la capacité C_f durant les phases RD et CALIB (même principe que dans les SHA traditionnels). La phase d'amplification $\emptyset_1$ est composée de deux sous phases $\emptyset_{1_0}$ et $\emptyset_{1_1}$ et d'une phase de reset pour initialiser la capacité C_f afin d'éviter la fonction d'intégrateur. Pendant l'amplification du signal V_{RD0} , l'information sur le signal V_{RD1} est modifiée (faussée) car les nœuds in_m et in_p sont communs pour les deux branches d'échantillonnage du circuit. Ceci provoque une erreur sur le gain de l'étage et une tension de décalage entre les deux branches.

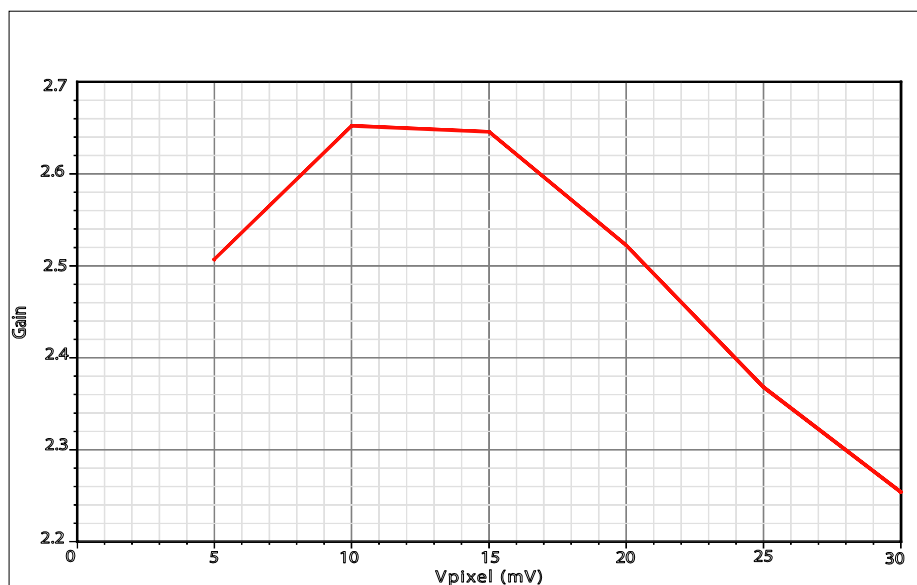


Figure 2.14 : Gain du MSHA sans switch en entrée de l'AOP.

La figure 2.14 montre le gain de cet étage qui est proche de 2,5 au lieu de 4 (complètement faussé). Car la tension sur les nœuds in_m et in_p , qui correspond à l'offset de l'amplificateur, varie entre l'amplification du signal V_{RD0} et celle du signal V_{RD1} . Cette erreur constitue la limitation majeure d'adaptation de cette architecture pour l'application de lecture d'un pixel.

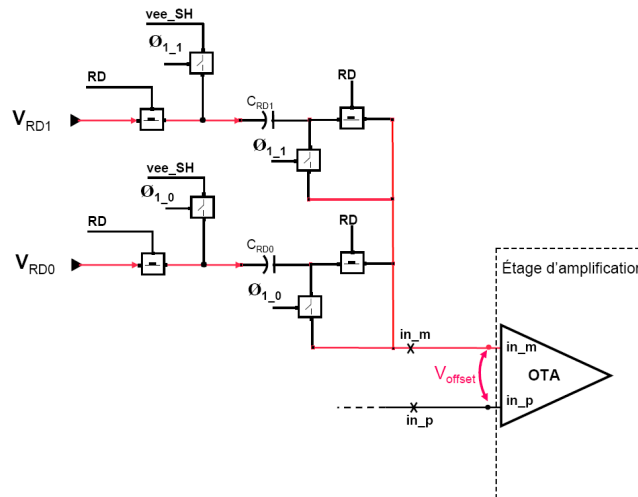


Figure 2.15 : Schéma du MSHA avec switches en entrée de l'AOP.

Pour remédier à ce problème, nous avons ajouté des switches permettant de connecter l'amplificateur à une seule branche de capacités d'échantillonnage à la fois, lors de la phase d'amplification. La figure 2.15 montre la connexion des capacités d'échantillonnage du signal V_{RD} vers l'entrée in_m de l'amplificateur ; les capacités d'échantillonnage de V_{CALIB} sont connectées de la même façon vers l'entrée in_p de l'amplificateur.

Cette architecture permet de garder l'offset de l'AOP mémorisé sur les capacités d'échantillonnage mais l'ajout de switches entraîne une erreur de gain. La figure 2.16 montre le résultat d'une simulation du circuit. Le gain tracé pour la dynamique d'entrée est très différent du gain optimal, qui est de la valeur 4.

Une troisième méthode pour corriger ces erreurs est de connecter les capacités d'échantillonnage directement vers la masse virtuelle vee_SH . Mais dans ce cas, on perd la mémorisation d'offset, qui est un paramètre critique de cette architecture.

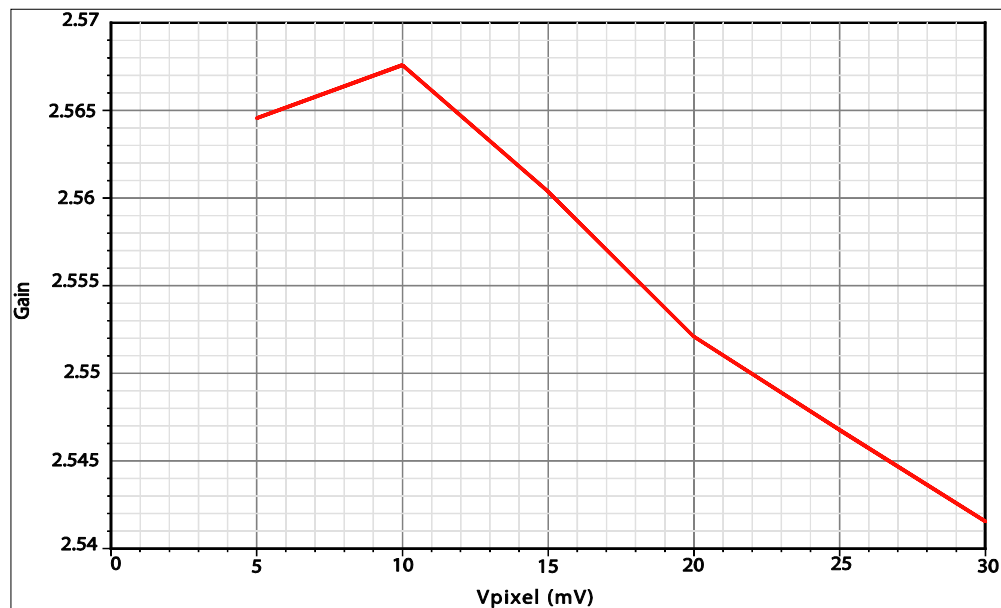


Figure 2.16 : Gain du MSHA avec switches en entrée de l'AOP

2.3.3. Conclusion

Le circuit de SHA, déjà intégré dans les précédents prototypes de convertisseurs, échantillonne à 25 MS/s et présente d'excellentes performances en termes de stabilité et précision dans sa configuration intrinsèque. Afin de pouvoir l'utiliser pour lire les signaux provenant des pixels, il a été nécessaire de faire une étude d'adaptation de SHA à la séquence de commande de lecture du pixel telle qu'elle est conçue pour les MAPS. Cette étude montre l'impossibilité d'adaptation de cette architecture pour l'application des MAPS. Ceci m'a conduit à chercher d'autres architectures pour cet étage d'entrée du convertisseur. Dans les sections suivantes, nous présenterons un circuit d'amplification développé à l'IPHC et en suite, je proposerai une nouvelle architecture de cet étage d'entrée spécifique à l'application des MAPS.

2.4. Étude d'un circuit amplificateur et échantillonneur

Toujours dans le but de concevoir l'étage d'interface entre une colonne de pixels et un CAN, une autre architecture a été étudiée dans le cadre de mon travail de thèse. Il s'agit d'un circuit d'amplification et d'échantillonnage qui a été développé à l'IPHC-Strasbourg, son schéma électrique est illustré sur la figure 2.17.

Ce circuit comporte deux sous-étages : un étage amplificateur et un étage d'échantillonnage doublement corrélé (CDS), qui est composé de deux mémoires à deux capacités chacune. Ce circuit a été conçu en respectant les séquences de lecture d'un pixel. Cependant, il présente deux inconvénients majeurs :

1. la surface occupée par les capacités utilisées dans l'étage de CDS.
2. le signal de sortie est inversement proportionnel au signal d'entrée. Cette caractéristique est due au fait d'utiliser l'architecture traditionnelle du circuit de soustraction dans l'étage de CDS.

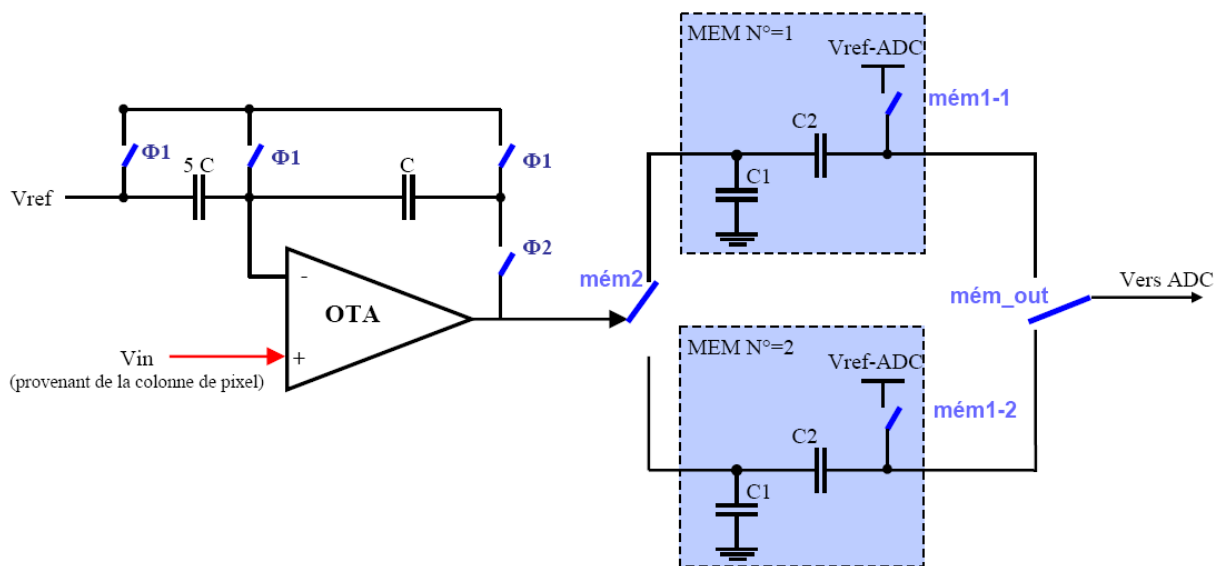


Figure 2.17 : Schéma global du circuit d'amplification et d'échantillonnage [Val07].

Ce circuit échantillonne à 10 MS/s, avec une consommation de 360 μ W à 3,3 V de tension d'alimentation [Val07]. Son fonctionnement est commandé par un ensemble de signaux d'horloge, qui sont détaillés sur le chronogramme en figure 2.18. La phase $\Phi 2$ permet la fermeture de la boucle de contre réaction de l'amplificateur. Ainsi, le signal d'entrée est multiplié par un gain de 5 (rapport des capacités $5C/C$). La phase $\Phi 1$ sert à décharger les capacités entre deux phases successives de $\Phi 2$. Un cycle de lecture d'une ligne dure 100 ns (fréquence de 10 MHz) et comprend deux fois la phase $\Phi 2$. Ceci correspond à l'amplification du signal d'intensité pendant la première phase et du signal de référence pendant la deuxième phase de $\Phi 2$. En sortie du circuit de CDS, nous avons le résultat de soustraction ($V_{\text{CALIB}} - V_{\text{RD}}$). Dans le cas de la physique, $V_{\text{CALIB}} \leq V_{\text{RD}}$. Donc, la quantité $(V_{\text{CALIB}} - V_{\text{RD}}) \leq 0$. Or, V_{RD} est proportionnel à V_{in} . Donc le signal de sortie évolue dans le sens contraire de celui

d'entrée, on dit que le signal est « référencé vers le haut ». Ceci imposerait un changement de toute la logique, les références et les seuils du CAN, si l'on essayait de l'intégrer avec les convertisseurs pipeline que nous avons déjà testés. L'utilisation de deux mémoires (MEM N°1 et MEM N°2) sert à pouvoir lire une ligne de pixels en même temps que le convertisseur convertit la ligne précédente tel qu'il est détaillé sur le chronogramme ci-dessous.

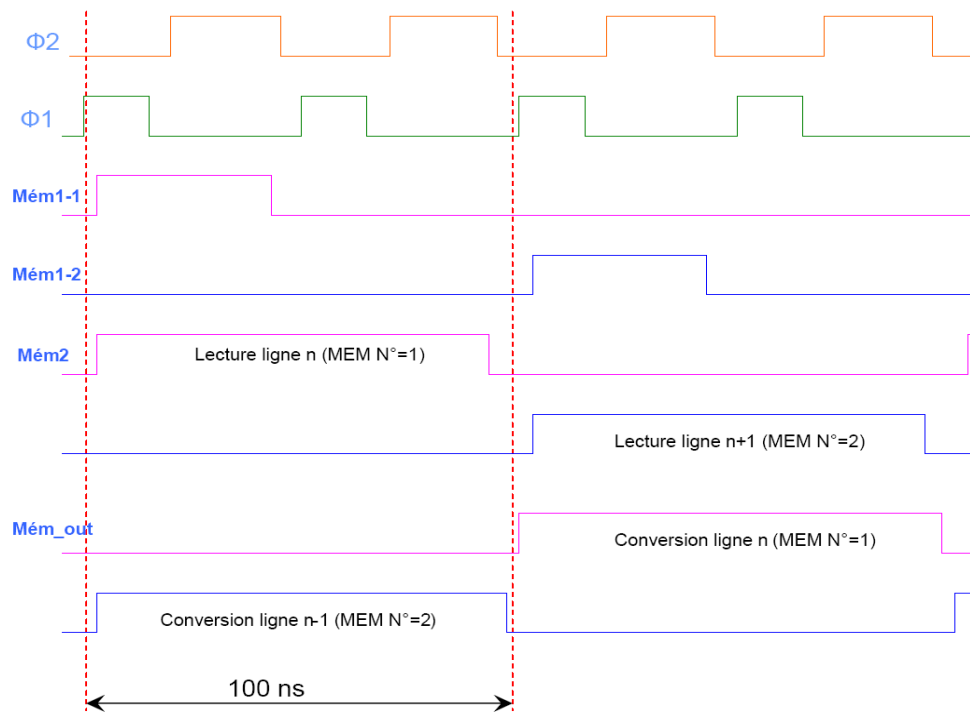


Figure 2.18 : Séquence de commande du fonctionnement du circuit [Val07].

2.5. Proposition d'un circuit d'échantillonnage spécifique aux MAPS

2.5.1. Introduction

Dans cette section, nous présenterons une nouvelle architecture du circuit d'interface entre les convertisseurs et les colonnes de pixels dans les capteurs MAPS. Le schéma de ce circuit est illustré sur la figure 2.19. Il permet de réaliser les deux fonctions nécessaires pour l'intégration d'un convertisseur avec les pixels sur le même substrat du silicium. Ces fonctions sont :

- mémorisation du signal provenant du pixel pendant que le CAN effectue la conversion du signal précédent.

- réalisation de la fonction de CDS à l'extérieur du pixel avec un facteur d'amplification et une correction d'offset de l'amplificateur.

Traditionnellement, pour réaliser les deux fonctions, on fait appel à deux circuits distincts, à savoir un circuit échantillonneur-bloqueur amplificateur et un circuit de CDS. L'avantage de cette nouvelle architecture est de se passer de la nécessité d'avoir ces deux circuits. Ceci permet d'économiser la surface qui serait occupée par les capacités du circuit de CDS.

2.5.2. Principe de fonctionnement de l'architecture proposée

Il s'agit de concevoir un circuit qui permet d'échantillonner les signaux venant du pixel, effectuer la différence entre le signal V_{RD} et V_{CALIB} , amplifier cette différence et compenser l'offset de l'amplificateur en respectant la séquence de commande de lecture d'un pixel.

Dans la littérature, on peut trouver des amplificateurs inverseurs sans ou avec correction d'offset [Wu89], [Pie01], [Hor85]. Cependant, la particularité de l'application de la commande de lecture d'un pixel exige le développement d'une architecture particulière répondant à l'application. Tout le fonctionnement de ce circuit peut être commandé uniquement par deux phases d'horloge, une phase d'échantillonnage RD_CALIB et une phase RST qui permet d'annuler l'offset et d'effectuer le CDS à l'aide de la capacité de clamping C. La fonction de transfert de ce circuit est :

$$V_{out} = \frac{4C}{C}(V_{RD} - V_{CALIB}) + V_{ref-CAN} \quad (2.7)$$

où, $V_{ref-CAN}$: est la tension de référence (masse virtuelle) du convertisseur qui suivra ce circuit. Le signal d'entrée V_{in} véhicule séquentiellement les signaux V_{RD} et V_{CALIB} du pixel. Le calcul de cette fonction est détaillé en Annexe A.3.

Le séquençage des opérations de ce circuit est illustré sur le chronogramme en figure 2.20. La phase RD_CALIB comporte deux sous phases (phase de RD et phase de CALIB). Durant la phase de RD, le signal d'intensité V_{RD} venant du pixel est mémorisé sur la capacité (4C). La phase RST sert à effectuer le clamping sur la capacité C. Pendant la phase CALIB, le signal V_{CALIB} est échantillonné sur la capacité d'entrée (4C). En sortie V_{out} du

2.5.3. Performances du circuit proposé

Les paramètres critiques, dans l'application des MAPS, sont l'offset de l'amplificateur compte tenu de la faible valeur du signal d'entrée, les fluctuations de la tension de mode commun des pixels et la précision du circuit. C'est pourquoi les simulations effectuées se focalisent sur ces paramètres.

2.5.3.1. Le gain du circuit et annulation d'offset de l'amplificateur

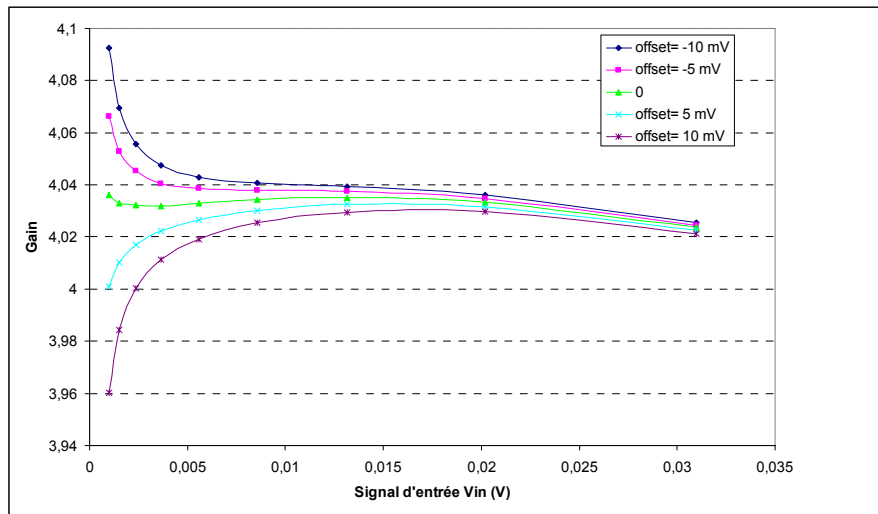


Figure 2.21 : Gain du circuit d'interface proposé en fonction de V_{in} et de l'offset de l'OTA

La correction de l'erreur d'offset ne nécessite pas de phase dédiée dans cette architecture. Car l'annulation de l'offset intervient lors de la phase RST, qui est celle déjà utilisée pour le clamping dans le pixel et pour le deuxième clamping au sein de ce circuit même.

La figure 2.21 montre le résultat de simulation du gain pour un offset en entrée de l'amplificateur allant de -10 mV à +10 mV et pour un signal d'entrée balayant toute la dynamique (0 à 31 mV). Cette figure montre que l'architecture est insensible à l'offset de l'amplificateur. Mais elle montre également la bonne linéarité du circuit. L'erreur maximale du gain, quand l'offset diverge de ± 10 mV de sa valeur zéro, est de $\pm 1\%$, cette précision est assez suffisante pour une résolution de 5 bits. L'offset est modélisé comme une source de tension en série avec l'entrée (-) de l'OTA et la sortie du circuit (V_{out}) est chargée par les capacités d'échantillonnage et les deux comparateurs du 1^{er} étage du CAN pipeline.

2.5.3.2. Réjection de la tension de mode commun du pixel

La tension de mode commun à la sortie des pixels n'est pas très stable. Elle peut avoir des fluctuations allant de -100 mV à +100 mV. A cet effet, le circuit d'échantillonnage qui reçoit le signal du pixel doit être robuste aux variations de cette tension de mode commun. Des simulations ont été faites pour définir le taux de réjection de la tension de mode commun (TRMC). Ce circuit présente un TRMC de 34,5 dB pour une variation de la tension de mode commun d'entrée de -200 mV à +200 mV (± 100 mV de marge de sécurité).

Nous résumons les caractéristiques de cette architecture sur le tableau 2.2.

Fréquence d'échantillonnage	Dimensions	Puissance dissipée à 2 V
10 MS/s	20 μm $\times$ 170 μm	0,2 mW

Tableau 2.2 : Résumé des performances du circuit d'interface entre pixels et CAN

2.6. Conclusion

Dans ce chapitre, nous avons décrit les différentes architectures de l'étage d'entrée du CAN destiné à équiper les colonnes des matrices de pixels des capteurs CMOS. De cette étude, il a été démontré que l'architecture de cet étage déjà intégré avec les CANs que nous avons réalisés n'est pas compatible avec le système de pilotage des pixels. C'est pourquoi, une nouvelle architecture spécifique a été développée durant la dernière partie de mes travaux de thèse. Vu ses caractéristiques répondant aux exigences du cahier des charges du détecteur de vertex de l'ILC, ce circuit pourra constituer l'interface entre les colonnes de pixels et les convertisseurs. Ce dernier a une architecture qui ne dépend d'aucune architecture particulière de convertisseur et pourra, donc, être utilisé comme étage d'échantillonnage et d'amplification dans tout type de CAN.

Les chapitres suivants seront dédiés à l'étude détaillée des convertisseurs analogique-numérique réalisés dans ce travail. Cette partie principale du mémoire de thèse est introduite au chapitre suivant par une étude sur les spécifications et l'état de l'art des CANs. Nous y réaliserons une étude comparative entre les différentes architectures de CAN, en vue d'en choisir la plus optimale pour les exigences du détecteur de vertex.

Bibliographie

- [Aug99] F. Auger: « Introduction à la théorie du signal et de l'information ». Editions Technip, 1999.
- [Cou96] F. De Coulon : « Théorie et traitement des signaux ». Edition Presses polytechniques et universitaires romandes, 1996.
- [Joh97] D. Johns et K-W. Martin: “Analog Integrated Circuit Design”. John Wiley & Sons, 1997.
- [Mar87] K. Martin, L. Ozcolak, Y.S. Lee et G-C. Temes: “A differential Switched-capacitor amplifier”. *IEEE journal of Solid-State Circuits*, Vol. sc-22, No. 1, Février 1987.
- [Wal98] M. Waltari et K. Halonen: “Fully differential switched opamp with enhanced common mode feedback”. *IEE Electronics Letters*, Vol. 34, No. 23, Novembre 1998.
- [Roy] S. Roy et S. Banerjee: “A 9 bit 400 MHz CMOS double-sampled Sample-and-Hold Amplifier”. *IEEE computer society, 21st International Conference on VLSI Design*, Jan. 4-8, 2008, Hyderabad, India.
- [Val07] I. Valin: “circuit d'échantillonnage et d'amplification”. Présentation orale, école de microélectronique IN2P3, Porquerolles 2007.
- [Wu89] C-Y. Wu, T-C. Yu et S-S. Chang: “New Monolithic Switched-Capacitor Differentiators with Good Noise rejection”. *IEEE journal of Solid-State Circuits*, Vol. 24, No. 1, Février 1989.
- [Pie01] L. Piedfort: “électronique analogique à capacités commutées en boîtier programmable”. F. Paillart, 2001.

- [Hor85] Y. Horio et S. Mori: “Switched-Capacitor lossless discrete differentiator with modified Sample-and-Hold sequence”. *IEE Electronics Letters*, Vol. 21, No. 22, Octobre 1985.
- [Mor08] Frederic Morel: “mimosa 22”. Présentation, groupe microélectronique, IPHC 2008.

Chapitre 3

Architectures et caractéristiques des Convertisseurs Analogique-Numérique

3.1. Introduction

Il y a plusieurs architectures de CANs (Convertisseurs Analogique-Numérique). Chacune d'elles utilise une méthode différente pour réaliser une conversion d'un signal analogique en numérique. Le choix de la méthode s'effectue en fonction du besoin et des paramètres caractéristiques des CANs (la résolution, la vitesse de conversion, la surface du CAN, la puissance dissipée... etc.). L'objectif de ce chapitre est de réaliser une étude comparative entre toutes ces architectures, en étudiant les caractéristiques et les performances de chacune.

3.1.1. Généralités : concept de conversion analogique-numérique

Les grandeurs physiques (chaleur, lumière, pression...) telles que nous les percevons, sont de nature continue. Mais cela est dû réellement à la réponse lente de nos sens et systèmes de détection en général, car dans le monde quantique tout est discret (physique quantique). Les signaux traduisant ces grandeurs sont de nature continue, on parle alors de signaux analogiques continus, ils sont mesurés par des nombres réels.

Un CAN est un système qui convertit des signaux analogiques en codes binaires (numériques). Le fonctionnement conceptuel d'un CAN, est montré sur la figure 3.1. Les signaux analogiques ont une dynamique de valeurs continues, comparable à l'axe des nombres réels. Un CAN prend un intervalle de cet axe, le divise en sous intervalles (identiques mais pas tout le temps) et attribue un code binaire à chacun de ces sous intervalles. Durant le processus de conversion, le CAN compare le signal présent à son entrée avec les subdivisions, décide à quelle sous-division appartient la valeur de l'échantillon et envoie en

sortie le code binaire approprié, le nombre de bits du mot binaire de sortie est appelé *résolution* du CAN.

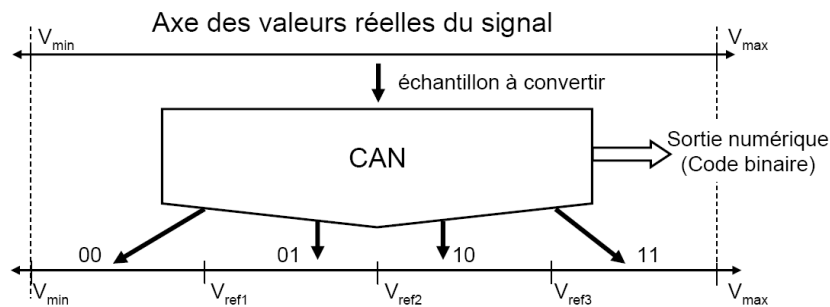


Figure 3.1 : Fonctionnement conceptuel d'un CAN

Les comparaisons du signal analogique aux références sont effectuées à l'aide d'un ou plusieurs comparateurs, dépendant du type de convertisseurs. Un comparateur est un composant qui compare deux grandeurs en son entrée (analogiques ou même numériques) et décide quelle grandeur est plus grande (en envoyant un 0 ou un 1 logique sur sa sortie).

3.1.2. Fonction de transfert

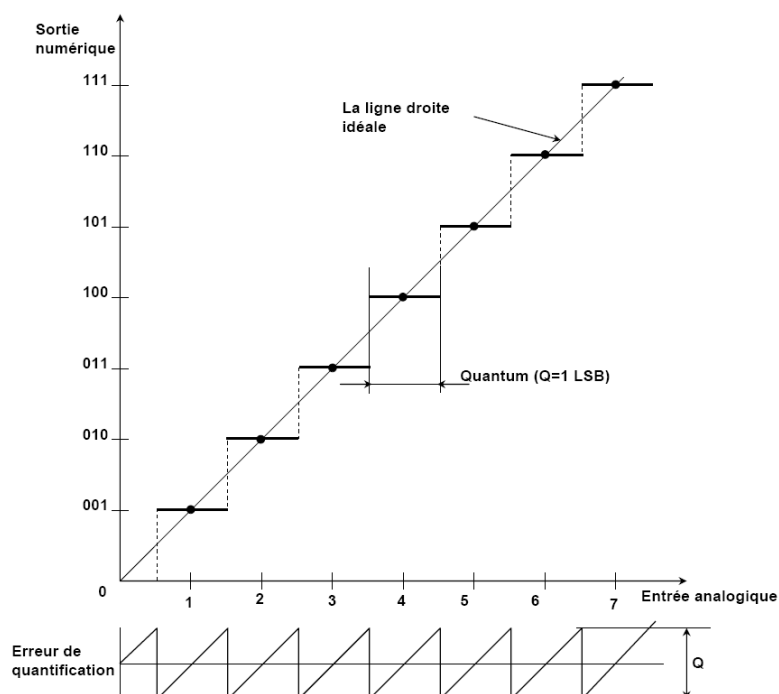


Figure 3.2 : Fonction de transfert d'un CAN idéal à 3 bits.

La caractéristique de transfert d'un CAN idéal est une courbe en escalier qui lie l'entrée analogique au code numérique qui lui est affecté. La plus petite variation de tension qui engendre une modification du code en sortie est appelée pas de quantification ou *quantum* Q . La figure 3.2 illustre la caractéristique de transfert idéale d'un CAN à 3 bits. Cette caractéristique sert de référence pour l'analyse des erreurs statiques dans le cas d'un CAN réel (les écarts sont mesurés par rapport à la droite idéale).

3.1.3. Erreur de quantification

Tout convertisseur (même idéal) présente une erreur intrinsèque dite de quantification dont la valeur maximale est égale à la valeur du quantum Q . Dans le cas d'un CAN idéal de résolution N et de la pleine échelle PE , le pas de quantification Q est donné par la formule suivante :

$$Q = \frac{PE}{2^N} \quad (3.1)$$

Q est connu aussi sous le nom de LSB (Least Significant Bit).

L'erreur de quantification interprète la perte d'information due au codage de tout un intervalle entre deux tensions de seuils successives par un seul code binaire (voir figure 3.2).

A cette erreur de quantification, on associe un bruit de quantification qui est considéré comme une variable aléatoire uniformément répartie sur l'intervalle $\left[-\frac{Q}{2}, +\frac{Q}{2}\right]$. Sa densité de probabilité F_q est constante sur cet intervalle comme le montre la figure 3.3.

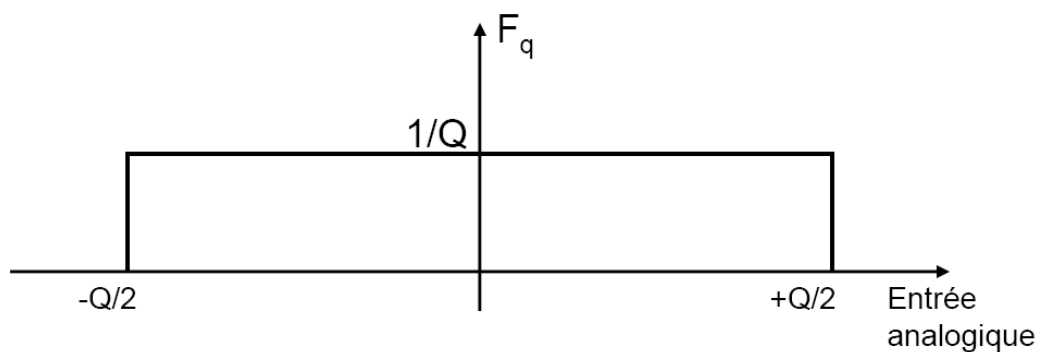


Figure 3.3 : Bruit de quantification

La valeur efficace de ce bruit est B_q :

$$B_q = \left(\int_{-\infty}^{+\infty} X^2 F_q(X) dX \right)^{1/2} = \left(\frac{1}{Q} \int_{-Q/2}^{+Q/2} X^2 dX \right)^{1/2} = \frac{Q}{\sqrt{12}} \quad (3.2)$$

Le bruit de quantification dépend directement de la résolution du convertisseur.

3.2. Spécifications des convertisseurs analogique-numérique

L'objectif de cette étude est de définir les paramètres qui permettent d'évaluer les performances d'un CAN réel. Les caractéristiques fonctionnelles d'un CAN peuvent être spécifiées par un ensemble de paramètres, qui sont répartis en deux catégories : paramètres statiques et paramètres dynamiques. Dans cette section, nous définissons les paramètres les plus couramment utilisés et dont nous avons besoin pour caractériser les CANs dans notre application spécifique.

3.2.1. Les paramètres statiques

En pratique, la caractéristique de transfert réelle d'un CAN s'écarte de sa droite idéale montrée sur la figure 3.2. Les paramètres statiques permettent de quantifier les écarts entre la caractéristique réelle et la droite idéale d'un CAN. Selon la position de la courbe réelle par rapport à la courbe idéale, on distingue les erreurs statiques suivantes :

3.2.1.1. Erreur de décalage (Offset)

C'est un décalage entre la courbe de transfert idéale et la courbe réelle. La caractéristique réelle ne passe pas par l'origine (figure 3.4). Cette erreur est causée par la présence des offsets sur les amplificateurs, les comparateurs et autres composants au sein du convertisseur.

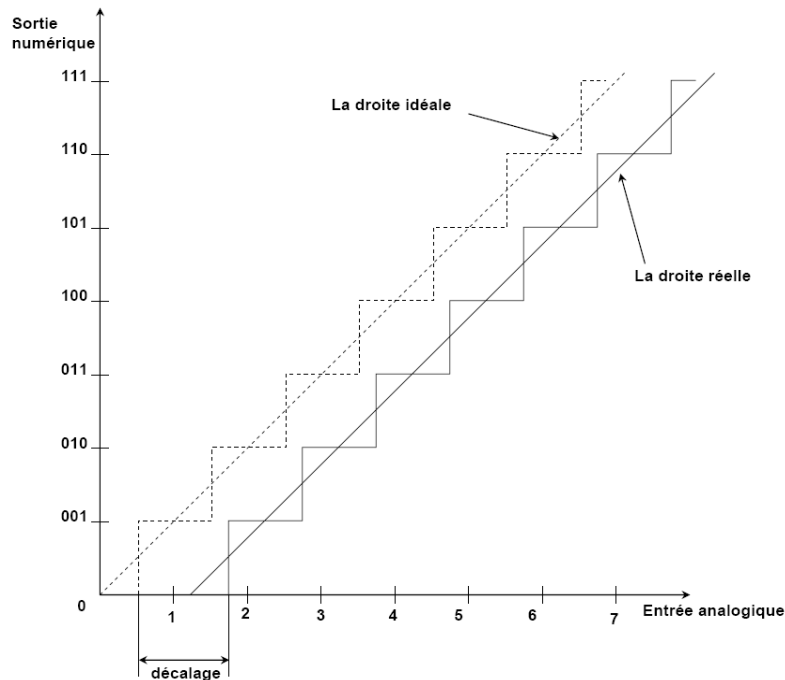


Figure 3.4 : Erreur d'offset

3.2.1.2. Erreur de gain

La pente de la fonction de transfert réelle est différente de la pente idéale. Cette erreur peut être due à une erreur sur le gain d'un amplificateur ou sur les valeurs de seuils et/ou de références. L'erreur de gain est définie par rapport à la pleine échelle du convertisseur (figure 3.5).

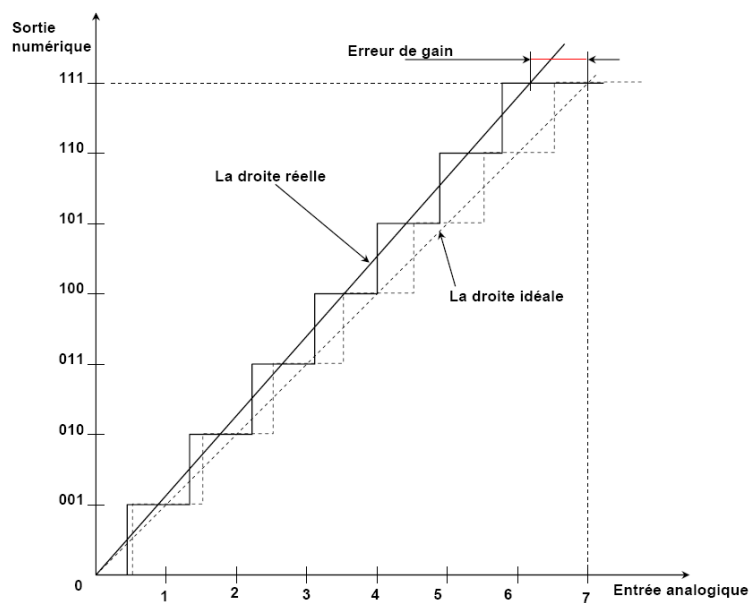


Figure 3.5 : Erreur de gain d'un CAN

3.2.1.3. Erreur de linéarité différentielle (DNL)

La DNL (Differential Non-Linearity) est définie pour chaque palier du convertisseur. Elle représente la différence entre la largeur réelle du palier et sa largeur idéale, elle évalue l'uniformité de la largeur des pas de quantification (figure 3.6). On l'exprime en nombre de LSB. La DNL est donnée par cette expression :

$$DNL = \frac{V_{in}(D_i) - V_{in}(D_{i-1}) - LSB}{LSB} \quad (3.3)$$

D_i et D_{i-1} sont deux codes voisins du CAN.

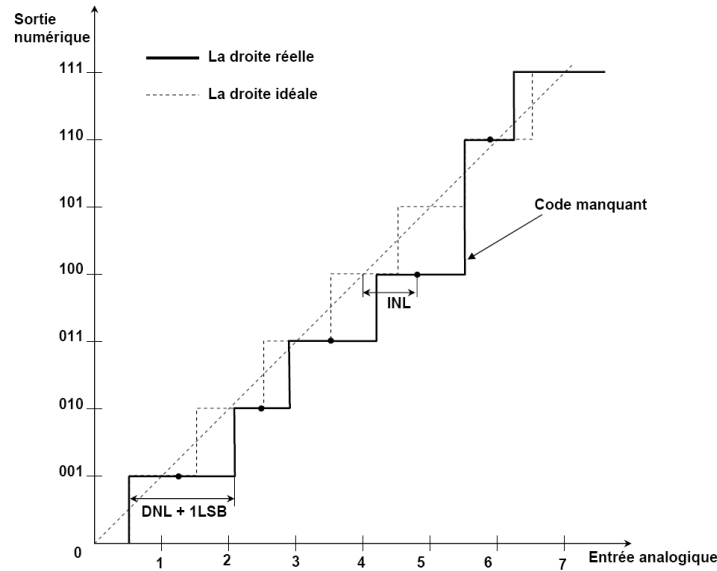


Figure 3.6 : Les erreurs DNL et INL d'un CAN

3.2.1.4. Erreur de linéarité intégrale (INL)

L'INL (Integral Non-Linearity) quantifie l'écart du milieu du segment correspondant à une sortie numérique par rapport à la droite idéale (figure 3.6). Cette erreur est évaluée après correction de l'erreur d'offset. Les erreurs INL et DNL sont les deux caractéristiques les plus importantes lors de la caractérisation statique des CANs. Elles indiquent la précision du convertisseur en nombre de LSB.

L'INL pour un code D_m peut être obtenue en intégrant la DNL jusqu'au code m .

$$INL(D_m) = \sum_{i=1}^m DNL(D_i) \quad (3.4)$$

3.2.1.5. La monotonie

La caractéristique de transfert du convertisseur doit assurer la croissance ou décroissance de la sortie en fonction de l'entrée. Une erreur de monotonie arrive quand cette caractéristique n'est pas assurée. Cette erreur provoque une erreur de codes manquants.

3.2.1.6. Les codes manquants

Les erreurs de linéarité et de monotonie peuvent causer des sauts de codes en sortie. Les codes n'apparaissant pas sont alors appelés codes manquants (figure 3.6).

3.2.2. Les paramètres dynamiques

Les paramètres dynamiques d'un CAN représentent les déformations du signal numérique de sortie par rapport au signal appliqué en entrée. Ces paramètres dépendent de la fréquence et de la dynamique du signal d'entrée. Les paramètres les plus importants pour notre application sont décrits ci-dessous.

3.2.2.1. Le rapport Signal-à-Bruit (SNR)

Le SNR est le rapport de la puissance du signal sur la puissance du bruit en sortie du convertisseur. Supposant que le signal d'entrée est sinusoïdal, la valeur rms¹³ du signal est alors égale à $\text{rms signal} = (2^{(N-1)} \times Q) / \sqrt{2}$, où N est la résolution du CAN et Q est le quantum. Tout convertisseur possède un bruit rms généré par l'erreur de quantification. La valeur rms de ce bruit est égale à $Q / \sqrt{12}$ [Bak04].

$$\text{Le } SNR(dB) = 20 \log \frac{\text{rms Signal}}{\text{rms Bruit}} \quad (3.5)$$

$$SNR(dB) = 20 \log \frac{(2^{(N-1)} \times Q / \sqrt{2})}{Q / \sqrt{12}} = (6,02N + 1,76)dB. \quad (3.6)$$

Cette valeur correspond à un SNR d'un CAN idéal. Une méthode pour mesurer le SNR d'un CAN réel est de tracer la FFT du signal de sortie du CAN et de calculer la puissance de la fréquence fondamentale et la puissance de tout le bruit hors les raies aux

¹³ Root mean square

fréquences multiples du fondamental (harmoniques). Le SNR sera le rapport de la puissance du signal du fondamental sur la puissance du bruit.

3.2.2.2. Le rapport Signal-à-Bruit avec Distorsion (SINAD)

Les deux formules du SNR, théorique et testée, sont complètes, mais elles donnent seulement une partie de ce que l'on a besoin de connaître sur le nombre de bits corrects du CAN. Le taux de distorsion harmonique total (Total Harmonic Distortion –THD) décrit l'influence des composantes harmoniques d'un signal. Le THD est le rapport de la puissance du signal d'entrée sur la somme des puissances des composantes harmoniques du spectre du signal de sortie du CAN.

$$THD_{rms} = 10 \log \left(\frac{P_s}{P_o} \right) \text{dB} \quad (3.7)$$

P_s est la puissance du premier harmonique (fondamental) et P_o est la puissance des harmoniques 2 à 8. L'erreur de linéarité INL d'un CAN apparait typiquement dans le résultat de THD [Bak07].

Le SINAD (Signal-to-Noise And Distortion) est le rapport de l'amplitude de la valeur rms du signal d'entrée (fondamental) sur la somme rms de toutes les autres composantes spectrales inférieures à la moitié de la fréquence d'échantillonnage hors la composante continue. Le SINAD est donné par la formule suivante :

$$SINAD = 10 \log \left(\frac{P_s}{P_N + P_D} \right) \text{dB} \quad (3.8)$$

P_s est la puissance du fondamental, P_N est la puissance de toutes les composantes spectrales du bruit et P_D est la puissance de toutes les composantes spectrales de distorsion. Les trois paramètres SNR, THD et SINAD donnent une information complète sur le nombre de bits corrects d'un CAN.

3.2.2.3. Le nombre effectif de bits (ENOB)

L'ENOB (effective number of bits) donne le nombre de bits vrais sur le nombre de bits théoriques d'un CAN. Il donne la résolution réelle d'un CAN sous la formule suivante :

$$ENOB = \frac{SINAD - 1,76}{6,02} \quad (3.9)$$

3.2.2.4. La gamme dynamique utilisable (SFDR)

Le SFDR (*Spurious Free Dynamic Range* ou dynamique sans parasite) est la différence, exprimée en dB, entre la valeur efficace du signal d'entrée à la sortie du CAN et la valeur efficace du parasite le plus important observé dans le domaine de fréquences (0, $F_{éch}/2$), le parasite pouvant être ou non un harmonique du signal. Le SFDR est une quantité importante dans les applications qui nécessitent une grande dynamique (par exemple les communications sans fil) [NSsite].

3.2.3. Conclusion

Dans cette section, nous avons rappelé le concept de la conversion analogique-numérique ainsi que les paramètres statiques et dynamiques permettant la caractérisation d'un CAN. Ces paramètres vont permettre d'avoir une meilleure pertinence sur la compréhension des spécifications des convertisseurs et de justifier le choix de type du CAN à utiliser en fonction de l'application souhaitée.

Dans la section suivante, nous allons définir les architectures de CAN, en vue de choisir la plus appropriée d'entre elles pour l'application du détecteur de vertex au sein de l'accélérateur linéaire (ILC).

3.3. État de l'art des convertisseurs analogique-numérique

Depuis l'apparition du traitement numérique du signal, des recherches et développements sur les CAN n'ont eu de cesse. Plusieurs architectures ont été mises au point et d'autres améliorées ou modifiées. Dans cette partie, les architectures les plus proéminentes sont présentées et ensuite comparées.

3.3.1. Les différentes architectures de CANs

L'objectif de cette étude est de choisir l'architecture de CAN la plus adaptée à l'application spécifique des MAPS pour le détecteur de Vertex en physique des hautes énergies.

3.3.1.1. CAN flash (parallèle)

L'architecture flash ou parallèle [Pet79], [Man90], [Lee07], [Yu01] est l'architecture de convertisseurs la plus rapide et la plus facile à comprendre de point de vue conceptuel.

Un CAN flash à n bits de résolution est constitué de $2^n - 1$ comparateurs et du même nombre de signaux de référence appelés seuils. La figure 3.7 illustre un CAN flash à n bits. L'ordre des seuils est croissant de $V_{\text{seuil}1}$ à $V_{\text{seuil}n}$. Chaque comparateur compare l'échantillon du signal d'entrée à la référence (V_{seuil}) qui lui est assignée. Ainsi, chaque comparateur génère un signal en sortie indiquant si le signal est supérieur ou inférieur à sa référence. La variation des sorties des comparateurs est similaire à celle du mercure dans un thermomètre, d'où le nom du code en thermomètre ou code puits des comparateurs (similaire au phénomène remplissage d'un puits). Les comparateurs dont la sortie est à 1 sont tous en bas (sauf erreur *bulles*) et les zéros sont tous en haut, la limite entre les « zéros » et les « uns » (ou le nombre de comparateurs à 1) détermine la valeur du signal. Un transcodeur sert à convertir le code thermomètre en code binaire.

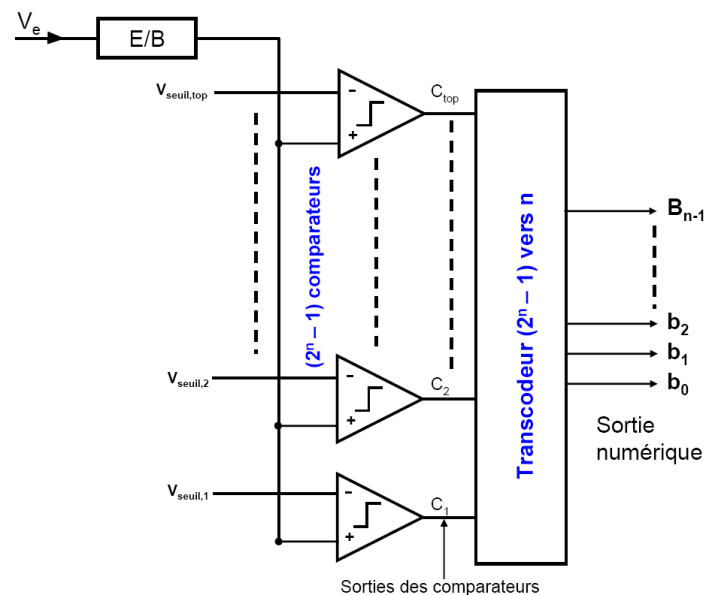


Figure 3.7 : CAN flash (parallèle).

Néanmoins, cette architecture montre ses limitations dès lors que la résolution dépasse les 8 bits [Max01]. Le nombre de comparateurs requis pour des hautes résolutions devient très grand ce qui conduit à une large surface du circuit, une grande consommation et une capacité d'entrée très élevée. De plus les erreurs sur les tensions de référence viennent s'ajouter à

l'offset des comparateurs qui doit être inférieur à $\frac{1}{2}$ LSB, cette valeur est très petite pour des grandes résolutions.

3.3.1.2. CAN à deux étages flash

L'idée principale de cette architecture est de réduire le nombre de comparateurs d'un CAN flash. Comme le montre la figure 3.8, la conversion est effectuée en deux étapes par deux CAN flash de résolution $2^{n/2}$ chacun. Donc le nombre total de comparateurs est $2 \times (2^{n/2} - 1)$ au lieu de $2^n - 1$ comparateurs requis pour un Flash traditionnel. Durant la 1^{ère} étape, les bits de poids fort (Most significant bits –MSB) sont déterminés par le 1^{er} CAN flash. Ensuite, un CNA reconvertit ces bits en signal analogique qui sera soustrait au signal d'entrée. Le résultat de soustraction, appelé résidu, est envoyé au 2^{ème} CAN flash qui déterminera les bits de poids faible.

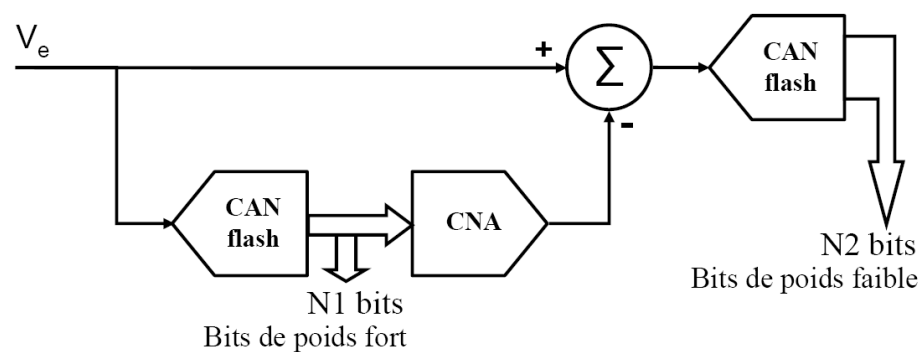


Figure 3.8 : CAN à deux étages flash.

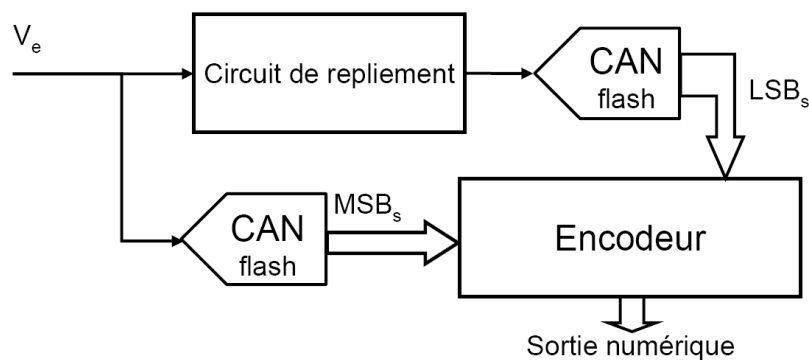


Figure 3.9 : CAN à repliement

L'idée de remplacer le CNA et le circuit soustracteur par un circuit de traitement analogique, appelé circuit de repliement, dans un CAN à deux étages flash donne naissance à une deuxième architecture à deux étages flash, on parle alors de CAN à structure à repliement illustrée en figure 3.9 [Van87], [Van92], [Fly90]. Le codage se fait aussi en deux étapes, une conversion grossière et une conversion fine de la sortie de circuit de repliement. Le nombre de comparateurs dépend du nombre de repliements effectués.

3.3.1.3. CAN à subdivisions

L'architecture de CAN à subdivisions [Tro03], [Pet90], [Bra99] montrée en figure 3.10, est une architecture à multiples étages, elle est constituée d'une succession de CANs à deux étages flash, mais elle peut contenir des CANs à multi sous étages flash. La contrainte relative aux comparateurs est allégée, mais le temps de conversion augmente avec le nombre d'étapes de conversion. Une grande précision sur les comparateurs des derniers étages est exigée.

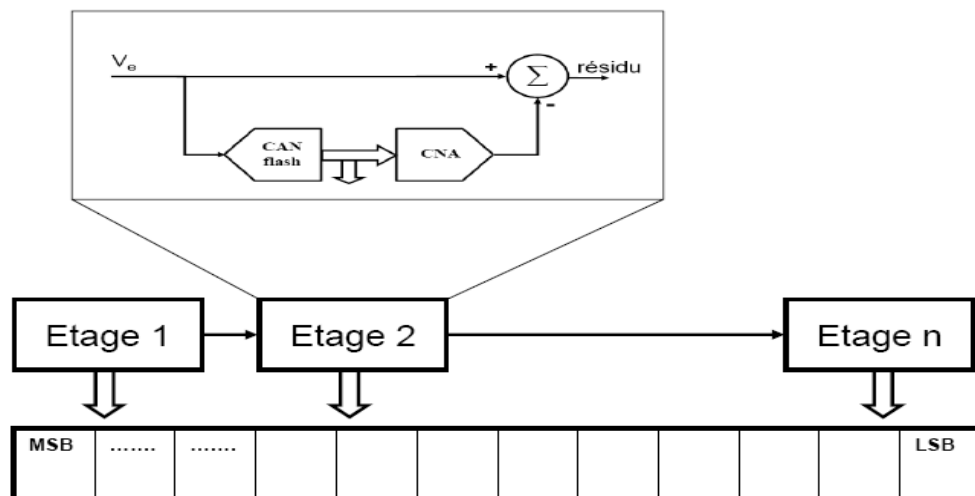


Figure 3.10 : Architecture d'un convertisseur à subdivisions.

3.3.1.4. Le Convertisseur pipeline

Un convertisseur pipeline [Sut88], [Lew87], [Max01b], [Li03], [Hak07], [Iro07], [Sum02], [Fer04] est un autre type de convertisseurs à multiples étages. Cependant, l'architecture des étages a été modifiée dans le but d'augmenter la fréquence de conversion et diminuer les contraintes sur les comparateurs. Ce type de CANs est composé d'une cascade

d'étages dits pipeline identiques (ou presque identiques dans certains cas) de faible résolution (1 à 3 bits en général) figure 3.11.

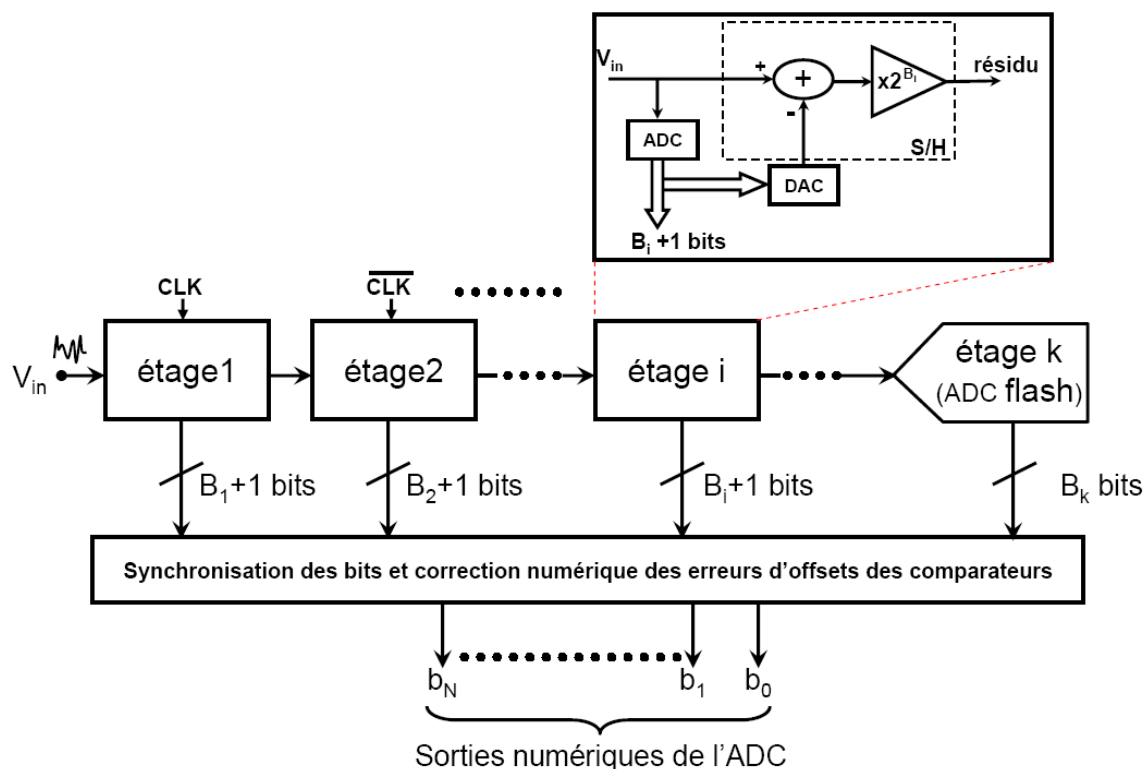


Figure 3.11: Schéma de principe d'un CAN pipeline de résolution N bits.

La particularité de cette architecture par rapport à l'architecture à subdivisions est d'inclure au sein de chaque étage un circuit échantillonneur-bloqueur (Sample/Hold –S/H) et un circuit amplificateur. Le signal présent à l'entrée de chaque étage est échantillonné et mémorisé dans une mémoire analogique et est grossièrement converti par un CAN de faible résolution ($B_i + 1$ bits) pendant une phase d'horloge. Durant la seconde phase de l'horloge, le résultat numérique est reconverti en tension analogique, qui sera soustraite de la tension d'entrée. Le résultat de cette différence, que l'on appelle résidu, est amplifié par un gain de 2^{B_i} avant d'être envoyé sur l'entrée de l'étage suivant. Dès lors que le résidu est échantillonné par l'étage suivant, l'étage présent redevient disponible pour recevoir un nouveau signal. Cette caractéristique permet de faire du traitement parallèle entre les étages. Par conséquent, la vitesse d'échantillonnage ne dépend pas du nombre d'étages employés mais elle dépend des caractéristiques propres des constituants de chacun des étages.

La notation B_i+1 de chaque étage correspond à B_i bits effectifs et un bit de redondance qui est utilisé pour la correction numérique des erreurs d'offsets des comparateurs. On trouve également dans la littérature la notion demi bit ($B_{i,5}$).

3.3.1.5. CAN pipeline cyclique

Le convertisseur pipeline cyclique [Tro03], [Shi83] est un convertisseur pipeline classique mais ayant un seul étage rebouclé sur lui-même. Le fonctionnement de ce type de CANs est le même que celui du pipeline classique. Seulement, toutes les opérations sont effectuées par le même étage. Le bloc fonctionnel de ce CAN est illustré sur la figure 3.12.

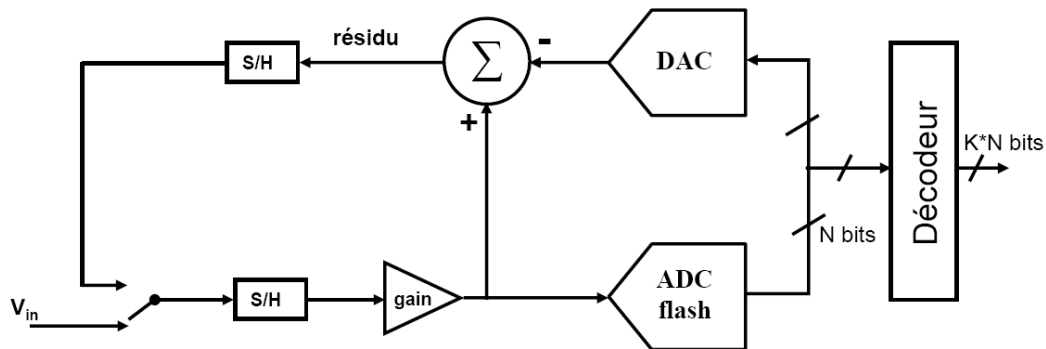


Figure 3.12 : Schéma fonctionnel d'un CAN pipeline cyclique.

Le délai entre le début de la conversion et la sortie complète du mot numérique est le même que celui d'un CAN pipeline traditionnel. Par contre la vitesse de conversion est divisée par le nombre de cycles à effectuer. Ceci est dû au fait qu'un nouvel échantillon ne peut être pris que lorsque le mot binaire correspondant à l'échantillon précédent soit complètement sorti du CAN.

Hormis sa lenteur, le CAN cyclique peut être intéressant pour différentes applications car, en utilisant un seul bloc, il requiert peu d'espace et consomme moins en puissance.

3.3.1.6. CAN à approximations successives

Un convertisseur à approximations successives (successive approximation register - SAR) [Max01b], [Par00], [Van03] est constitué de trois blocs : un comparateur, un convertisseur numérique-analogique (CNA) et un registre à approximations successives comme le montre la figure 3.13. Le CNA commandé par le SAR sert à générer le niveau de tension analogique qui approche le signal d'entrée à la résolution près. Cette architecture

utilise un seul comparateur ce qui nécessite $(n+1)$ itérations (n est le nombre de bits du CAN) pour déterminer tous les bits. Cette architecture est très simple du fait qu'elle n'est constituée que d'un seul étage recyclé. Mais son inconvénient est le temps de conversion qui dépend de la résolution du CAN. Donc en termes de vitesse, le SAR est moins bon qu'un flash ou pipeline.

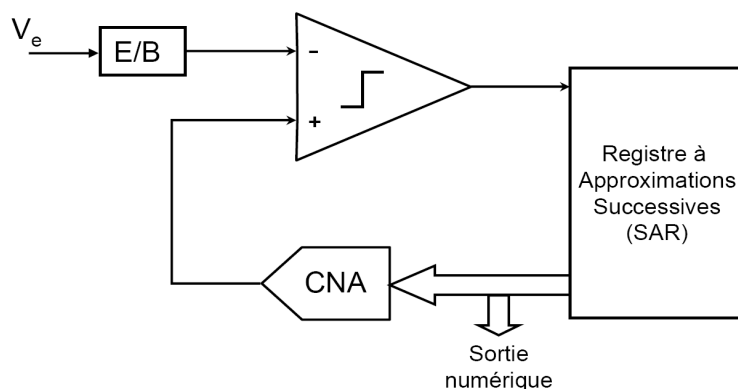


Figure 3.13 : Convertisseur à approximations successives

3.3.1.7. Convertisseur à rampe

Dans les convertisseurs à rampe [Del07], [AD05] la tension analogique d'entrée est convertie en une durée qui est mesurée à l'aide d'une horloge et d'un comparateur. Le principe de fonctionnement de cette architecture à simple rampe est montré sur la figure 3.14.

A l'aide d'un comparateur, on compare une rampe à la tension d'entrée. Un compteur commence à s'incrémenter lorsque le signal de la rampe passe sur le niveau zéro. Le comptage est arrêté par un basculement du comparateur indiquant que le signal de rampe est supérieur à la tension d'entrée. Le mot binaire du compteur correspond alors à la valeur numérique du signal analogique.

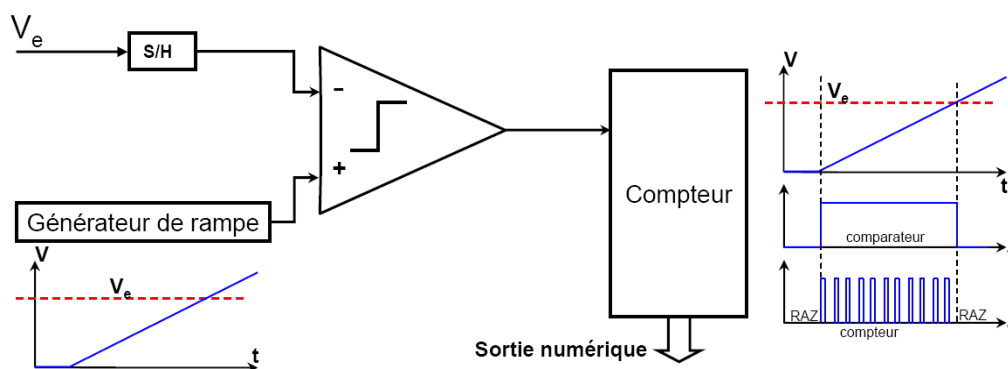


Figure 3.14 : CAN à simple rampe.

L'avantage de cette technique est sa simplicité et la grande résolution qu'elle peut permettre d'atteindre. Son inconvénient majeur est sa lenteur du fait que sa vitesse de conversion dépend de l'amplitude du signal. Ce type de CANs trouve des applications dans les multimètres numériques et les dispositifs de mesures précises ne nécessitant pas de vitesse élevée.

3.3.1.8. CAN Sigma-Delta

L'architecture sigma-delta [Sam03], [Des01], [Mor05] a une approche fondamentalement différente de celles que nous avons détaillées précédemment. Le convertisseur sigma-delta, dans sa forme la plus basique, est composé d'un intégrateur, un comparateur et un CNA à 1 bit comme le montre la figure 3.15.

Le fonctionnement de cette architecture repose sur le principe du sur-échantillonnage [Tew78]. La sortie du CNA est soustraite du signal d'entrée V_e , cette différence est intégrée par un intégrateur et convertie, ensuite, en numérique (0 ou 1) par un comparateur. Ce résultat sera reconverti en signal analogique par un CNA à 1 bit, la sortie du CNA est soustraite du signal d'entrée, et ainsi de suite. Cette boucle fermée fonctionne à une fréquence très élevée par rapport à la fréquence du signal d'entrée (principe du sur-échantillonnage). La sortie du comparateur (ou CAN à 1bit) est une suite de « zéros » et de « uns », et la valeur du signal est proportionnelle à la densité des « uns » venant du comparateur. Cette chaîne est ensuite filtrée par un filtre à décimation pour trouver la forme binaire en sortie du CAN.

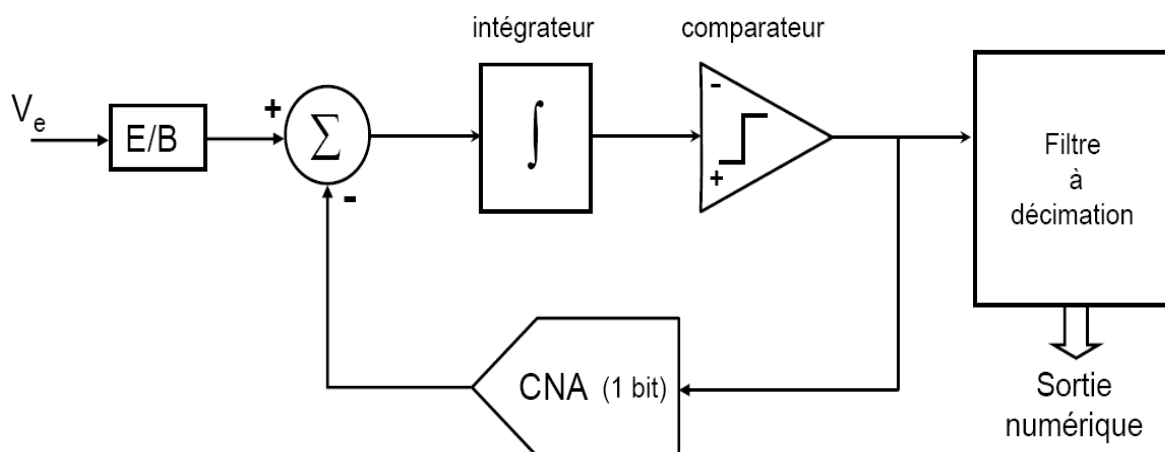


Figure 3.15 : Schéma de principe d'un CAN sigma-delta

L'avantage majeur de l'architecture sigma-delta est la mise en forme du bruit (*noise shaping*), un phénomène qui permet de repousser effectivement le bruit de quantification vers des fréquences en dehors de la bande passante intéressante. Ce qui diminue ce bruit dans la bande de fréquence utile du signal à convertir.

Ce type de CANs est utilisé dans des applications nécessitant une grande précision de mesure pour des signaux de faible bande passante. En utilisant le sur-échantillonnage, cette architecture ne nécessite pas de filtre à anti repliement. L'inconvénient de cette architecture est sa faible vitesse de conversion.

3.3.2. Comparaison universelle des architectures des CANs

Après la description des architectures des CANs les plus utilisées et en rappelant les caractéristiques et spécifications des convertisseurs analogique-numérique en général, la comparaison entre ces architectures devient plus facile et compréhensible. Chaque type de convertisseur présente un certain nombre d'avantages et d'inconvénients suivant les applications souhaitées. Il ressort de cette étude que les paramètres de comparaison sont la vitesse de conversion, la résolution et la consommation en puissance. La surface et la latence sont également des paramètres très importants dans diverses applications. Différentes études sur l'état de l'art des CANs ont été effectuées. L'une des plus grandes études était celle effectuée par Walden dont le papier a été publié en 1999 [Wal99]. Cependant, les progrès technologiques les plus spectaculaires sont venus juste après cette étude. Une plus récente étude de l'état de l'art a été réalisée en 2005 [Le05] sur 914 CANs disponibles sur le marché et dans des laboratoires. La figure 3.16 montre les performances des différentes architectures de CANs en termes de fréquence d'échantillonnage versus le nombre effectif de bits (résolution effective) [Le05].

Les CANs sont regroupés par structures et chaque structure domine un domaine d'application spécifique avec une certaine résolution. Les grandes résolutions sont obtenues par des CANs sigma-delta, les plus grandes vitesses de conversion sont assurées par des CANs flash. Les CANs de types pipeline et inconnu (type de CAN non identifié) présentent le meilleur compromis entre la vitesse et la résolution. On constate sur ce graphe une enveloppe indiquant les limites des performances de chaque structure de Convertisseur. La pente de cette courbe n'est pas la même pour tous les types de CANs ; chaque augmentation de 3,3 dB en fréquence entraîne une perte d'un bit en résolution pour les hautes fréquences (cas des CANs

flash). Quant aux basses fréquences (sigma-delta), 1 bit de perte correspond à une augmentation uniquement de 2,3 dB en fréquence.

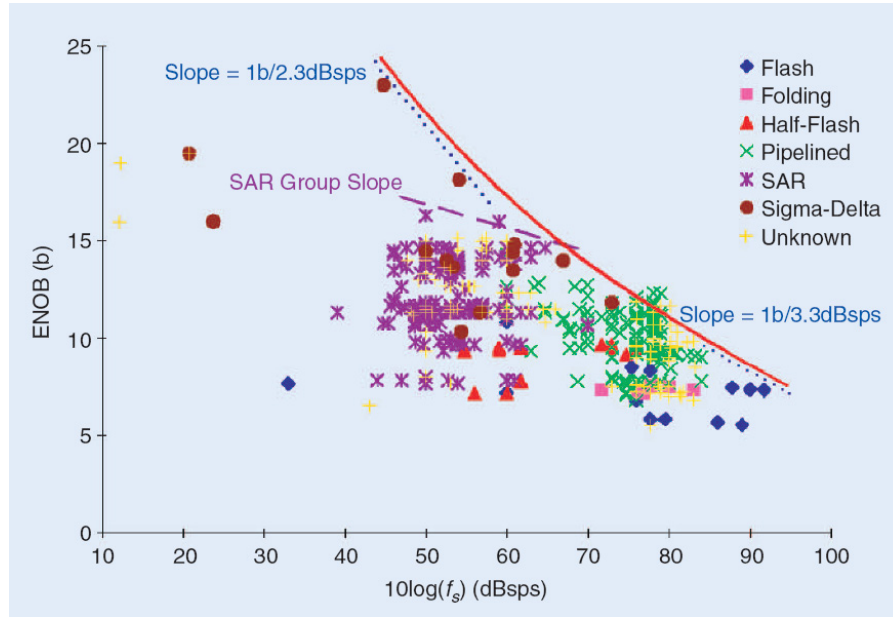


Figure 3.16 : ENOB versus fréquence d'échantillonnage [Le05].

Pour raffiner cette analyse comparative, deux paramètres universels sont définis. Ces paramètres sont les facteurs de mérite P et F.

$$P = 2^{ENOB} \times f_s \quad (3.10)$$

Le facteur de mérite P représente la combinaison des performances en fonction de la résolution (ENOB) et de la fréquence d'échantillonnage (f_s) d'un CAN.

$$F = 2^{ENOB} \times f_s / P_{diss} \quad (3.11)$$

Le facteur de mérite F est l'efficacité en puissance (P_{diss}) d'un CAN en fonction de deux autres paramètres (ENOB et fréquence d'échantillonnage).

La puissance dissipée en fonction de la fréquence d'échantillonnage est mise en évidence pour tous les types de CANs sur la figure 3.17. Il est clair que la consommation dépend directement de la structure des convertisseurs. Les CANs flash, bien qu'ils soient les plus rapides, ils consomment la plus grande puissance (faiblesse de l'architecture). Les CANs SAR, les CANs à rampe (ne figurant pas sur la figure) et les CANs sigma-delta consomment

le moins en puissance, mais avec des fréquences plus faibles. Les CANs pipeline présentent une performance intermédiaire.

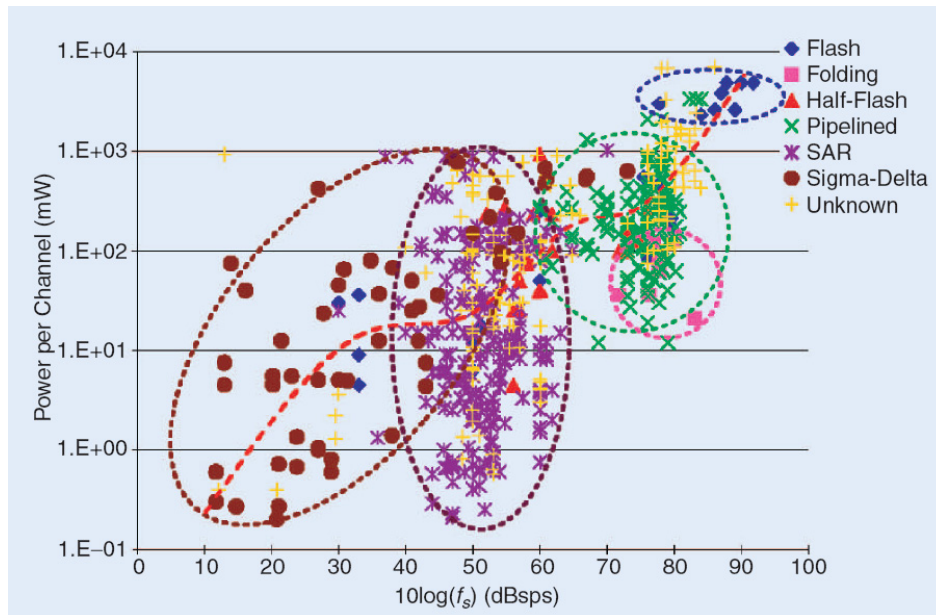


Figure 3.17 : Puissance dissipée vs fréquence d'échantillonnage [Le05].

Enfin, il est d'un grand intérêt de suivre l'évolution des performances des CANs à travers le temps. Cette tendance donne une perspicacité sur les progrès et permet d'effectuer une projection dans le futur. Il est possible de voir cette évolution en traçant les deux facteurs de mérites P et F comme le montre la figure 3.18.

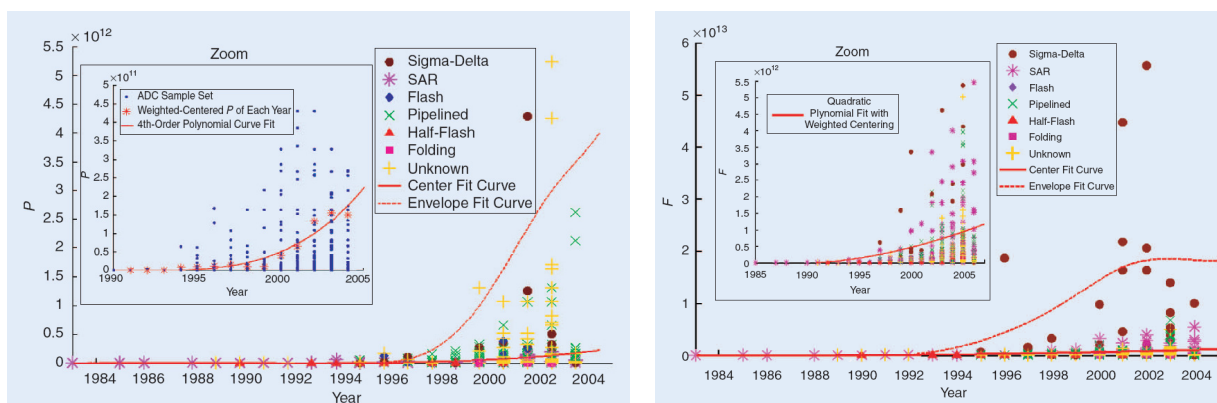


Figure 3.18 : Tendance des performances des CAN [Le05].

Le facteur P ne dépend pas de la structure de CAN contrairement à F, car la dissipation de puissance dépend étroitement du type de CAN. P continue de croître mais F décroît pour

les types flash (à cause de la résolution) et pour sigma-delta, également, (à cause de la fréquence). Les CANs pipeline et SAR se situent entre les deux types, et présentent de meilleurs compromis.

3.3.3. Comparaison adaptée aux spécifications du détecteur de vertex

Dans la section précédente, nous avons présenté une comparaison brute des performances des convertisseurs. Les tendances restent vraies en les projetant sur la particularité de l'application du détecteur de vertex. Cependant, il est nécessaire de raffiner cette comparaison.

La résolution de 5 bits requise pour le cas spécifique des MAPS utilisés dans les détecteurs de traces est facilement atteignable par tout type de convertisseurs. Donc, le choix de l'architecture va plutôt se reposer sur la puissance et la fréquence d'échantillonnage. La surface du layout même si elle ne figure pas dans les formules des facteurs de mérites, elle est une contrainte majeure du concept des MAPS. Les convertisseurs à rampe et les SARs présentent une plus faible consommation statique, mais le problème de vitesse reste posé. Pour une consommation ne dépassant pas les 500 μW par colonne de pixels et une vitesse de conversion supérieure à 10 MHz, l'architecture pipeline est un choix attrayant. Le paramètre d'encombrement est à prendre en considération dans la technologie actuelle (0,35 μm) car la largeur du canal du CAN ne doit pas excéder à 20 μm . Néanmoins, cette contrainte peut être relâchée dans d'autres technologies de fabrication moins encombrantes (e.g. Longueur de grille de 130 nm).

3.3.4. Projection des performances pour différentes configurations pipeline possibles et le flash

Architecture du CAN	Puissance	Dimensions (Largeur = 42.7 μm)	Performances (nature)
CAN pipeline à 5 bits : 3 étages pipeline à 1,5 bits/étage	1,76 mW	Long = 1,43 mm	Simulées et réalisées
CAN pipeline à 5 bits : 1 étage pipeline à 2,5 bits/étage et 1 étage flash 3 bits	1,42 mW	Long = 1,59 mm	simulées
CAN pipeline à 4 bits : 1 étage pipeline à 2,5 bits et 1 étage flash à 2 bits	1,18 mW	Long = 1,3 mm	simulées
CAN pipeline à 4 bits : 2 étages pipeline à 1,5 bits/étage et 1 étage flash à 2 bits	1,35 mW	Long = 1,18 mm	simulées
CAN Flash à 4 bits (Sans correction d'offset)	1,24 mW	Long = 1,4 mm	calculées

Tableau 3.1: Projection des performances (puissance dissipée et dimensions) pour différentes configurations de l'architecture pipeline du CAN et un CAN flash.

Dans cette thèse, nous avons effectué une projection, sans validation de résultats par des tests, des performances (puissance et surface) pour chaque configuration de l'architecture pipeline classique du CAN. L'architecture Flash a également été prise en compte dans cette étude, mais sans aucune compensation d'offsets des comparateurs. Ces performances sont montrées dans le tableau 3.1, et ne concernent pas les configurations pipeline en double échantillonnage qui seront étudiées dans le chapitre 5. Ces projections ont été effectuées dans la technologie CMOS 0,35 μm et à la fréquence de conversion de 25 MHz.

3.4. Conclusion

Dans ce chapitre, nous avons rappelé les caractéristiques et les différentes architectures de CANs. Une étude comparative entre tous ces types de CANs a été réalisée, afin d'en sélectionner la plus performante pour le codage des signaux du détecteur de vertex. Il en ressort que l'architecture pipeline présente une approche assez satisfaisante pour concilier les exigences conflictuelles du cahier des charges de l'application et a été choisie pour la conception du CAN. Cette architecture permettra notamment d'atteindre la résolution de 5 bits requise avec une vitesse supérieure à celle exigée par l'application. Son inconvénient majeur est l'encombrement dans la technologie actuelle (CMOS 0,35 μm), mais la version finale du CAN sera fabriquée dans une technologie moins contraignante sur la surface.

Le chapitre suivant abordera plus en profondeur les caractéristiques et les différentes sources d'erreurs des CANs pipeline. La configuration de base d'un CAN pipeline, qui emploie des étages pipeline de faible résolution (1,5 bit/étage), sera choisie pour étudier et réaliser un CAN de 5 bits de résolution. Les détails de la conception et les résultats des tests de ce dernier seront présentés dans le chapitre suivant.

Bibliographie

- [Bak04] B. Baker: “what does the ADC SNR mean”. EDN | May 27, 2004
- [Bak07] B. Baker: “where did all the bits go”. EDN | June 7, 2007
- [NSsite] <http://www.national.com>
- [Pet79] J-G. Peterson: “A Monolithic Video A/D Converter”. *IEEE journal of Solid-State Circuits*, Vol. SC-14, No. 6, December 1979.
- [Man90] C-W. Mangelsdorf: “A 400-MHz Input Flash Converter with Error Correction”. *IEEE journal of Solid-State Circuits*, Vol. 25, No. 1, FEBRUARY 1990.
- [Lee07] W-T. Lee, P-H. Huang, Y-Z. Liao and Y-S. Hwang: “A New Low Power Flash ADC Using Multiple-Selection Method”. *IEEE Conference on Electron Devices and Solid-State Circuits*, 2007. EDSSC 2007.
- [Yu01] B. Yu, W-C. Black, Jr.: “A 900 MS/s 6 b Interleaved CMOS Flash ADC”. *IEEE CUSTOM INTEGRATED CIRCUITS CONFERENCE*, May 6-9, 2001.
- [Max01] “Understanding Flash ADCs”. *Maxim, App. Notes, A/D and D/A Conversion/Sampling Circuits*, October 2001.
- [Van87] R-E-J. Van De Grift, Ivo W. J. M. Rutten and Martien Van Der Veen: “An 8-bit Video ADC Incorporating Folding and Interpolation Techniques”. *IEEE journal of Solid-State Circuits*, Vol. sc-22, No. 6, December 1987.
- [Van92] J. Van Valburg, R-J. Van Der Plassche “An 8b 650 MHz Folding ADC”. *IEEE Solid-State Circuits Conference*, 1992.
- [Fly90] M-P. Flynn and D-J. Allstot: “CMOS Folding A/D Converters with Current-Mode Interpolation”. *IEEE journal of Solid-State Circuits*, Vol. 31, No. 9, September 1990.

- [Tro03] J-P. Troadec : “Principes de conversions analogique-numérique et numérique- analogique”. *Dunod, 2003*.
- [Pet90] R. Petschacher, B. Zojer, B. Astegher, H. Jessner and A. Lechner: “A 10-b 75-MSPS Subranging A/D Converter with Integrated Sample and Hold”. *IEEE journal of Solid-State Circuits, Vol. 25, No. 6, December 1990*.
- [Bra99] B-P. Brandt and J. Lutsky: “A 75-mW, 10-b, 20-MSPS CMOS Subranging ADC with 9.5 effective Bits at Nyquist”. *IEEE journal of Solid-State Circuits, Vol. 34, No.12, December 1999*.
- [Sut88] S. Sutarja, P-R. GRAY: “A 250 kS/s 13b Pipelined Converter”. *IEEE Solid-State Circuits Conference, 1988*.
- [Lew87] S-H. Lewis and P-R. GRAY: “A pipelined 5-Msample/s 9-bit Analog-to-Digital Converter”. *IEEE journal of Solid-State Circuits, Vol. sc-22, No. 6, December 1987*.
- [Max01b] “Understanding Pipelined ADCs”. *Maxim, App. Notes, A/D and D/A Conversion/Sampling Circuits, March 2001*.
- [Li03] J. Li and U-K. Moon: “Background Calibration Techniques for Multistage Pipelined ADCs with Digital Redundancy”. *IEEE transaction on Circuits and Systems—II: Analog and Digital Signal Processing, Vol. 50, No. 9, September 2003*.
- [Hak07] V. Hakkarainen, A. Rantala, M. Aho, J. Riikonen, D. Gomes-Martin, M. Aberg and K. Halonen: “A 10-bit 1.8-GS/s Time-interleaved Pipeline ADC”. *14th IEEE International Conference on Electronics, Circuits and Systems, 11-14 December 2007*.
- [Iro07] I. Iroaga and B. Murmann: “A 12-Bit 75-MS/s Pipelined ADC Using Incomplete Settling”. *IEEE journal of Solid-State Circuits, Vol. 42, No. 4, April 2007*.

- [Sum02] L. Sumanen: "Pipelined Analog-to-Digital Converter for Wide-Band Wireless Communications". Thèse de doctorat, Helsinki University of technology (Espoo, Finland), December 2002.
- [Fer07] M. Ferris and J. Kang: "A 10 bit 100 MHz pipelined ADC". *University of Michigan, 598 design project, 2004.*
- [Shi83] C-C. Shih, P-W. Li and Paul Gray: "Ratio independent Cyclic A/D and D/A Conversion Using a Recirculating Reference Approach". *IEEE Transactions on Circuits and Systems, Vol. CAS-30, No. 10, October 1983.*
- [Par00] J. Park, H-J. Park, J-W. Kim, S. Seo and P. Chung: "A 1 mW 10-bit 500KSPS SAR A/D Converter". *IEEE International Symposium on Circuits and Systems, May 28-31, 2000, Geneva, Switzerland.*
- [Van03] R. Van De Plassche: "CMOS Integrated Analog-to-Digital and Digital-to-Analog Converters". *2nd edition, Kluwer Academic Publishers, 2003.*
- [Del07] E. Delagnes, D. Breton, F. Lugiez, and R. Rahmanifard: "A Low Power Multi-Channel Single Ramp ADC With up to 3.2 GHz Virtual Clock". *IEEE Transactions on Nuclear Science, Vol. 54, No. 5, October 2007.*
- [AD05] Analog Devices: "Data Conversion Handbook". *Walt Kester Editor, 2005.*
- [Sam03] L. Samid, Y. Manoli: "A micro power continuous-time $\Sigma\Delta$ modulator". *Solid-State Circuits Conference, 2003. ESSCIRC' 03. Proceedings of the 29th European.*
- [Des01] M. Dessouky and A. Kaiser: "A very low-Voltage Digital-Audio $\Sigma\Delta$ Modulator with 88-dB Dynamic Range Using Local Switch Bootstrapping". *IEEE journal of Solid-State Circuits, Vol. 36, No. 3, March 2001.*
- [Mor05] D. Morche : "capacités communtées et Conversion". *CEA-LETI, Cours Master 2R MNE, UJF 2005.*
- [Tew78] S-K. Tewksbury and R-W. Hallok: "Oversampled, Linear Predictive and Noise-Shaping Coders of Order $N>1$ ". *IEEE Transactions on Circuits and Systems, Vol. CAS-25, No. 7, July 1978.*

- [Wal99] R-H. Walden: “Analog-to-Digital Converter Survey and analysis”. *IEEE Journal on selected areas in communications*, Vol. 17, No. 4, April 1999.
- [Le05] B. Le, T-W. Rondeau, J-H. Reed, and C-W. Bostian: “Analog-to- Digital Converters—A review of the past, present, and future”. *IEEE Signal Processing Magazine*, November 2005.

Chapitre 4

Conception d'un CAN pipeline très compact intégrable avec les capteurs CMOS à pixels

4.1. Introduction

De l'étude effectuée dans le chapitre précédent, l'architecture pipeline a été retenue pour la réalisation du CAN pour équiper les colonnes de pixels dans les capteurs monolithiques à pixel actif. Les contraintes sur la réalisation de toute la chaîne de lecture des MAPS, particulièrement les étages d'amplification et de conversion (CAN), ont été détaillées dans le chapitre 1.

Le présent chapitre discute, dans un premier temps, des principes et des opérations dans les CANs pipeline d'une façon générale. Nous y identifierons les sources d'erreurs et leurs effets sur les performances globales dans les CANs pipeline et présenterons les techniques de correction et/ou de compensation de ces erreurs. Grâce à ces techniques, les contraintes sur la consommation et la précision du CAN sont minimisées. Ensuite, suivra une étude détaillée de la conception d'un prototype de CANs pipeline spécifiques, répondant à la particularité du cahier des charges imposé par le détecteur de vertex. Les résultats de test de ce prototype de convertisseurs seront présentés. Afin de doubler la vitesse de conversion pour une quasi même consommation, des CANs pipeline à « double échantillonnage » ont été conçus et réalisés et feront l'objet d'étude du chapitre 5.

4.2. Architecture des CANs pipeline

Le concept *pipeline* dans son sens large peut se trouver dans différentes applications telles que les chaînes de fabrication (e.g. automobile, produits de consommation, etc.). Ce principe permet d'obtenir de très hauts débits tout en allégeant les contraintes (efforts) de chaque étape de la chaîne pipeline. La méthode pipeline appliquée à la conversion

analogique-numérique consiste à distribuer la quantification du signal le long de la chaîne pipeline du circuit. Le CAN pipeline prend ses origines de l'architecture à multiples étages, qui était utilisée dans les années 1950 [Staf59]. Afin de réaliser des résolutions supérieures à 8 bits en utilisant les CANs à multiples étages, une technique appelée correction numérique d'erreur ou bit de redondance ou encore bit de recouvrement a été utilisée. Cette méthode qui donnera naissance aux CANs pipeline a été proposée par T. C. Verster en 1964 [Vers64]. La figure 4.1 montre le diagramme global d'un CAN pipeline typique. Il est constitué de $(k-1)$ étages pipeline successifs de faibles résolutions, suivis par un dernier étage flash (le $K^{\text{ème}}$ étage), d'une logique de synchronisation des données numériques de chaque étage et d'une circuiterie de correction logique des erreurs dues aux offsets des comparateurs.

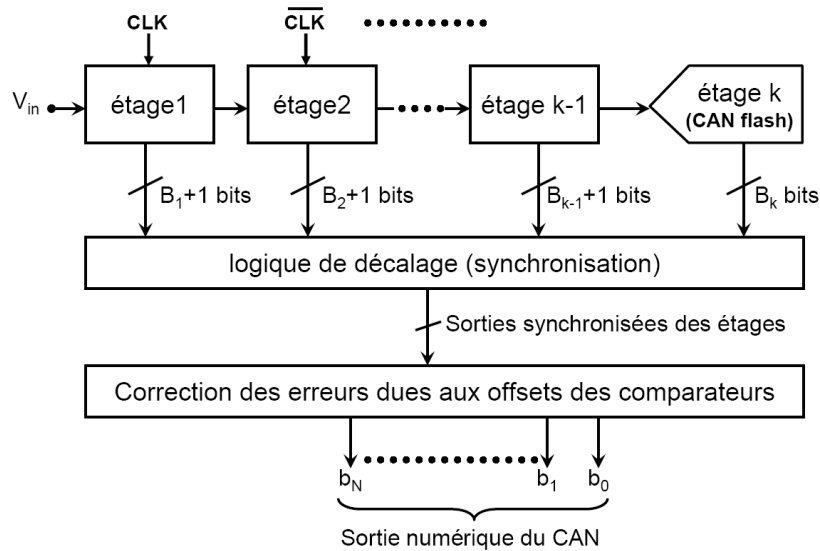


Figure 4.1 : Diagramme global d'un CAN pipeline

Chaque étage pipeline a une résolution de B_i+1 bits, dont B_i bits effectifs ($i=1,2,...,k-1$) plus un bit de redondance qui est utilisé pour la correction numérique des erreurs d'offsets des comparateurs. Le dernier étage n'utilise pas de bit de redondance, sa résolution est de B_k bits. Généralement, tous les étages pipeline ont une résolution identique $(B+1)$.

Un diagramme général d'un étage pipeline est représenté sur la figure 4.2. Il comprend un CAN flash de faible résolution et un circuit à triple-fonction, qui permet d'échantillonner le signal d'entrée, de générer le résidu en effectuant la différence entre l'entrée et une

référence et d'amplifier ce résidu par un gain de 2^{B_i} . Ce dernier circuit est communément appelé MDAC¹⁴.

Le fonctionnement d'un convertisseur pipeline est analogue au processus d'une division Euclidienne, cette analogie permet de mettre en œuvre facilement des techniques de correction des erreurs telles que l'erreur de gain des étages pipeline, les erreurs sur les références et les seuils et les erreurs des offsets des comparateurs et de l'amplificateur.

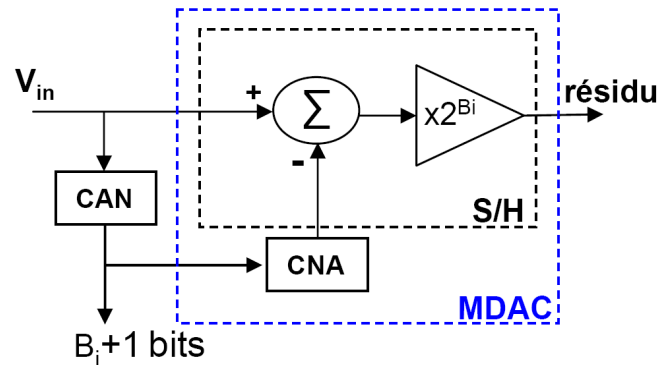


Figure 4.2 : Diagramme général d'un étage pipeline

Les étages de la chaîne pipeline du convertisseur ont tous un fonctionnement similaire. Chaque étage échantillonne le signal de son entrée V_{in} et le convertit grossièrement en signal numérique sur B_i+1 bits. Ce résultat numérique attaque un Convertisseur Numérique-Analogique (CNA), qui délivre une tension analogique appropriée (tension de référence) sur sa sortie. Le résidu est obtenu en soustrayant le signal de sortie du CNA du signal d'entrée V_{in} . Le résultat de cette différence (résidu) est, ensuite, amplifié par un gain de 2^{B_i} avant d'être envoyé sur l'entrée de l'étage suivant qui effectuera la conversion du résidu, ce qui affine la conversion globale, et ainsi de suite jusqu'au dernier étage. Les étages pipeline fonctionnent en opposition de phase, ce qui leur permet de faire du traitement parallèle. Les sorties numériques des étages sont synchronisées à l'aide des registres à décalage, afin que toutes les sorties des étages correspondent à la même entrée analogique. Le mot binaire cohérent ainsi obtenu est envoyé au circuit de correction numérique.

Traditionnellement, les convertisseurs pipeline sont implémentés en utilisant la technique des capacités commutées. La résolution de ce type de CANs peut atteindre 16 bits en technologie CMOS, moyennant des techniques de correction d'erreur. Des vitesses de conversion de quelques centaines de MHz ont été atteintes [Sum01]. Plusieurs techniques

¹⁴ MDAC: Multiplying Digital-to-Analog Converter.

pour l'amélioration de la vitesse et la précision des convertisseurs pipeline ont été proposées. La vitesse des convertisseurs peut être augmentée jusqu'à quelques GHz en plaçant des canaux de CANs pipeline en parallèle et en les entrelaçant dans le temps [Poul02]. Dans ce travail, dans le but d'augmenter la vitesse de conversion, une technique de double échantillonnage a été étudiée. Cette technique est basée sur le partage des éléments actifs et des cellules logiques dans chaque paire de canaux voisins mis en parallèle. La vitesse est doublée pour quasiment la même consommation. Cette partie sera détaillée dans le chapitre 5.

Dans la section qui suit, nous détaillerons les blocs constituant un étage pipeline dans sa configuration générale.

4.2.1. Le Sub-Convertisseur Analogique-Numérique (Sub-CAN)

Chaque étage pipeline du convertisseur comporte un CAN rapide de faible résolution (B_i+1) bits, cette résolution ne doit pas dépasser les 4 bits si on veut maximiser les avantages du concept pipeline en termes de contraintes sur les amplificateurs et comparateurs. Les opérations d'échantillonnage et de conversion à faible résolution du signal s'effectuent en parallèle et simultanément dans un étage pipeline. Comme le codage s'effectue à la fin de la phase d'échantillonnage de chaque étage, le Sub-CAN doit fournir sa sortie au CNA au plus vite possible. Pour favoriser le temps d'établissement, la référence (sortie du CNA) doit être disponible tout à fait au début de la phase du maintien (Hold). Pour réaliser cette performance, le Sub-CAN doit être très rapide, c'est pourquoi, des CANs Flash sont l'unique type de convertisseurs utilisé à cette fin.

L'architecture d'un CAN flash a déjà été décrite dans le chapitre 3. Elle consiste en comparateurs de tension (ou de courant dans le mode courant) mis en parallèles et un encodeur qui sert à convertir en binaire le code thermomètre qui est constitué par les sorties logiques des comparateurs. Les contraintes sur les comparateurs dépendent de la résolution du Sub-CAN et de la dynamique du signal à convertir. La technique d'implémentation du comparateur ainsi que la correction numérique des erreurs des offsets seront présentées dans ce chapitre.

4.2.2. Implémentation du circuit du MDAC

Le circuit du MDAC est le constituant clé et le plus critique bloc dans un étage pipeline. Il réalise la conversion numérique-analogique de la sortie du Sub-CAN, la

soustraction du signal de sortie du CNA (référence) de l'entrée analogique échantillonnée et effectue la multiplication de cette différence. Le résultat de la multiplication, appelé résidu, est maintenu en sortie du MDAC jusqu'à la fin de la phase d'échantillonnage de l'étage suivant.

Les MDACs en mode tension sont traditionnellement implémentés en utilisant la technique des capacités commutées. Cette technique est requise pour les raisons principales suivantes :

- Éviter des systèmes à temps continu qui consomment beaucoup plus de puissance ;
- Utilisation des capacités comme mémoire analogique dans chaque étage pipeline ;
- Remplacement des résistances en silicium poly-cristallin par des résistances équivalentes en commutant des capacités. Car, il est très difficile d'intégrer des résistances de précision. En outre, la surface occupée par ces résistances est très paralysante pour des convertisseurs compacts tels que dans l'application du détecteur de vertex.

Le principe de base pour implémenter une résistance équivalente en capacités commutées est illustré sur la figure 4.3. En respectant le principe de conservation et de transfert de charges électriques entre deux phases de fonctionnement, on peut calculer la résistance équivalente à réaliser en capacités commutées. La quantité de charge Q transférée entre A et B est :

$$Q = C(V_A - V_B) \quad (4.1)$$

$$Q = C \times \Delta V \quad (4.2)$$

D'autre part, on a le courant I qui est donné par :

$$I = \frac{dQ}{dt} = \frac{C}{T} \times \Delta V \quad (4.3)$$

D'où la résistance équivalente est égale à :

$$R_{eq} = \frac{T}{C} \quad (4.4)$$

où, T est la période de commutation.

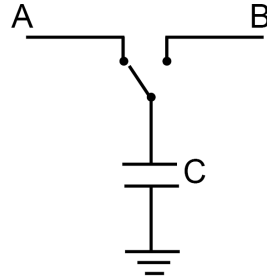


Figure 4.3: Principe d'implémentation d'une résistance en capacités commutées

Il existe différentes façons pour implémenter le circuit du MDAC en capacités commutées. Toutes les configurations possibles reposent sur l'articulation des capacités autour d'un amplificateur opérationnel par l'intermédiaire de commutateurs analogiques en CMOS que l'on nommera switches dans tout le reste de ce manuscrit. Ces derniers -switchs- sont commandés par deux phases principales de l'horloge : phase d'échantillonnage (Φ_s) et phase de maintien (Φ_f).

Pour chaque configuration de mise en place des capacités [Cho-95], il y a deux paramètres principaux qu'il faut préciser lors du calcul de la fonction de transfert et de la quantification de l'impact des différentes erreurs. Ces paramètres sont :

- L'architecture des étages pipeline : différentielle ou non-différentielle. Elle permet de spécifier la pleine échelle du signal d'entrée, de laquelle découle le calcul des tensions de seuil et de référence du convertisseur ;
- La génération des tensions de références : interne ou externe au circuit. Ce paramètre permet de choisir le nombre et la taille de capacités unitaires ;

La nature particulière et très contraignante des exigences du cahier des charges du détecteur de vertex pour les prochaines expériences de physique des hautes énergies impose le recours à l'architecture non-différentielle du convertisseur pour minimiser l'encombrement des zones non sensibles des capteurs MAPS. Et afin d'éviter de faire circuler plusieurs signaux d'horloge supplémentaires, qui auraient été nécessaires pour commander des switches

au cœur du MDAC dans le but de générer les signaux de référence, ces derniers sont générés depuis l'extérieur du circuit.

Ceci a, donc, des conséquences sur la définition de la plage du signal $[-V_r, +V_r]$ qu'on trouve communément dans la littérature des CANs pipeline en mode différentiel. Donc, Au lieu de prendre l'intervalle $[-V_r, +V_r]$, nous définissons la plage de la dynamique d'entrée pour le mode *non-différentiel* que nous avons utilisé comme suit:

$$V_{in} \in [0, V_{ref}]$$

où V_{ref} est la valeur maximale admise du signal d'entrée ($V_{ref} = 2 \times V_r$).

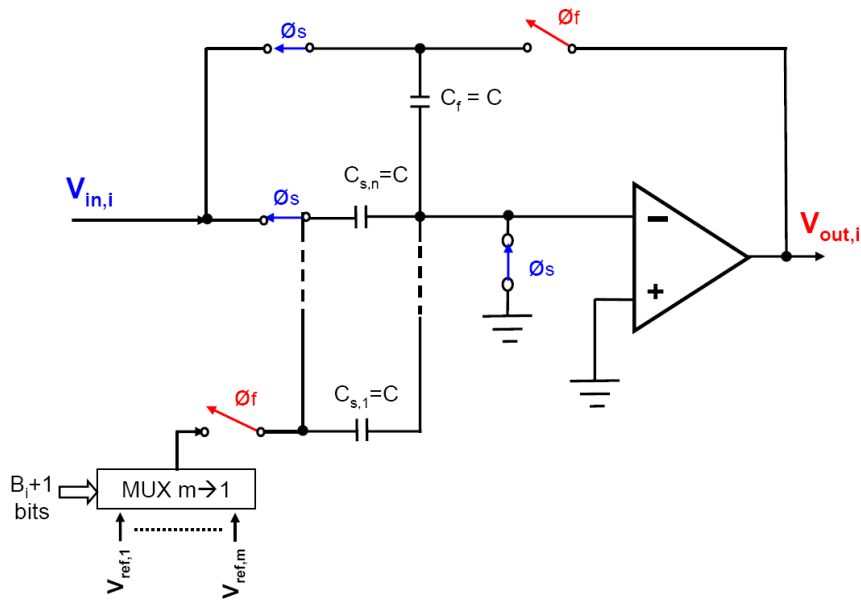


Figure 4.4: Implémentation d'un MDAC en capacités commutées

La figure 4.4 montre l'implémentation du MDAC de l' $i^{\text{ème}}$ étage pipeline de résolution (B_i+1) bits. Dans ce schéma, les signaux de référence ($V_{ref,1}$, $V_{ref,2}$, ..., $V_{ref,m}$) sont générés à l'extérieur du circuit. Dans les étages pipeline ayant des résolutions supérieures à 2 bits, le nombre de signaux de référence devient trop élevé et pose un problème d'irrégularité des intervalles entre les tensions de référence. Il y a une technique qui permet de n'utiliser que deux références et une masse virtuelle venant de l'extérieur du circuit, toutes les références sont générées à l'intérieur du MDAC. Mais elle nécessiterait des switchs supplémentaires et des signaux logiques de commande de ces switchs, lesquels sont sources de bruits dans le cas des circuits très compacts et à faible signaux.

Ici la capacité totale d'échantillonnage C_s est composée d'une matrice de capacités unitaires ($C_{s,j}=C$), le but étant d'assurer l'appariement avec la capacité de contre réaction ($C_f=C$), et par conséquent, minimiser l'erreur du gain de l'étage pipeline.

Le principe de fonctionnement de cette architecture repose sur le transfert de charge entre les capacités lorsqu'on passe de la phase d'échantillonnage à celle d'amplification (maintien). En vertu du principe de conservation de charge, la fonction de transfert du MDAC est la suivante :

$$V_{out,i} = \frac{C_f + \sum_{j=1}^n C_{s,j}}{C_f} \times V_{in,i} - \frac{\sum_{j=1}^n C_{s,j}}{C_f} \times \beta \times V_{ref} \quad (4.5)$$

et

$$n = 2^{B_i} - 1 \quad (4.6)$$

où, n est le nombre de capacités unitaires qui constituent la capacité d'échantillonnage C_s et β est un coefficient multiplicateur qui est fonction de la valeur du mot binaire en sortie du Sub-CAN de l' $i^{\text{ème}}$ étage pipeline et de sa résolution. La quantité $(\beta \times V_{ref})$ correspond à la valeur de la tension de référence sélectionnée parmi les m tensions en entrée du MUX. Le nombre de tensions de référence à générer est $m=2^{B_i+1}-1$. Le coefficient β peut être modélisé sous la forme mathématique suivante :

$$\beta = d_i \times \frac{1}{(2^{B_i+1} - 2)} \quad (4.7)$$

où, d_i est la valeur décimale du mot binaire du Sub-CAN et (B_i+1) est la résolution réelle de l' $i^{\text{ème}}$ étage pipeline.

La formule récurrente de l'équation (4.5) est applicable pour toutes les résolutions des étages pipeline dont les références sont générées à l'extérieur du circuit. Durant le travail effectué dans le cadre de ma thèse, deux configurations de MDAC ont été implémentées, à savoir, une configuration à 1,5 bit par étage et une deuxième configuration à 2,5 bit par étage.

Une autre topologie d'implémenter l'étage du MDAC dans un convertisseur pipeline est celle qui utilise le mode courant : *courants commutés*. Elle suit le même mode de

fonctionnement que celui en mode tension, mais l'implémentation est différente. Les performances de cette topologie sont inférieures à celles obtenues par le mode en capacités commutées, dans le cas de grandes dynamiques (>8 bits) [Jons98].

La précision globale d'un convertisseur pipeline dépend pleinement de celle de l'étage pipeline dont le bloc clé est le MDAC. Chaque étage pipeline doit être suffisamment précis pour assurer la résolution des étages suivants (restants). De là, on peut conclure que les contraintes de précision sont décroissantes le long de la chaîne du pipeline. Cette caractéristique est exploitée dans ce travail pour minimiser la surface et la consommation. Les performances des convertisseurs pipeline peuvent être affectées par plusieurs sources d'erreurs et de bruits qu'il faut identifier afin de les minimiser ou corriger.

4.3. Les sources d'erreurs et bruits dans les étages pipeline

Dans cette section, les différentes sources d'erreurs qui dégradent les performances des convertisseurs pipeline sont présentées. On peut distinguer deux types de sources d'erreurs : le bruit et les non-appariements (ou mismatches) entre les composants. Les erreurs d'appariement peuvent être facilement corrigées par des techniques de calibration. Par contre, les erreurs dues au bruit dans le MDAC ne peuvent pas être facilement corrigées par calibration. Des paramètres parasites inhérents à l'architecture des circuits en capacités commutées et à la technologie CMOS contribuent aussi à la détérioration des performances des CANs pipeline.

La quantification des effets de ces erreurs sur les performances du convertisseur pipeline est requise pour prévoir des techniques qui puissent les annuler ou les corriger. Pour des raisons de simplicité, nous supposons dans ce qui suit que chaque source d'erreur agit indépendamment des autres sources d'erreur présentes. En réalité, ces effets se combinent et des erreurs imprévisibles apparaissent, ce point est surtout confirmé par un décalage souvent constaté entre les résultats de test et les simulations dont les modèles ne sont pas parfaits.

4.3.1. Les erreurs dans les Sub-CAN

La figure 4.5 illustre la modélisation des plus influentes erreurs dans le Sub-CAN d'un étage pipeline. Ces erreurs sont notamment : les tensions d'offset ($V_{of,j}$) des comparateurs, la dérive des tensions des seuils ($\Delta V_{seuil,j}$) et l'erreur (Δt) sur le signal d'enclenchement de

codage (latch) des comparateurs. Ici, des erreurs pouvant se produire dans le comparateur ne sont pas illustrées.

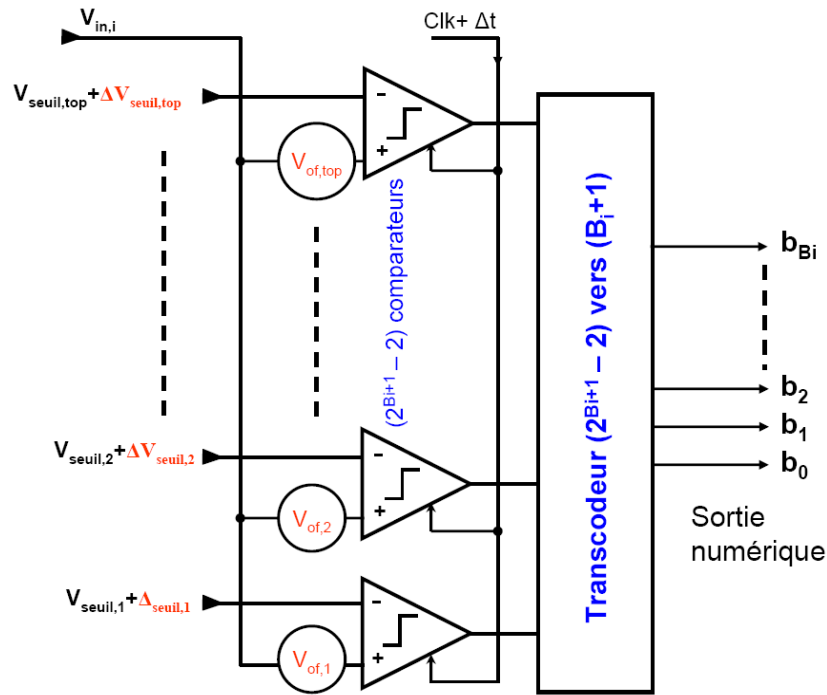


Figure 4.5: Les erreurs dans le Sub-CAN d'un étage pipeline

La source d'erreur la plus critique dans le Sub-CAN d'un étage pipeline est l'offset des comparateurs. La présence d'une tension d'offset à l'entrée du comparateur provoque le décalage de sa tension de décision. Comme le montre la figure 4.5, l'offset du comparateur est modélisé comme une source de tension en série avec l'une des entrées du comparateur. Cette tension vient s'ajouter à la différence entre le signal à convertir et la tension de seuil. Alors, le comparateur produit une sortie erronée qui se traduit par une erreur sur le code de sortie ($b_{Bi} \dots b_1 b_0$). En fonction de ce code erroné, une fausse tension de référence sera sélectionnée pour le calcul du résidu par le MDAC. Par conséquent, une erreur se produira sur le signal de sortie du MDAC sous forme de décalage de la courbe de transfert. Cette erreur va se propager pour le reste des étages pipeline. L'effet de l'offset des comparateurs sur la fonction de transfert d'un étage pipeline de résolution 1,5 bit est montré sur la figure 4.6. L'offset des comparateurs est supposé comme l'unique source d'erreur.

L'offset du comparateur peut être dû aux différentes sources. La plus dominante est le non-appariement entre les transistors et plus particulièrement ceux de la paire différentielle de l'étage d'entrée du comparateur, qui est dû à la dispersion aléatoire des paramètres de la

technologie de fabrication. Les erreurs sur les tensions des seuils ($\Delta V_{\text{seuil},j}$) des comparateurs ont exactement le même effet que les offsets des comparateurs sur la courbe du résidu (Cf. figure 4.6). Leurs effets peuvent, donc, être inclus dans l'effet des offsets des comparateurs.

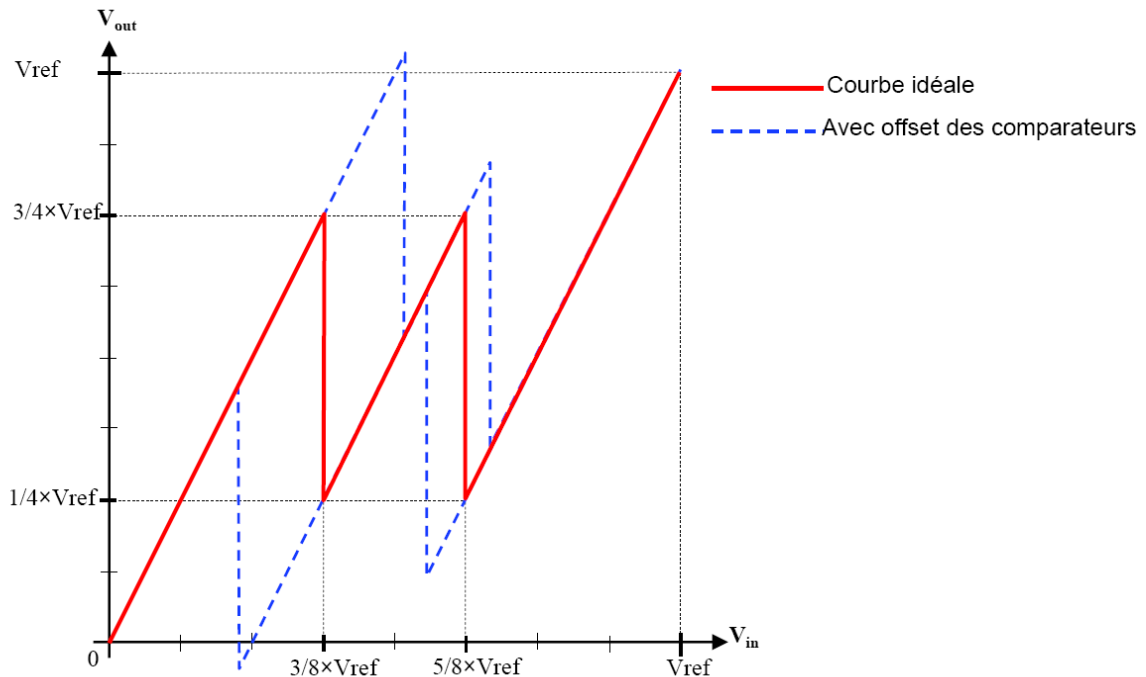


Figure 4.6: Fonction de transfert d'un étage pipeline 1,5 bit en présence d'offset sur les comparateurs

Grâce à une logique de correction numérique des erreurs dues aux offsets, les contraintes sur les comparateurs sont allégées. A noter que sans cette correction, la valeur de l'offset doit être inférieure à la moitié de la valeur du LSB. La conception de la logique de correction et les valeurs des offsets tolérées seront reportées dans la section (4.4.4) de ce chapitre.

L'erreur ou la déviation (Δt) sur le moment d'arrivée du front du signal d'horloge (Clk) est critique. Car, elle rend l'erreur de codage dépendante du niveau de signal d'entrée de chaque étage pipeline. Le premier étage d'un CAN pipeline est plus sensible à cette erreur dans le cas où il n'est pas précédé par un circuit de S/H qui maintient le signal stable. Dans les étages suivants, cette erreur est moindre. Mais elle dépend, tout de même, du temps d'établissement du signal des étages précédents. La figure 4.7 met en évidence l'effet de l'erreur Δt .

Δt est formé de deux composantes : une composante systématique (Δt_s) et une composante aléatoire Δt_a . Δt_s est un délai inhérent aux opérations d'échantillonnage et de

commande de latch du comparateur. Le signal de latch du comparateur (Clk) et le signal de la fin d'échantillonnage (Φ_s) ne doivent jamais être simultanés pour éviter que le bruit de « kickback » du comparateur ne soit échantillonné avec le signal. A cet effet, un écart systématique (Δt_s) entre les signaux Clk et Φ_s est prévu, tel qu'il est montré sur la figure 4.7. La composante aléatoire (Δt_a) est la gigue de l'horloge ou « clock jitter », qui est la variation (plus ou moins longue et positive ou négative) dans le temps de l'occurrence des transitions binaires de l'horloge Clk. La gigue, qui est un phénomène aléatoire, est une erreur d'ordre temporel. Le front d'horloge réel est décalé de $\pm \Delta t_a$ par rapport à sa position idéale t_0 . Cette erreur et son effet sur la précision du codage sont illustrés aussi sur la figure 4.7.

L'erreur due à l'incertitude sur le signal de latch est la différence entre le signal présent à l'entrée du comparateur au moment d'arrivée du front du latch et le signal échantillonné. Cette erreur comporte les deux composantes : aléatoire et systématique (ΔV_a et ΔV_s respectivement).

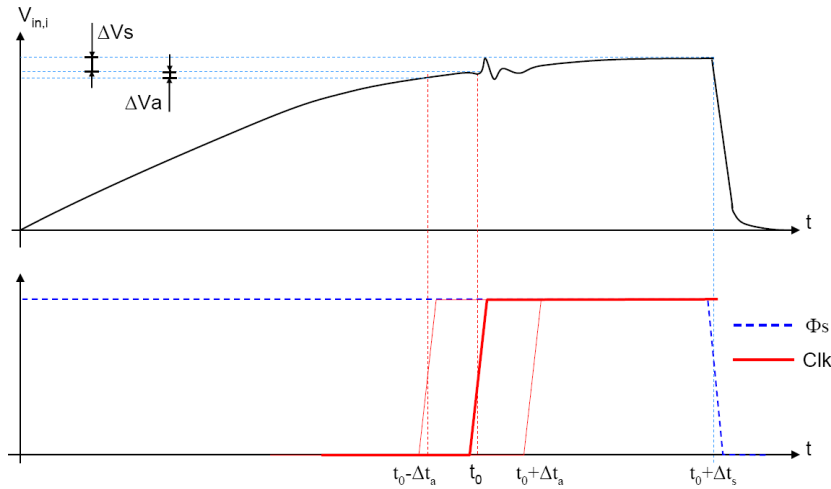


Figure 4.7: Mise en évidence de l'effet des incertitudes de l'horloge

$$\Delta V = \alpha \times \Delta t \quad (4.8)$$

où α est la pente du signal d'entrée de l'étage pipeline ($V_{in,i}$) et $\Delta t = \Delta t_s \pm \Delta t_a$.

$$\alpha = \frac{dV_{in,i}(t)}{dt} \quad (4.9)$$

$$\Delta V = \frac{dV_{in,i}(t)}{dt} \times \Delta t \quad (4.10)$$

Pour éviter cette erreur, et surtout la dépendance de cette erreur du niveau du signal d'entrée, on maintient le signal stable par un circuit S/H. La valeur en sortie du S/H doit être stable et précise pendant 1/3 de temps de la phase d'échantillonnage (i.e. $T/6$ où, T est la période d'échantillonnage). Ceci fait tendre le paramètre α vers zéro dans l'équation (4.8) et laisse un temps suffisant au signal de se stabiliser après sa perturbation par kickback du comparateur comme le montre la figure 4.7.

Cette marge de temps peut avoir des conséquences sur la vitesse de conversion du CAN pipeline. Pour y remédier, il faut prêter grande attention sur le temps d'établissement et la stabilité du signal en sortie de chaque étage pipeline.

4.3.2. Les erreurs et non-uniformités dans les MDACs

L'élément clé d'un convertisseur pipeline, comme il a déjà été mentionné avant, est le MDAC, puisque c'est cet étage qui le distingue d'un flash à deux étapes ou de tout autre convertisseur à multiples étages (*subranging ADC*). Cependant, à cet étage est associé un nombre de limitations fondamentales et techniques qui dégradent les performances d'un CAN pipeline. La figure 4.8 illustre les sources d'erreurs dans un MDAC à capacités commutées implémenté avec une architecture non-différentielle. Cette illustration inclut les erreurs de d'appariement des composants et les contributions parasites de l'amplificateur et de ces périphéries.

L'amplificateur opérationnel, n'étant pas idéal, présente des imperfections qui sont : le gain fini en boucle ouverte A_0 , la résistance de sortie r_s non nulle et la capacité de sortie C_s de l'amplificateur, le courant maximal I_{max} , la capacité parasite et l'offset au niveau de son entrée C_{par} . Outre les imperfections de l'amplificateur, le MDAC peut être affecté par d'autres sources d'erreurs qui se résument en : l'imprécision sur les dimensions des capacités unitaires $\Delta C_{s,j}$ et ΔC_f , erreurs sur les tensions de références $\Delta V_{ref,j}$, incertitudes des signaux d'horloge $\Delta \Phi_s$, la résistance non nulle et non linéaire des switchs et les injections de charges des switchs. Sur cette figure, les capacités parasites des switchs et autres capacités parasites ne sont pas montrées pour des raisons de lisibilité, mais qui seront étudiées et mises en évidence

séparément. Cette partie du présent chapitre, décrit d'une façon exhaustive ces sources d'erreurs et les améliorations possibles.

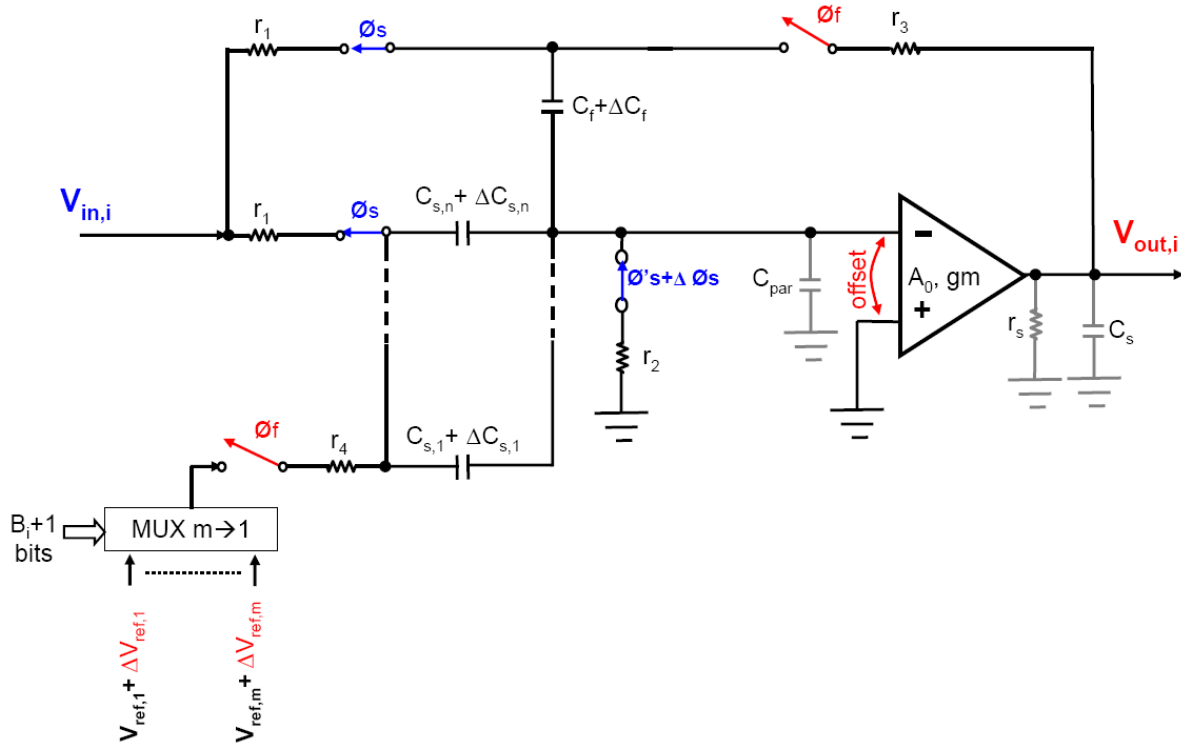


Figure 4.8 : Les sources d'erreurs dans un circuit du MDAC à capacités commutées.

4.3.2.1. Les performances de l'amplificateur opérationnel

Les performances de l'amplificateur opérationnel dans un MDAC sont parmi les paramètres les plus critiques, qui déterminent les limitations de tout le convertisseur. Identifier les sources d'erreur et de bruit dans un amplificateur opérationnel sert à essayer d'éviter ces erreurs lors de la conception de l'amplificateur, mais il est aussi possible de jouer sur les paramètres de la boucle de contre réaction autour de l'amplificateur pour optimiser les performances du circuit du MDAC. Ici, nous décrivons les sources d'erreur dans un amplificateur opérationnel.

4.3.2.1.1. Le gain fini en boucle ouverte de l'amplificateur opérationnel

Le gain en boucle ouverte A_0 d'un amplificateur opérationnel détermine, en partie, la précision du circuit de contre réaction employant cet amplificateur. La valeur de ce gain peut varier de plusieurs ordres de grandeurs selon la précision requise du système global (selon la résolution dans le cas des CANs). Dans le cas des convertisseurs analogique-numérique

pipeline, le gain fini A_0 introduit une erreur de gain du circuit MDAC de chaque étage pipeline. C'est pourquoi, une valeur minimale du gain A_0 doit être connue pour éviter des erreurs de non-linéarité. A_0 est déterminé en fonction de l'erreur de gain tolérable en sortie de chaque étage pipeline. Dans le cas du MDAC dans un CAN pipeline tel que montré sur la figure 4.8, A_0 est donné par la formule suivante :

$$A_0 = g_m \times r_s \quad (4.11)$$

où, g_m est la transconductance de l'amplificateur et r_s est sa résistance de sortie.

Dans le calcul qui suivra, seul l'impact de A_0 est pris en compte, et ce en l'absence de toutes les autres sources d'erreur montrées sur la figure 4.8. En respectant le principe de conservation de charge entre les deux phases du fonctionnement (S & H), le signal de sortie du MDAC ($V_{out,i}$) en mode d'amplification (H) pourra s'écrire comme suit :

$$V_{out,i} = \left(\frac{C_f + \sum_{j=1}^n C_{s,j}}{C_f} \times V_{in,i} + \frac{\sum_{j=1}^n C_{s,j}}{C_f} \times \beta \times V_{ref} \right) \times \frac{1}{1 + \frac{1}{A_0 \times f}} \quad (4.12)$$

où, f est un paramètre appelé facteur de contre-réaction, qui est donné par :

$$f = \frac{C_f}{C_f + \sum_{j=1}^n C_{s,j} + C_{par}} \quad (4.13)$$

et β est un coefficient qui est défini dans l'équation (4.7).

Lors du calcul de la fonction de transfert (équation 4.5) du MDAC montré sur la figure 4.4, l'amplificateur était supposé idéal, et la courbe de la fonction de transfert $V_{out,i}$ est une ligne droit de pente :

$$\frac{C_f + \sum_{j=1}^n C_{s,j}}{C_f}$$

Néanmoins, en réalité, le gain fini A_0 introduit une erreur sur la fonction de transfert réelle $V_{out,i}(v_{in,i})$. Le gain fini A_0 de l'amplificateur atténue la valeur du gain du MDAC et cause des décrochements de la tension de sortie $V_{out,i}$ au niveau des seuils des comparateurs avec le même facteur ou erreur $\mathcal{E}A_{0,i}$, qui est obtenu en soustrayant (4.5) de (4.12),

$$\mathcal{E}A_{0,i} = \frac{1}{1 + A_{0,i} \times f} \quad (4.14)$$

En supposant que $A_0 \gg 1$, on obtient alors :

$$\mathcal{E}A_0 \approx \frac{1}{A_0 \times f} \quad (4.15)$$

L'erreur $\mathcal{E}A_{0,i} \approx \frac{1}{A_{0,i} \times f}$ correspond à l'erreur causée par le gain fini A_0 sur la sortie de l' $i^{\text{ème}}$ étage pipeline.

En négligeant les erreurs d'appariement entre les capacités et la capacité parasite en entrée de l'amplificateur ($C_{par} \approx 0$), on a:

$$\sum_{j=1}^n C_{s,j} \approx (2^{B_i} - 1) \times C_f \quad (4.16)$$

Alors, le facteur de contre-réaction f peut s'écrire sous la forme suivante :

$$f = \frac{1}{2^{B_i}} \quad (4.17)$$

D'où l'erreur sur l' $i^{\text{ème}}$ étage devient :

$$\mathcal{E}A_{0,i} \approx \frac{2^{B_i}}{A_{0,i}} \quad (4.18)$$

L'impact total des erreurs corrélées de tous les étages pipeline d'un CAN ramenées à son entrée doit être inférieure à $\frac{1}{2}LSB$ (i.e. la moitié de l'amplitude du pas de quantification).

Pour un CAN pipeline de résolution N bits et à k-1 étages pipeline, l'erreur totale ε_{totA0} est la suivante:

$$\varepsilon_{totA0} = \frac{\varepsilon A_{0,1}}{2^{B_1}} + \frac{\varepsilon A_{0,2}}{2^{B_1} \times 2^{B_2}} + \frac{\varepsilon A_{0,3}}{2^{B_1} \times 2^{B_2} \times 2^{B_3}} + \dots + \frac{\varepsilon A_{0,k-1}}{2^{B_1} \times 2^{B_2} \times \dots \times 2^{B_{k-1}}}$$

$$\varepsilon_{totA0} = \sum_{i=1}^{k-1} \frac{\varepsilon A_{0,i}}{\prod_{j=1}^i 2^{B_j}} \quad (4.19)$$

En remplaçant (4.18) dans (4.19), on obtient:

$$\varepsilon_{totA0} = \sum_{i=1}^{k-1} \frac{2^{B_i}}{A_{0,i} \times \prod_{j=1}^i 2^{B_j}} \quad (4.20)$$

$A_{0,i}$ est le gain en boucle ouverte de l'AOP de l' $i^{ème}$ étage pipeline. Afin de ne pas introduire d'erreur de non linéarité, l'erreur maximale due au gain en boucle ouverte de l'amplificateur opérationnel doit être inférieure à l'erreur maximale de quantification, qui est égale à $\frac{1}{2} \times \frac{V_{ref}}{2^N}$ pour un CAN de résolution N bits, V_{ref} étant la dynamique du signal d'entrée. Donc,

$$\sum_{i=1}^{k-1} \frac{2^{B_i}}{A_{0,i} \times \prod_{j=1}^i 2^{B_j}} \times V_{ref} < 1/2 \times \frac{V_{ref}}{2^N} \quad (4.21)$$

$$\sum_{i=1}^{k-1} \frac{2^{B_i}}{A_{0,i} \times \prod_{j=1}^i 2^{B_j}} < \frac{1}{2^{N+1}} \quad (4.22)$$

Pour son cas général, cette inégalité (4.22) est solvable itérativement.

Si on suppose que les étages ont tous une même résolution effective ($B_i=B$) et le même gain en boucle ouverte de l'amplificateur ($A_{0,i}=A_0$), alors, le premier membre de l'inégalité

(4.22) représentera la somme des premiers termes d'une suite géométrique de raison $(1/2^B)$ et du premier terme égal à $1/A_0$. L'inégalité (4.22) devient alors :

$$\frac{1}{A_0} \times \frac{1 - \left(\frac{1}{2^B}\right)^m}{1 - \left(\frac{1}{2^B}\right)} < \frac{1}{2^{N+1}} \quad (4.23)$$

où, $m = k - 1$ est le nombre de termes de la somme qui est égal au nombre d'étage pipeline $(k-1)$.

$$\frac{1}{A_0} \times \frac{2^{mB} - 1}{2^B - 1} \times \frac{2^B}{2^{mB}} < \frac{1}{2^{N+1}} \quad (4.24)$$

Cette inégalité peut se simplifier comme suit :

$$\frac{1}{A_0} \times \frac{2^B}{2^B - 1} < \frac{1}{2^{N+1}} \quad (4.25)$$

D'où :

$$A_0 > \frac{2^{N+1+B}}{2^B - 1} \quad (4.26)$$

Ce résultat montre que si B est élevé, c'est-à-dire, lorsque le gain des étages pipeline augmente, alors, A_0 tend vers la valeur 2^{N+1} . Cette même valeur de A_0 correspond au cas où l'on néglige l'impact de l'erreur de gain (A_0) des étages pipeline suivants (en aval de la chaîne pipeline des étages).

On peut, donc, conclure que le gain élevé des étages en amont d'un convertisseur pipeline allège les contraintes sur les étages en aval. Néanmoins, la contrainte sur le temps d'établissement du signal du premier étage augmente en conséquence. Un compromis est à trouver entre la résolution des étages, la vitesse de conversion et la consommation.

La valeur maximale exigée de A_0 ($A_0 > 2^{N+2}$) est celle qui correspond à la résolution minimale des étages pipeline ($B = 1$). L'avantage d'une telle résolution est d'avoir moins de contraintes sur l'établissement du signal et sur les comparateurs. Ce qui se traduit par une

minimisation de la dissipation de puissance des étages pipeline. La consommation globale du CAN dépend de sa résolution globale.

4.3.2.1.2. L'impact de l'offset de l'amplificateur

L'offset d'un amplificateur est une différence de potentiel entre ses deux entrées, lesquelles sont, idéalement, supposées être équipotentielles. Cette tension d'offset, qui est de même nature que celle des comparateurs, est due aux erreurs d'appariement entre les transistors. Elle provient de la dispersion aléatoire des tensions de seuil (V_{TH}) et du paramètre β ($\beta = C_{ox} \mu W / L$) des transistors. L'offset apparait d'une manière additive dans la fonction de transfert du signal, causant une erreur relative plus grande pour des faibles dynamiques du signal. Une large étude de modélisation des erreurs d'appariement entre les transistors en technologie MOS a été effectuée par [Laks86], [Pelg89]. La dispersion de la tension de seuil de deux transistors est donnée par :

$$\sigma^2(\Delta V_{th}) = \frac{A_{V_{th}}^2}{WL} + S_{V_{th}}^2 D^2 \quad (4.27)$$

L'erreur relative d'appariement sur le facteur de courant β est obtenue en étudiant les paramètres mutuellement indépendants W , L , μ et C_{ox} .

$$\frac{\sigma^2(\beta)}{\beta^2} = \frac{A_{\beta}^2}{WL} + S_{\beta}^2 D^2 \quad (4.28)$$

où, $A_{V_{th}}$, A_{β}^2 , $S_{V_{th}}$ et S_{β} sont des constantes de fabrication. D est la distance entre les composants. Le dernier terme des deux équations (4.27) et (4.28), qui dépend de la distance D , est négligeable devant les premiers termes.

Le paramètre $A_{V_{th}}$ diminue linéairement avec la diminution de la longueur minimale du canal, donc, les progrès technologiques augmentent l'appariement en termes de tension de seuil (V_{TH}). Cependant, l'appariement β reste peu sensible à la technologie, et devient le facteur dominant des erreurs d'appariement [Stey00].

Dans le circuit MDAC à capacités commutées (Cf. figure 4.8), la tension d'offset V_{offset} agit comme une source de tension en série avec l'entrée inverseuse de l'amplificateur.

Sur ce schéma, et pendant la phase d'échantillonnage, les armatures supérieures des capacités $C_{s,j}$ et C_f sont connectées à la masse virtuelle, donc aucun signal n'y est mémorisé. Pendant la phase de Hold, V_{offset} apparaît sur les capacités $C_{s,j}$ et C_f . l'impact de V_{offset} en sortie du MDAC se traduit par une erreur, qui en respectant la conservation de charge, s'exprime par :

$$\Delta V_{out,i}(V_{offset}) = \frac{C_f + \sum_{j=1}^n C_{s,j}}{C_f} \times V_{offset} \quad (4.29)$$

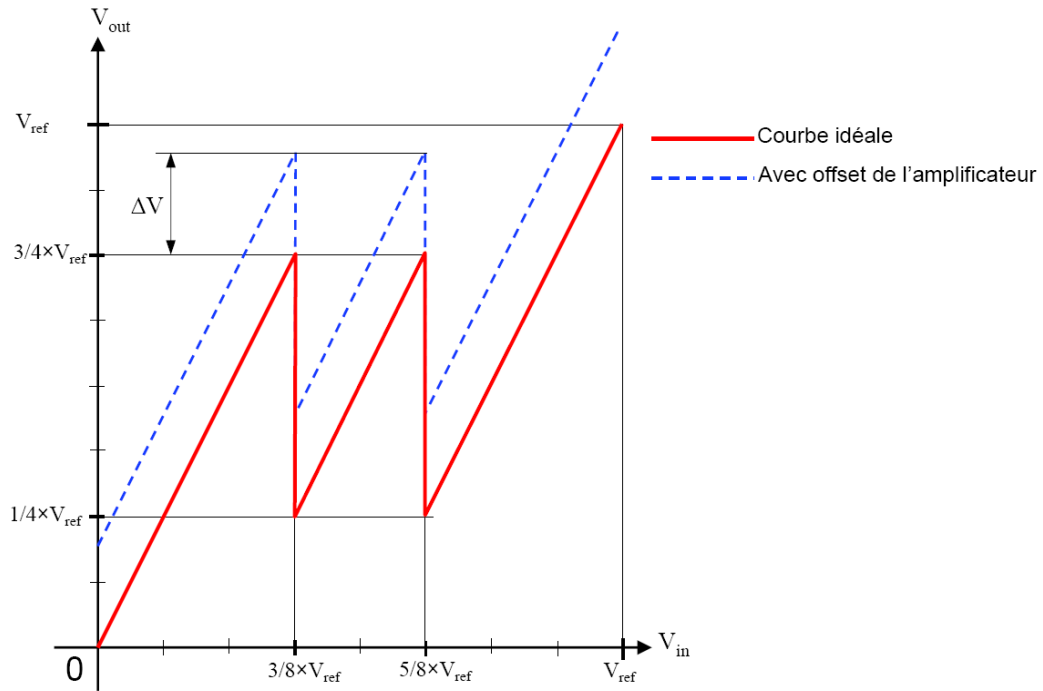


Figure 4.9 : L'impact de l'offset de l'amplificateur sur la sortie d'un étage pipeline à 1,5 bit

L'offset de l'amplificateur opérationnel introduit une erreur indépendante du signal d'entrée, donc constante, en sortie du MDAC. Cette erreur se traduit par une translation de tous les points de la fonction de transfert $V_{out,i}$ avec la même valeur constante, qui est $\Delta V_{out,i}(V_{offset})$. La figure 4.9 met en évidence l'impact qu'un offset produit sur la sortie d'un étage pipeline de 1,5 bit de résolution. Le déplacement vers le haut ou vers le bas du signal en sortie du MDAC, selon le signe de l'offset, peut causer un dépassement de la valeur maximale de la dynamique, et par conséquent, saturer les étages suivants. Tout dépassement de la dynamique cause une perte d'information sur le signal et se traduit par différentes erreurs (e.g. distorsion, codes manquants sur la sortie numérique du CAN global...). L'offset est plus

critique dans le cas des applications à faibles signaux d'entrée. Invariant dans le temps, l'offset est fondamentalement différent du bruit thermique.

Remarque :

L'architecture du MDAC en figure 4.8 peut être insensible à l'offset de l'amplificateur si on supprime le switch connectant les capacités $C_{s,j}$ et C_f vers la masse pendant la phase d'échantillonnage. Dans ce cas, l'offset sera mémorisé durant les deux phases du fonctionnement. Par conséquent, il sera annulé de fait. Cependant, le fait de supprimer ce switch empêche de court-circuiter la capacité parasite en entrée de l'amplificateur et de minimiser l'injection de charge par la méthode dite « Bottom-plate » qui n'est pas possible sans cet indispensable switch. Ces deux inconvénients compromettraient le bénéfice de supprimer l'effet de l'offset de l'amplificateur. C'est pourquoi, on maintient souvent ce switch, mais on introduit des techniques pour réduire, corriger ou calibrer l'offset. Ces techniques peuvent être analogiques, numériques ou mixtes.

4.3.2.2. L'établissement incomplet du signal en sortie du MDAC

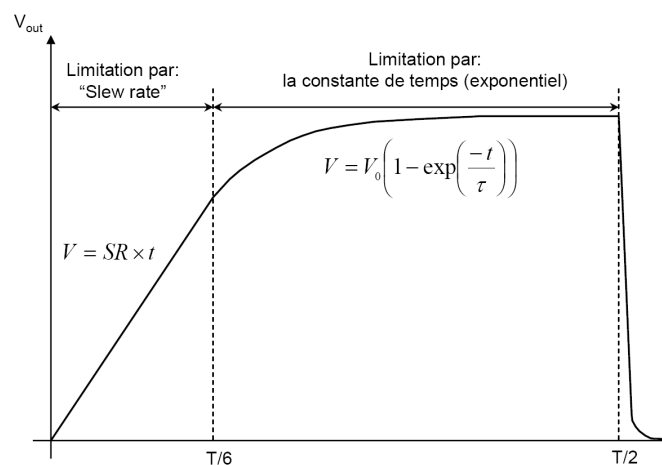


Figure 4.10 : Établissement du signal en sortie de l'étage d'un circuit à capacités commutées (e.g. MDAC).

Les erreurs introduites par l'établissement incomplet du signal de sortie d'un circuit d'échantillonneur-bloqueur-amplificateur (SHA) en général et du MDAC en particulier sont très critiques du fait que le taux de conversion de tout le convertisseur est limité par ces erreurs. Pour atteindre la valeur de précision requise, le signal de sortie de l'étage pipeline (MDAC) nécessite un certain temps fini. A défaut, des erreurs de précision sont commises sur le signal de sortie du MDAC et dégradent les performances dynamiques du convertisseur.

Cette source d'erreurs est due à la vitesse de balayage ou « slew rate » (SR) et au produit gain bande passante (GBW) de l'amplificateur opérationnel utilisé dans l'étage pipeline.

L'établissement du signal de sortie se fait en deux étapes [Bail85] comme le montre la figure 4.10. Le temps d'établissement concerne la phase de maintien durant laquelle, l'amplificateur opérationnel commence, d'abord, par une étape dite de balayage « slewing » afin de fournir son courant maximal I_{max} . Dans cette étape, la tension de sortie dépend linéairement du SR (Cf. figure 4.10). Ensuite, l'amplificateur entre dans une deuxième étape (toujours dans la phase de maintien) où l'établissement du signal prend une forme exponentielle, dont la rapidité dépend de la constante de temps (τ) du circuit selon la figure 4.10. Il est suggéré, par la règle commune, de réserver un tiers du temps d'établissement (i.e. $1/3 \times T/2$) pour la partie de « slewing », où T est la période de l'horloge d'échantillonnage. Le signal de sortie ne peut pas aller plus vite que le SR, qui est donné par :

$$SR = \frac{I_{max}}{C_{Ch,tot}} \quad (4.30)$$

où, $C_{Ch,tot}$ est la capacité de charge totale, incluant la capacité parasite de sortie de l'amplificateur. Durant l'étape exponentielle, l'erreur due à l'établissement incomplet du signal de sortie dépend du signal d'entrée [Lee86]. Cette dépendance génère des distorsions qui sont difficiles à corriger [Sum01].

4.3.2.3. Appariement (matching) des capacités du MDAC

Les erreurs d'appariement des capacités d'un circuit MDAC constituent une source majeure d'erreurs statiques pour tout le convertisseur. Cette source d'erreurs est abondamment relatée dans la littérature [Hata86], [Liu09]. Le but de cette étude, ici, est de comprendre comment les erreurs de précision sur les valeurs des capacités affectent la précision du MDAC et du CAN pipeline en général. Les capacités du MDAC peuvent être modélisées comme une somme de parties idéales ($C'_{s,j}$ et C'_f) et d'incertitudes $\Delta C_{s,j}$ et ΔC_f respectivement :

$$C_{s,j} = C'_{s,j} + \Delta C_{s,j} \quad (4.31)$$

$$C_f = C'_f + \Delta C_f \quad (4.32)$$

En prenant en considération ces erreurs, la fonction de transfert du MDAC en équation (4.5) devient :

$$V_{out,i} = \frac{C'_f + \Delta C_f + \sum_{j=1}^n (C'_{s,j} + \Delta C_{s,j})}{C'_f + \Delta C_f} \times V_{in,i} - \frac{\sum_{j=1}^n (C'_{s,j} + \Delta C_{s,j})}{C'_f + \Delta C_f} \times \beta \times V_{ref} \quad (4.33)$$

Or, $C'_f = C'_{s,j} = C$. Donc,

$$V_{out,i} = 1 + \frac{\sum_{j=1}^n (C + \Delta C_{s,j})}{C + \Delta C_f} \times V_{in,i} - \frac{\sum_{j=1}^n (C + \Delta C_{s,j})}{C + \Delta C_f} \times \beta \times V_{ref} \quad (4.34)$$

$$V_{out,i} = 1 + \frac{\sum_{j=1}^n \left(1 + \frac{\Delta C_{s,j}}{C}\right)}{1 + \frac{\Delta C_f}{C}} \times V_{in,i} - \frac{\sum_{j=1}^n \left(1 + \frac{\Delta C_{s,j}}{C}\right)}{1 + \frac{\Delta C_f}{C}} \times \beta \times V_{ref} \quad (4.35)$$

$$V_{out,i} = \left(1 + \frac{n + \sum_{j=1}^n \left(\frac{\Delta C_{s,j}}{C}\right)}{1 + \frac{\Delta C_f}{C}}\right) \times V_{in,i} - \frac{n + \sum_{j=1}^n \left(\frac{\Delta C_{s,j}}{C}\right)}{1 + \frac{\Delta C_f}{C}} \times \beta \times V_{ref} \quad (4.36)$$

La fonction de transfert dans un cas idéal (sans aucune source d'erreurs) est la suivante :

$$V_{out,i} = (1 + n) \times V_{in,i} - n \times \beta \times V_{ref} \quad (4.37)$$

où n est le nombre de capacités unitaires d'échantillonnage ($C_{s,j}$).

L'erreur ε_{gain} sur le gain du MDAC due l'appariement des capacités peut être obtenue en soustrayant (4.37) de (4.36).

$$\varepsilon_{gain} = \left(1 + \frac{n + \sum_{j=1}^n \left(\frac{\Delta C_{s,j}}{C}\right)}{1 + \frac{\Delta C_f}{C}}\right) - (1 + n) \quad (4.38)$$

$$\varepsilon_{gain} = \frac{\sum_{j=1}^n \left(\frac{\Delta C_{s,j}}{C} \right) - \frac{\Delta C_f}{C}}{1 + \frac{\Delta C_f}{C}} \quad (4.39)$$

La fonction de transfert de l' $i^{\text{ème}}$ étage pipeline peut, alors, s'écrire comme suit :

$$V_{out,i} = G_0 \times (1 + \varepsilon_{gain}) \times V_{in,i} - (G_0 - 1)(1 + \varepsilon_{gain}) \times \beta \times V_{ref} \quad (4.40)$$

où, G_0 est le gain idéal, qui est égal à 2^{Bi} , et ε_{gain} est l'erreur commise sur le gain de l'étage pour cause de non appariement entre les capacités. Cette erreur est par conséquent source de non-linéarités statiques du convertisseur. De l'équation (4.40), le non appariement entre les capacités cause une modification de la pente du signal de sortie du MDAC (erreur sur le gain) et des décrochements au niveau des valeurs des tensions de référence.

Pour le cas particulier d'un étage à 1,5 bit, on n'utilise que deux capacités : C_s et C_f . L'erreur sur le gain est :

$$\varepsilon_{gain} = \frac{\frac{\Delta C_s}{C} - \frac{\Delta C_f}{C}}{1 + \frac{\Delta C_f}{C}} \quad (4.41)$$

L'équation (4.41) montre que l'erreur absolue sur les capacités (C_s et C_f) n'est pas critique pour la précision du gain du MDAC. Mais, c'est la différence entre les deux capacités C_s et C_f qui nuit à la précision du gain. Si $\Delta C_s = \Delta C_f$, alors l'erreur sur le gain est nulle ($\varepsilon_{gain} = 0$).

4.3.2.4. Linéarité des capacités du MDAC

Si les capacités d'échantillonnage et de contre-réaction C_s et C_f sont implémentées avec des diffusions de couches (capacités MOS), la valeur de la capacité sera, alors, une fonction de la tension du signal qui leur est appliquée. A cet effet, la fonction de transfert du MDAC n'est plus linéaire du moment que le gain (rapport des capacités) dépend du niveau du signal à amplifier. Cette distorsion dégrade la linéarité du CAN pipeline dans sa globalité [Yu96].

Typiquement, cette source d'erreur est négligeable pour des capacités métal-métal et poly-poly. Dans les circuits que nous avons étudiés, les capacités du MDAC sont en poly-poly. Ce type de capacité est encombrant, mais il est le seul type de capacités fiables disponible dans la technologie d'AMS 0,35 μm standard. Technologie que nous avons utilisée et qui est imposée par les performances des capteurs MAPS.

4.3.2.5. Les erreurs sur les tensions de référence du MDAC

Les signaux de références sont les signaux que l'on soustrait du signal d'entrée de chaque étage pipeline pour générer la tension du résidu. Ces tensions de référence sont généralement contrôlées par un réseau de résistance ou une matrice de capacités intégrées avec le circuit. Mais, on peut également ramener depuis l'extérieur du circuit ces tensions que l'on génère avec des CNA de hautes résolutions (14 ou 16 bits) ou même avec un réseau de résistances. Dans notre travail, les tensions de références comme les tensions de seuil des comparateurs sont générées à l'extérieur du circuit à l'aide des CNA 14 bits ou aussi à l'aide de circuits de référence de tension. Des espacements non uniformes entre ces signaux, causés par des erreurs d'appariement des résistances ou des capacités, contribuent fortement aux non linéarités des convertisseurs pipeline.

Une architecture, appelée réseau de résistances, consiste en une série de résistances connectées entre deux tensions bien connues, qui sont la masse virtuelle et un niveau de tension V_{ref} (la pleine échelle du signal). Pour avoir tous les niveaux de références ($2^{k+1} - 1$ tensions de référence), il suffit de diviser l'intervalle $[0, V_{\text{ref}}]$ en $(2^{k+1} - 2)$ sous divisions identiques à l'aide du même nombre de résistances identiques (voir figure 4.11).

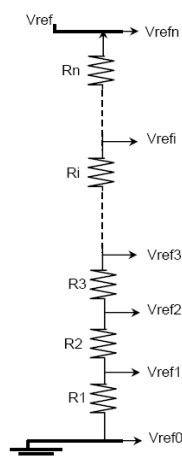


Figure 4.11 : Génération des tensions de références par réseau de résistances.

Dans cette architecture, la tension de référence V_{ref0} est identique à la masse virtuelle. A partir de V_{ref1} chaque niveau de tension de référence V_{refi} est donné par la relation suivante :

$$V_{refi} = \frac{\sum_{j=1}^i R_j}{R} \times V_{ref} \quad (4.42)$$

$$R = \sum_{j=1}^n R_j \quad (4.43)$$

où, R est la résistance totale du réseau de résistances mises en série et R_i est la résistance l' $i^{\text{ème}}$ élément du réseau. Idéalement, toutes les résistances devraient être identiques, et par la même occasion, toutes les valeurs V_{refi} soient précises. Mais, dû aux dispersions des paramètres de la technologie de fabrication, la forme et les dimensions de ces résistances varient d'une résistance à l'autre. La dépendance en tension des résistances contribue aussi aux erreurs des tensions de référence, en utilisant cette méthode de génération de références. La technique d'ajustement (i.e. trimming) par Laser est souvent utilisée pour corriger les erreurs d'appariement entre les résistances [Huan90].

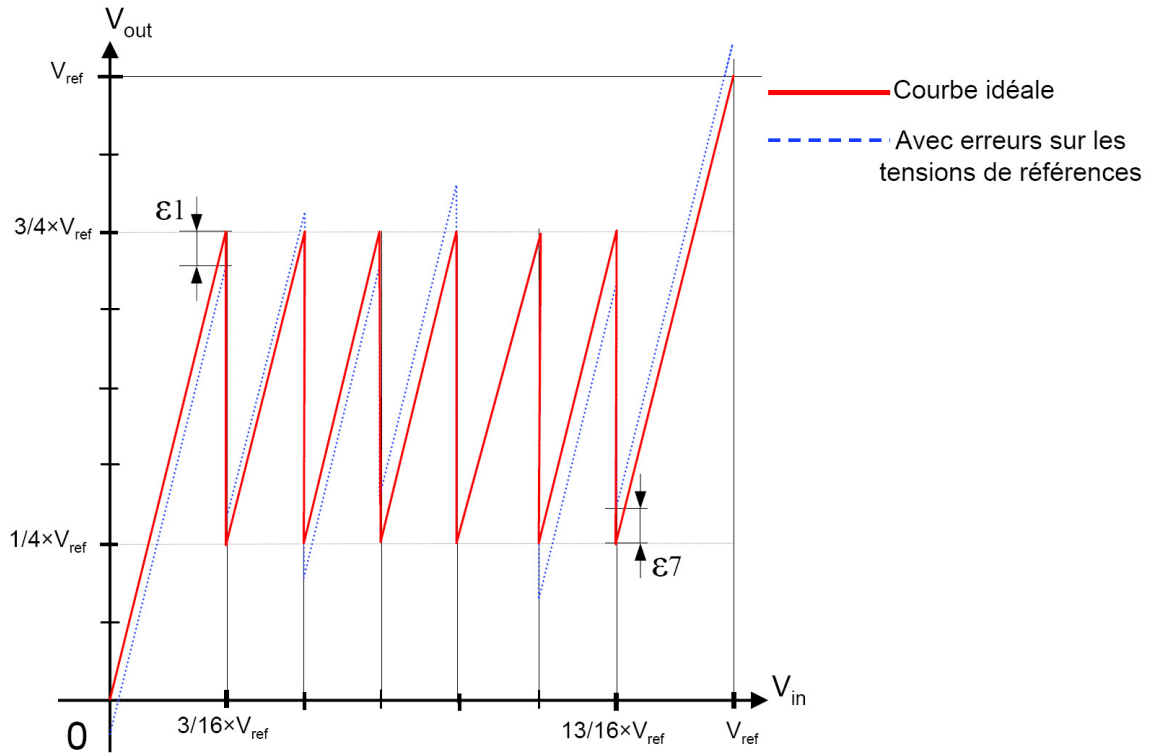


Figure 4.12 : Effet des erreurs de tensions de référence du CNA sur l'étage pipeline 2,5 bit.

Si on considère la fonction de transfert de l'équation (4.5) d'un étage pipeline et qu'on suppose que la dérive des valeurs des tensions de référence est la seule source d'erreur agissante, alors, l'effet de cette erreur se traduit par un décalage de la courbe de transfert du MDAC avec une valeur ε_i , selon la référence sélectionnée V_{refi} sur le réseau de résistances. Cet effet est montré sur la figure 4.12 et quantifié par la formule suivante :

$$\varepsilon_i = (2^{Bi} - 1) \times \Delta V_{refi} \quad (4.44)$$

Remarque :

L'erreur ε_i est indépendante du signal d'entrée si on considère que les résistances ne sont pas fonction de la tension qui leur est appliquée. Donc, ε_i se présente comme un offset pour tous les étages pipeline. Cette erreur est cumulative donc elle peut engendrer des tensions de décalage pouvant dépasser la dynamique du CAN vers les derniers étages du pipeline. Ceci cause une perte d'information sur le signal. Dans ce cas, aucun moyen ne serait possible pour corriger cette erreur.

Généralement V_{ref0} (la masse virtuelle) et V_{refn} ($V_{refn} = V_{ref}$) sont facilement réglables, donc les erreurs dues aux tensions de référence sur les valeurs extrêmes de la dynamique (0 et V_{ref}) sont peu probables.

Une autre technique de génération des niveaux de tensions de référence du CNA de chaque étage pipeline utilise la technique des capacités commutées. A l'aide d'une seule matrice de capacités, que l'on commute adéquatement entre la tension d'entrée, la tension de référence (V_{ref}) et la masse, le circuit réalise les fonctions d'échantillonnage-blocage, génération et soustraction des tensions de référence. Ce concept est largement utilisé pour éviter de ramener de l'extérieur du circuit les tensions de référence du CNA.

Nous ne détaillons pas ce concept ici car nous ne l'avons pas utilisé dans ce travail. Cependant, il est abondamment relaté dans la littérature [Clin96].

4.3.2.6. Les commutateurs analogiques (switchs) en CMOS

Dans la quasi-totalité des circuits réalisant la fonction d'échantillonnage-blocage à capacités commutées, des switchs MOS sont utilisés pour déterminer les temps d'échantillonnage et de transfert de charges (i.e. phases d'échantillonnage et de maintien). A l'inverse des autres technologies tel que le bipolaire, la technologie CMOS offre la possibilité

d'implémenter des switchs aussi simples que performants. Le concept de base d'un E/B a déjà été illustré sur la figure 2.1 et explicité dans le chapitre 2. Un switch ou interrupteur (ou encore commutateur) analogique en technologie MOS est, conceptuellement, un transistor MOS fonctionnant dans la région linéaire. Son circuit équivalent est, donc, une résistance contrôlée par la tension de grille du transistor. Quand le switch est fermé (ON), sa résistance est de l'ordre de quelques ohms à quelques kilo-ohms. Mais quand il est ouvert (OFF), sa résistance est tellement grande que le transistor se présente, en pratique, comme un circuit ouvert.

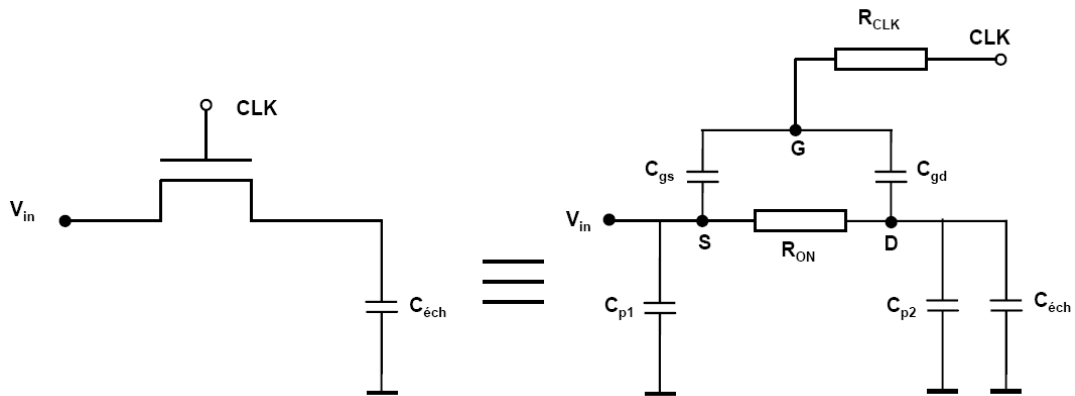


Figure 4.13 : Circuit d'échantillonnage MOS (à gauche) et son circuit RC équivalent en mode ON (à droite)

Les switchs constituent une source de plusieurs erreurs et de bruit dans les circuits à capacités commutées en général et dans le MDAC en particulier. Ces erreurs et bruits sont : la bande passante limitée due à la résistance non-nulle et non-linéaire du transistor, la « clock feed through », l'injection de charges du canal du transistor MOS et le bruit en kT/C (bruit thermique). Une grande contribution à ces erreurs provient des composantes parasites associées au switch (transistor) et qui sont mises en évidence par la figure 4.13. À gauche de cette illustration, est représenté un circuit d'échantillonnage MOS et à droite son circuit RC équivalent incluant les composantes parasites.

Les capacités C_{p1} et C_{p2} sont dues aux capacités de jonction de source et drain et à la capacité canal-substrat. C_{gs} et C_{gd} sont les capacités grille-source et grille-drain, respectivement. La capacité grille-canal est supposée être incluse dans les capacités C_{gs} et C_{gd} . R_{CLK} représente l'impédance de sortie du générateur d'horloge. Une étude très exhaustive des erreurs liées aux switchs MOS a été opérée dans les travaux cités en références [Walt02], [Keys94], [Clth96], [Raza02]. Dans cette section, nous énumérons ces erreurs ainsi que les

techniques utilisées pour les corriger ou les minimiser. Cette étude est importante pour compléter la compréhension des contraintes sur la conception des blocs d'un CAN pipeline lorsque le cahier des charges est particulièrement contraignant (Cf. Chapitre 1).

4.3.2.6.1. La non-linéarité de la résistance du switch

Idéalement, la résistance (R_{on}) d'un switch, quand il est en mode de conduction (ON), est nulle, constante et indépendante du signal d'entrée V_{in} . Or, en réalité, R_{on} d'un switch MOS est non nulle et sa valeur dépend du signal appliqué à son entrée. Une résistance R_{on} élevée peut non seulement réduire la vitesse du circuit, mais elle rend aussi le système de contre-réaction faiblement amorti voire même instable si cette résistance est dans la boucle de contre réaction comme le cas du type du MDAC que nous avons illustré en figure 4.8. Pour éviter ce type de situations, de larges switches (R_{on} faible) sont requis, mais en contre partie, des capacités parasites de jonction de source et du drain augmentent. Ceci limite la bande passante du circuit. Donc, un compromis s'impose entre la capacité parasite et la résistance du switch pour optimiser la constante de temps. La résistance d'un transistor NMOS est donnée par la formule suivante :

$$R_{on} = \frac{1}{\mu C_{ox} \left(\frac{W}{L} \right) (V_{gs} - V_T)} \quad (4.45)$$

où, μ est la mobilité des électrons, W et L sont la largeur et la longueur du transistor MOS respectivement, C_{ox} est la capacité d'oxyde de grille et V_T est la tension de seuil du transistor. La figure 4.14 montre les résistances des transistors NMOS, PMOS et CMOS en fonction de la tension V_{in} .

La non-linéarité de la résistance des switches est l'une des sources de distorsion dans le convertisseur. Par conséquent, elle limite la dynamique d'entrée. Pour parcourir de grandes dynamiques du signal, les switches en MOS complémentaire (CMOS) sont utilisés. Un switch CMOS est une mise en parallèle de deux transistors, NMOS et PMOS. Sa résistance, montrée en trait discontinu sur la figure 4.14, présente une meilleure linéarité.

De cette étude ressort qu'une très bonne linéarité du switch MOS est possible si l'on maintient la tension de grille-source (V_{gs}) constante (c'est-à-dire indépendante du signal

d'entrée V_{in}) grâce à la technique connue sous le nom de bootstrapping, qui est illustrée sur la figure 4.15 pour un transistor NMOS [Walt02], [Dess99], [Abo99], [Kesk05].

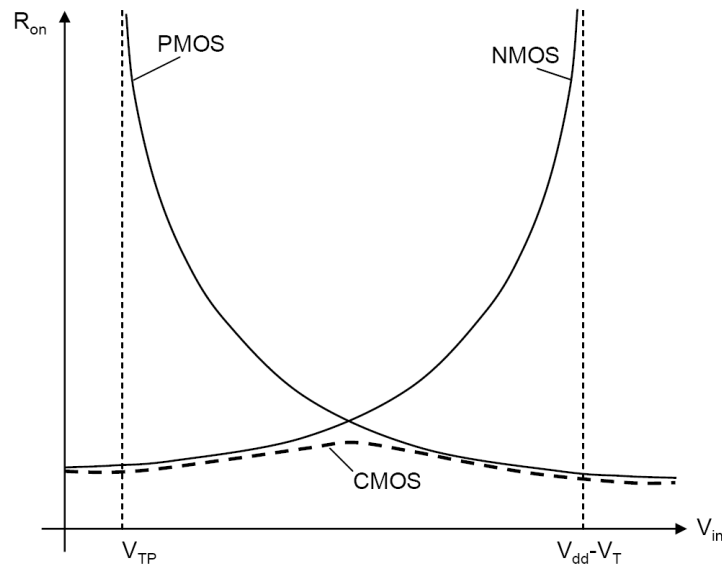


Figure 4.14 : La résistance R_{on} des différents switches MOS.

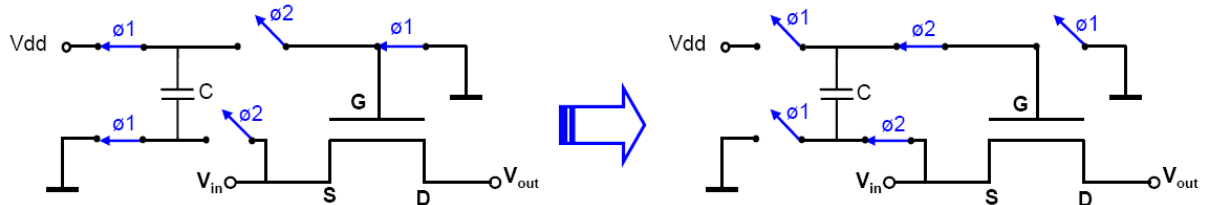


Figure 4.15 : Principe d'opération d'un switch bootstrapping

Le switch fonctionne sur deux phases d'horloges non-recouvrantes ($\Phi 1$ et $\Phi 2$) comme l'illustre la figure 4.15. Durant la phase $\Phi 1$ (position du switch OFF), la grille du switch est connectée à la masse et la capacité C est chargée à V_{dd} (tension d'alimentation). Durant la phase $\Phi 2$ (switch en position ON), la grille du switch est déconnectée de la masse et la capacité C est connectée entre la source et la grille du transistor. Ceci implique que la tension grille-substrat peut atteindre, dans le pire des cas, la valeur de $2 \times V_{dd}$. La tension V_{gs} reste constante et égale à V_{dd} quelque soit l'amplitude du signal d'entrée V_{in} . Nous n'avons pas intégré de switches bootstrapping dans notre application pour deux raisons majeures : la contrainte sur la surface et la faible dynamique du signal d'entrée. Nous n'étalerons pas, ici, la description de ce type de switch. Cependant, une étude détaillée sur la fiabilité et les

contraintes additionnelles des switchs bootstrapping sont reportées dans les références [Tsiv99], [Hu96], [Stns99].

4.3.2.6.2. Phénomène d'injection de charges et de Clock feed-through

Considérons le circuit d'échantillonnage élémentaire de la figure 4.16. Pendant la phase d'échantillonnage (switch fermé), il y a obligatoirement création d'un canal au niveau de l'interface grille-substrat du transistor MOS. A la fin de la charge de la capacité $C_{éch}$, la tension source-drain est quasiment nulle ($V_{ds} \approx 0$) et une quantité de charge Q_{canal} est accumulée dans le canal du transistor.

$$Q_{canal} = -WLC_{ox}(V_{gs} - V_T) \quad (4.46)$$

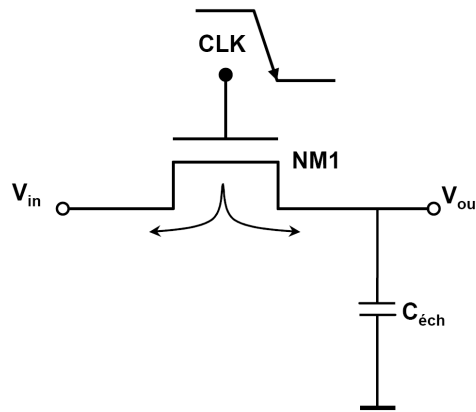


Figure 4.16 : Injection de charge du canal d'un transistor NMOS

Lorsque le switch est ouvert en ramenant la tension V_{gs} à moins de V_T rapidement, les charges accumulées dans le canal se réinjectent dans le circuit via le drain et la source du transistor MOS. Ce phénomène est appelé *injection de charge du canal*. La charge injectée dans le côté gauche du circuit (figure 4.16) n'introduit pas d'erreur. Par contraste, celle injectée sur le côté droit vient s'ajouter aux charges du signal utile, introduisant, par conséquent, une erreur ΔV sur la tension de sortie V_{out} .

$$\Delta V = \frac{-WLC_{ox}(V_{gs} - V_T)}{2C_{éch}} \quad (4.47)$$

Ici, nous admettons qu'exactement la même quantité de charge (moitié de Q_{canal}) est injectée de part et d'autre du transistor. En réalité, la quantité de charge injectée dépend de l'impédance par rapport à la masse vue par la source et le drain et du temps de transition de

l'état haut-bas de l'horloge. Généralement, le temps de transition de l'horloge est peu contrôlé et bref devant le temps moyen de recombinaison des charges dans le substrat, ce qui fait que la totalité des charges du canal sont réinjectées.

Vu que Q_{canal} dépend de l'amplitude du signal d'entrée V_{in} à travers V_{gs} ¹⁵, la charge injectée dans la capacité d'échantillonnage $C_{\text{éch}}$ génère une distorsion et limite ainsi la dynamique totale du convertisseur. Pour remédier à ce problème de linéarité, une technique connue sous le nom de *bottom-plate sampling* (armature inférieure de la capacité d'échantillonnage) est utilisée. Cette technique rend constante la quantité de charges injectées.

En plus de l'injection de charge du canal, un switch MOS couple le signal d'horloge V_{CLK} à la capacité d'échantillonnage à travers les capacités parasites de recouvrement (C_{ov}) grille-source ou grille-drain. Lors du basculement rapide de l'horloge, les charges accumulées dans les capacités de recouvrement sont, elles aussi, injectées dans le circuit. L'erreur produite sur le signal de la capacité $C_{\text{éch}}$ est donnée par la formule suivante :

$$\Delta V = -V_{\text{CLK}} \times \frac{C_{\text{ov}}}{C_{\text{ov}} + C_{\text{éch}}} \quad (4.48)$$

L'erreur ΔV est indépendante du niveau du signal d'entrée V_{in} . Elle se traduit par un offset constant qui s'ajoute sur le signal échantillonné. Tout comme le cas de l'injection de charge du canal, la clock feed-through impose également un compromis entre la précision et la rapidité du système. Différentes techniques sont possibles pour annuler ou minimiser ces deux erreurs d'injection de charges.

4.3.2.6.3. Compensation des charges injectées et de la clock feed through

Dans la section précédente, nous avons mis en évidence l'erreur due aux injections de charge et à la clock feed through. On a aussi constaté la dépendance de cette erreur du niveau du signal d'entrée dans le cas d'injection de charge du canal. Ici, nous décrivons les méthodes correction de ces erreurs.

¹⁵ $V_{\text{gs}} = V_{\text{CLK}} - V_{\text{in}}$. Où, V_{CLK} est l'amplitude du signal d'horloge CLK et V_{in} est le signal d'entrée

a. Méthode de bottom-plate sampling

Le but de cette méthode est d'éliminer au premier ordre l'erreur de distorsion du circuit d'échantillonnage classique montré sur la figure 4.16. Ceci est possible en connectant l'armature inférieure de la capacité d'échantillonnage (d'où le nom de cette technique) à la masse via un deuxième switch NM2¹⁶, qui doit s'ouvrir légèrement (quelques ns) avant le switch NM1. Le principe de cette méthode est illustré sur la figure 4.17.

Quand on ouvre le switch NM2, la tension aux bornes de la capacité $C_{éch}$ est perturbée par l'effet de l'injection de charge et de clock feed through. Cependant, dans ce cas, la quantité de charges injectées est indépendante de l'amplitude du signal à échantillonner, car le drain et la source du NM2 voient toujours le même potentiel qui est la masse. En vertu du principe de conservation de charge, la charge injectée par NM1 n'altère pas la charge mémorisée sur la capacité $C_{éch}$. Une architecture différentielle permettrait d'annuler l'offset constant qui est dû à la charge injectée. Néanmoins, une telle architecture n'a pas été intégrée dans nos travaux par défaut de surface et de consommation du convertisseur. C'est pourquoi, il faut annuler cette erreur résiduelle en utilisant des transistors « fantômes » ou dummy.

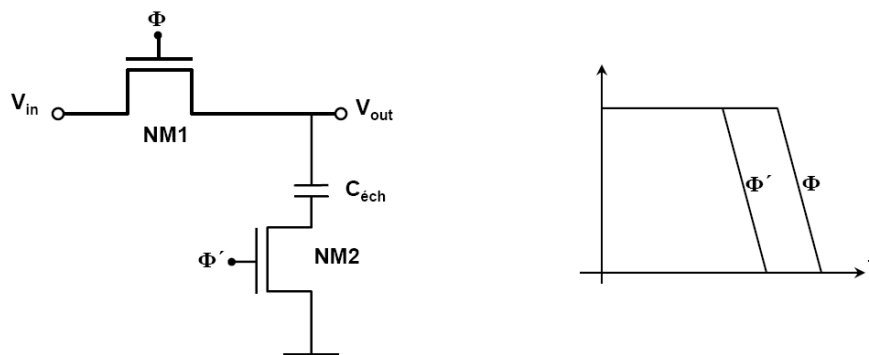


Figure 4.17 : Circuit d'échantillonnage utilisant la technique de bottom-plate sampling

b. Méthode de transistor fantôme « dummy »

La charge injectée par un transistor principal peut être compensée par le moyen d'un second transistor appelé dummy. Ce dernier est un transistor, dont le drain et la source sont court-circuités, qui est ajouté au circuit comme l'illustre la figure 4.18. Il est commandé par l'horloge complémentaire $\overline{CLK}$ de telle sorte qu'il se ferme quand on ouvre le transistor principal NM1.

¹⁶ On considère des switches NMOS, le fonctionnement du PMOS est complémentaire.

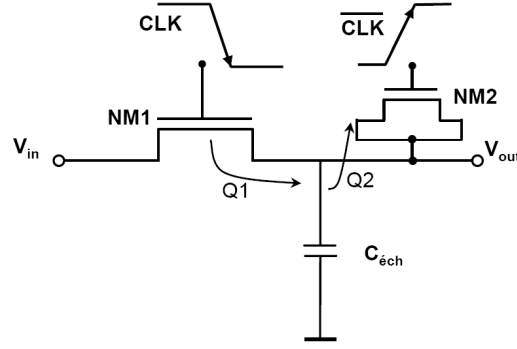


Figure 4.18 : Ajout d'un dummy pour absorber la charge injectée par le switch.

Le principe de cette technique suppose que la quantité de charge $Q1$ injectée par NM1 est égale à la quantité de charges $Q2$ absorbée par le dummy (NM2). Autrement dit, les deux transistors injectent la même quantité de charges mais opposées en signe. Les équations (4.49) et (4.50) quantifient ces deux quantités de charges.

$$Q1 = \frac{-W_1 L_1 C_{ox} (V_{gs} - V_{T1})}{2} \quad (4.49)$$

$$Q2 = W_2 L_2 C_{ox} (V_{gs} - V_{T2}) \quad (4.50)$$

Les charges injectées s'annulent, entre elles, en utilisant un transistor dummy au $W_2=0,5 \times W_1$ et $L_2=L_1$. Cette méthode est théoriquement efficace, car, on suppose qu'exactement la moitié des charges du canal soit injectée. Réellement, les charges du canal du NM1 ne sont pas équitablement réinjectées dans sa source et son drain.

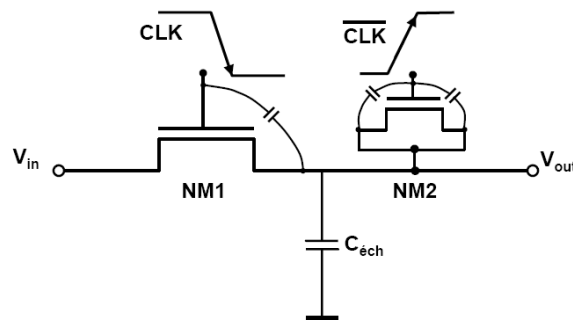


Figure 4.19 : Compensation de l'effet clock feed-through par un dummy

De la même façon que la compensation d'injection de charge du canal, l'effet de la clock feed-through est compensé par les capacités de recouvrement du dummy NM2. Le principe est illustré sur la figure 4.19.

Pour compenser l'effet de la clock-feed through, il faut que les quantités de charges injectées des deux transistors (NM1 et NM2) soient directement opposées. Donc, la somme des deux types de charges donne une charge totale injectée Q_{tot} nulle et, par conséquent, une erreur ΔV nulle. De l'équation (4.48), l'erreur ΔV sur le signal échantillonné peut s'écrire comme suit:

$$\Delta V = -V_{CLK} \times \frac{C_{ov}}{2 \times C_{ov'} + C_{ov} + C_{éch}} + V_{CLK} \times \frac{2 \times C_{ov'}}{2 \times C_{ov'} + C_{ov} + C_{éch}} = 0 \quad (4.51)$$

où, $C_{ov'}$ est la capacité de recouvrement grille source ou grille-drain du dummy. La relation (4.51) est vérifiée si $W_2=0,5 \times W_1$ et $L_2=L_1$. On conclut que le même dummy est théoriquement suffisant pour compenser les deux types d'injections de charges.

Une autre approche pour compenser ou minimiser l'injection de charges du canal et l'effet de la clock feed through est d'utiliser un switch CMOS. Lorsque les deux transistors du switch PMOS et NMOS ont les mêmes dimensions (W , L), les deux quantités de charges injectées sont directement complémentaires (électrons et trous) et s'annulent entre elles.

L'architecture différentielle (en CMOS) reste la meilleure façon de compenser les erreurs de charges injectées de clock feed through. Cependant, une telle architecture pose des contraintes supplémentaires :

- doubler la surface occupée par les capacités et les switches
- circuit de contrôle de la tension de mode commun de l'amplificateur opérationnel. Ceci exige une consommation additionnelle en surface et en puissance.

A cet effet, dans notre application, le mode non-différentiel est utilisé dans tout le circuit du convertisseur.

4.3.2.7. Le bruit thermique (bruit en kT/C)

Pour modéliser le bruit dans un circuit d'échantillonnage, il suffit de prendre l'exemple de base qui est constitué d'un switch MOS en série avec une capacité. Dans un tel

circuit, les erreurs sont répertoriées en deux catégories : erreurs déterministes et erreurs aléatoires. Le type déterministe d'erreurs correspond à celui dont la relation avec le signal est connue, comme l'injection de charge, le gain fini en boucle ouverte de l'amplificateur etc. Ce type nous l'avons déjà expliqué. Le deuxième type d'erreurs est aléatoire, où les erreurs sont imprédictibles d'un échantillon à l'autre. La source de bruit dominante dans un circuit d'échantillonnage est le bruit thermique. On a vu, plus haut, qu'un switch MOS présente toujours une résistance finie (non nulle) dans laquelle, le bruit thermique est généré par le mouvement thermique aléatoire des électrons. La densité spectrale de puissance de ce bruit est donnée par la relation :

$$\overline{v_n^2} = 4kTR \text{ [V}^2\text{/Hz]}^{17} \quad (4.52)$$

où, k est la constante de Boltzmann, T est la température absolue en Kelvin et R est la résistance. Si on ne considère que le bruit thermique de la résistance, le bruit qui s'additionne au signal échantillonné est le bruit thermique filtré par le filtre passe-bas constitué par le circuit RC ¹⁸. L'intégration sur la fréquence du produit de la densité spectrale du bruit de la résistance avec la fonction de transfert du filtre passe-bas donne la moyenne quadratique σ^2 de la tension du bruit échantillonné sur une capacité.

$$\sigma^2 = \int_0^\infty \overline{v^2} \times \frac{1}{1 + (f2\pi RC)^2} df \quad (4.53)$$

$$\sigma^2 = 4kTR \times \int_0^\infty \frac{1}{1 + (f2\pi RC)^2} df \quad (4.54)$$

$$\sigma^2 = \frac{4kTR}{(2\pi RC)^2} \times \left| 2\pi RC \times \arctan(2\pi f RC) \right|_0^\infty \quad (4.55)$$

$$\sigma^2 = \frac{kT}{C} \quad (4.56)$$

¹⁷ Dans certaines références on trouve $\overline{v_n^2} = 4kTR \times \Delta f$ pour spécifier que la puissance du bruit est par unité de fréquence.

¹⁸ RC est le circuit formé par la résistance R_{on} du switch et la capacité $C_{éch}$ d'échantillonnage.

Le bruit thermique, bien qu'il soit généré par la résistance du switch, mais, cette dernière ne figure pas dans la formule qui décrit ce bruit. C'est de cette formule que découle l'appellation commune « bruit en kT/C » de ce bruit. Dans le circuit MDAC d'un convertisseur pipeline, C représente la somme des capacités d'échantillonnage et celle de contre-réaction dans certaines configurations (e.g. figure 4.8).

$$C = C_f + \sum_{j=0}^{n-1} C_{s,j} \quad (4.57)$$

Donc, le seul paramètre qui permet de contrôler ce bruit est la taille des capacités. Quoique, la bande passante du signal doit être inférieure au moins d'un ordre de grandeur à celle du bruit dans le circuit d'échantillonnage, pour mieux filtrer ce bruit. La puissance du bruit thermique d'un convertisseur doit être inférieure à la puissance de bruit de quantification qui est inhérent au processus de quantification. A partir de cette condition, la taille des capacités peut être calculée comme suit :

$$\frac{kT}{C} < \frac{LSB^2}{12} \quad (4.58)$$

$$C > 12 \times \frac{kT}{LSB^2} \quad (4.59)$$

A température ambiante (300 °K), $kT = 4,14 \times 10^{-21}$ joules

Pour assurer un LSB de 1 mV, qui est la valeur minimale du signal d'entrée des prototypes de convertisseurs que nous avons conçus et réalisés, il faut une capacité minimale de :

$$C > 49,68 \text{ fF} \approx 50 \text{ fF} .$$

Nous allons montrer dans le tableau 4.1 des valeurs rms du bruit thermique pour différentes capacités d'échantillonnage et à température ambiante. Les valeurs des capacités sont 200 fF, 400 fF et 1 pF, qui correspondent respectivement aux capacités d'échantillonnage du 1^{er} étage pipeline, du circuit SHA (chapitre 2), et une valeur prise comme référence.

C	$\sigma = \sqrt{\frac{kT}{C}} \text{ (rms)}$
200 fF	144 μV
400 fF	102 μV
1 pF	64 μV

Tableau 4.1 : Valeurs rms du bruit pour différentes capacités d'échantillonnage.

Le bruit en kT/C doit être inférieur au bruit de quantification qui est de 288 μV en valeur rms pour un LSB de 1 mV. C'est pourquoi nous devons choisir des valeurs de capacités occupant le minimum de surface tout en minimisant également le bruit en kT/C . Les valeurs de 200 fF et 400 fF du tableau 4.1 sont choisies pour permettre une marge de sécurité d'un facteur $\frac{1}{2}$. Le σ_{tot} pour le SHA est donné par l'équation 2.6.

4.3.2.8. Erreur de la gigue de l'horloge d'échantillonnage (Clock Jitter)

Dans la section (4.3.1) du présent chapitre, nous avons étudié la gigue de l'horloge de commande des comparateurs. Ici, la gigue de l'horloge d'échantillonnage est une variation aléatoire de l'instant d'échantillonnage (Δt_a). Elle est due à la fois au bruit de phase dans le générateur d'horloge et au bruit dans le circuit d'échantillonnage. L'erreur due à la gigue est la variation du signal entre l'instant idéal et l'instant réel d'échantillonnage. Elle est donc proportionnelle à la largeur de la gigue et à la variation du signal d'entrée (i.e. sa dérivée). La valeur maximale de cette erreur, pour un signal sinusoïdal, peut être obtenue en échantillonnant le signal d'entrée à la fréquence de Nyquist ($f_{\text{éch}} = 2 \times f_{\text{in}}$). Soit un signal d'entrée sinusoïdal $v(t)$:

$$v(t) = A \sin(2\pi f_{\text{in}} t) \quad (4.60)$$

où, A est l'amplitude du signal d'entrée et f_{in} est sa fréquence.

L'erreur maximale correspond au passage sur le point où la variation de $v(t)$ est maximale. En ce point, la dérivée de $v(t)$ est, donc, maximale :

$$v'(t) = A 2\pi f_{\text{in}} \cos(0) = A 2\pi f_{\text{in}} \quad (4.61)$$

La valeur maximale de l'erreur due à la gigue est :

$$\Delta V_{\max} = A \pi f_{\text{éch}} \Delta t_a \quad (4.62)$$

Vu sa nature aléatoire, cette erreur se manifeste comme un bruit qui dégrade le rapport signal à bruit du convertisseur [Waki90]. Il est à noter que ce résultat concerne particulièrement le premier étage de la chaîne de conversion, qui échantillonne directement le signal sinusoïdal. Les étages suivants (back-end) sont moins affectés par cette erreur, car, leur signal de sortie varie exponentiellement au moment d'échantillonnage.

4.3.2.9. Autres sources de bruit

Les transistors MOS, dans un amplificateur par exemple, constituent une source de bruit thermique. La plus grande partie de ce bruit est générée dans le canal [Blal95]. Or, dans les circuits S/H, un amplificateur est souvent nécessaire dans la phase de maintien (Hold). C'est pourquoi, au bruit de la résistance du switch vient s'ajouter le bruit thermique de l'amplificateur. Le bruit de l'amplificateur contribue pendant la phase de maintien, mais aussi dans la phase d'échantillonnage dans le cas d'architectures utilisant une boucle fermée du circuit S/H. Le bruit de l'amplificateur dépend de la topologie utilisée, pour limiter ce bruit, la bande passante de l'amplificateur doit être le minimum possible permis par les contraintes de rapidité du circuit.

Une autre source de bruit présente dans un transistor MOS est le bruit en $1/f$ (Flicker noise) dont la densité spectrale est fonction de $1/f$ [Gray84]. Dans les applications à grandes fréquences (à partir de quelques MHz), le bruit blanc est dominant. Tout de même, des techniques de suppression de ce type de bruit existent [Gray84], [Teme86].

4.3.3. Conclusion

La configuration de base de l'architecture pipeline, utilisant les étages de résolution minimale (i.e. 1,5 bit/étage), pose le moins de contraintes sur l'amplificateur et les comparateurs. Le gain de 2 (le plus faible possible) des étages pipeline permet d'atteindre de meilleurs temps d'établissement du signal en sortie de chaque étage. Car, la capacité de charge, qui est composée de capacités d'échantillonnage et de celles d'entrée des comparateurs de l'étage suivant, est la plus faible possible par rapport à d'autres configurations. Il permet également la meilleure tolérance aux offsets des comparateurs, ce qui se traduit par une dissipation de puissance moindre par étage. La consommation de tout le

convertisseur dépend du nombre d'étages pipeline, qui composent le CAN. Ces observations sont à l'origine de l'utilisation de cette configuration de base pour réaliser le CAN, que nous décrirons ci-après.

4.4. Conception d'un CAN Pipeline de résolution 5 bits très compact à très faible puissance dissipée

4.4.1. Introduction

Dans cette partie, nous présentons la description d'un prototype comportant une matrice de huit (8) canaux de convertisseurs pipeline à 5 bits de résolution très compacts et de faible consommation. Ce convertisseur est conçu pour répondre aux exigences du cahier des charges du détecteur de vertex du prochain collisionneur linéaire ILC (Cf. chapitre 1). Nous nous contentons de rappeler, ci-dessous, brièvement les contraintes majeures sur la conception de ce convertisseur :

- La technologie utilisée doit être celle déjà validée pour réaliser les pixels (actuellement la technologie utilisée est celle d'AMS 0,35 μm) ;
- Le signal minimum n'est que de 1 mV à la sortie de chaque pixel ;
- Nécessité de compensation des fluctuations de la tension du mode commun du signal provenant d'un pixel ;
- La largeur du dessin de masques doit être ajustée à celle des pixels, qui est de 20 μm ;
- La longueur du CAN ne doit pas excéder 1 mm, pour minimiser la zone insensible globale du détecteur ;
- Le nombre de couches de métal n'est que de 4 (routage difficile et capacités parasites) ;
- La puissance dissipée ne doit pas excéder 500 μW /colonne de pixels.
- La fréquence de conversion est de 10 MHz/colonne de pixels ;

Vu la largeur très étroite des colonnes de pixels ($20\text{ }\mu\text{m}$), compte tenu de la technologie $0,35\text{ }\mu\text{m}$, chaque CAN s'étale sur une largeur de deux colonne de pixels qu'il convertit séquentiellement avec une vitesse de 25 MHz comme le montre la figure ci-dessous.

La figure 4.20 montre un schéma global qui illustre la disposition des différents blocs d'un capteur CMOS à pixel actif.

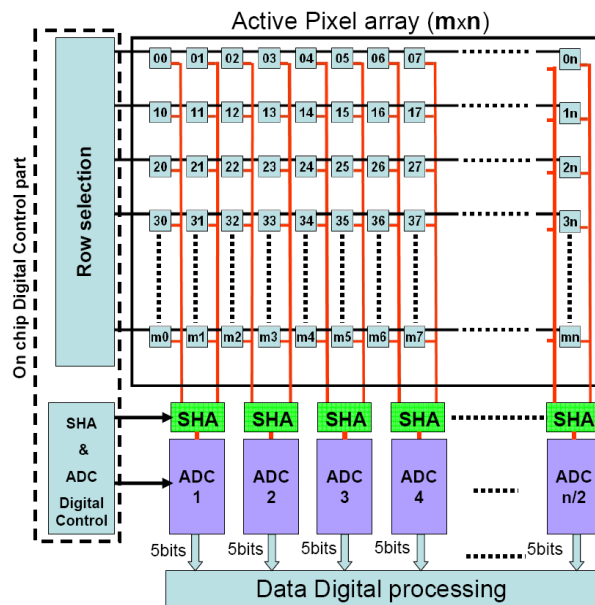


Figure 4.20 : Architecture globale d'un capteur MAPS avec son électronique de commande et l'électronique de lecture et de traitement de signal.

4.4.2. L'architecture du convertisseur du prototype réalisé

Dans les sections précédentes du présent chapitre, nous avons décrit l'architecture d'un convertisseur pipeline dans le cas général. Les limitations fondamentales et pratiques de réalisations de circuits à basse consommation et au faible signal y ont été étudiées. Afin de vérifier ces prédictions, nous avons commencé par la conception d'un CAN pipeline de résolution 5 bits, de faible consommation, très compact dont la forme de son dessin des masques est particulièrement filaire. Chaque canal de convertisseur est composé d'un étage SHA, déjà détaillé dans le chapitre 2, et d'un convertisseur pipeline à 5 bits de résolution utilisant des étages pipeline de 1,5 bit de résolution, le dernier étage du CAN est un CAN flash à 2 bits de résolution [Dah06], [Dah07], [Dah07a], [Dah09].

La figure 4.21 montre le diagramme général de ce convertisseur. Une logique de synchronisation des données numériques de chaque étage et de correction des erreurs dues

aux offsets des comparateurs est également intégrée au sein de chaque canal de convertisseur. Les tensions de polarisation (bias) des comparateurs et des amplificateurs opérationnels sont générées à l'intérieur du circuit grâce à une circuiterie dédiée. Toutes les opérations du convertisseur sont commandées par un générateur de signaux d'horloge, qui est aussi intégré dans le circuit et dont le schéma est donné en Annexe B.1.

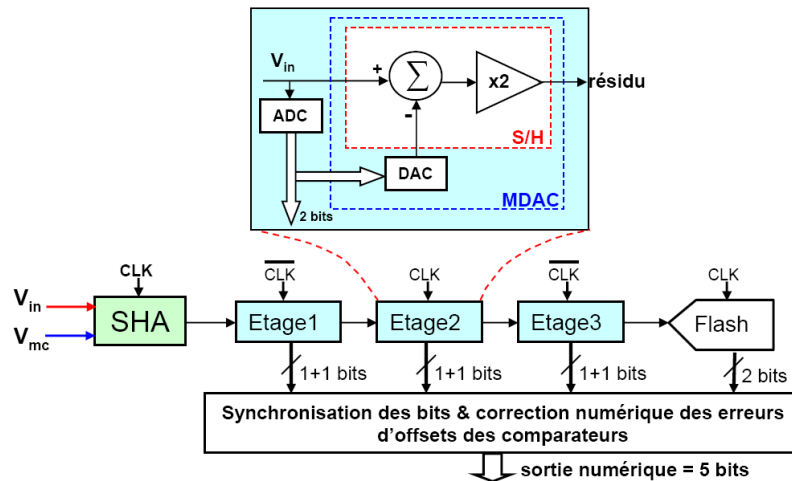


Figure 4.21 : Diagramme général d'un CAN pipeline de résolution 5 bits à 1,5 bit par étage.

Ce convertisseur est composé d'une suite de trois étages pipeline complètement identiques de résolution 1,5 bit chacun. Chacun d'eux délivre un code binaire de 2 bits, dont un bit de redondance, fonction de son signal d'entrée, puis reconvertit ce code en tension analogique qui sera soustraite du signal incident. Le résultat de la soustraction (ou le résidu) est amplifié par un facteur 2 avant d'être envoyé à l'étage suivant. Le dernier étage, qui détermine le bit du poids faible (LSB), est de type flash à deux bits. Les étages fonctionnent en concomitance sur opposition de phases d'une même horloge (CLK), c'est-à-dire qu'un étage est prêt à recevoir un nouvel échantillon dès que l'étage qui le suit a fini d'échantillonner son signal. De cette façon, pendant que le premier étage traite l'échantillon le plus récent, les étages suivants traitent les résidus des échantillons précédents. Les résultats numériques issus des étages pipeline successifs sont adéquatement décalés et mis en phase par une logique de synchronisation (Cf. le schéma en Annexe B.2.1) afin que leurs valeurs correspondent au même signal d'entrée. Le mot binaire cohérent obtenu après cette synchronisation passera par une logique de correction d'erreurs dues aux offsets des comparateurs. Le schéma détaillé de cette logique est reporté en Annexe B.2.2. Par

conséquent, des comparateurs de très faible offset ne sont pas nécessaires, ce qui se traduit par une réduction de la consommation totale du convertisseur.

4.4.3. Implémentation de l'étage pipeline à 1,5 bit

En dépit de sa simplicité, cette configuration présente l'inconvénient de la latence, car le signal doit traverser les trois étages pipeline avant que sa numérisation ne soit complète. Mais, le débit du convertisseur ne dépend que des performances d'un étage pipeline. L'implémentation de cette architecture est montrée sur la figure 4.22. Chaque étage est constitué de trois blocs :

- Un CAN flash de 2 bits, qui consiste en 2 comparateurs non critiques et un transcodeur deux vers deux. Le transcodeur transforme le code thermomètre des sorties des comparateurs en un code binaire ;
- Un convertisseur numérique-analogique (CNA), qui convertit le code binaire du CAN flash en une tension analogique de référence ;
- Un circuit (S/H) de gain 2, qui effectue l'opération de soustraction et multiplication, réalisé à base de capacités commutées. Sa fonction de transfert est un cas particulier de l'équation (4.5):

$$V_{out} = 2 \times V_{in} - \beta \times V_{ref} \quad (4.63)$$

où, β prend les valeurs 0, $\frac{1}{2}$ ou 1 selon les combinaisons du code b_1b_0 (00, 01 ou 10) respectivement. V_{ref} est la valeur de la dynamique totale du signal à l'entrée du CAN. Le fonctionnement de cet étage est commandé par les signaux du chronogramme de la figure 4.23.

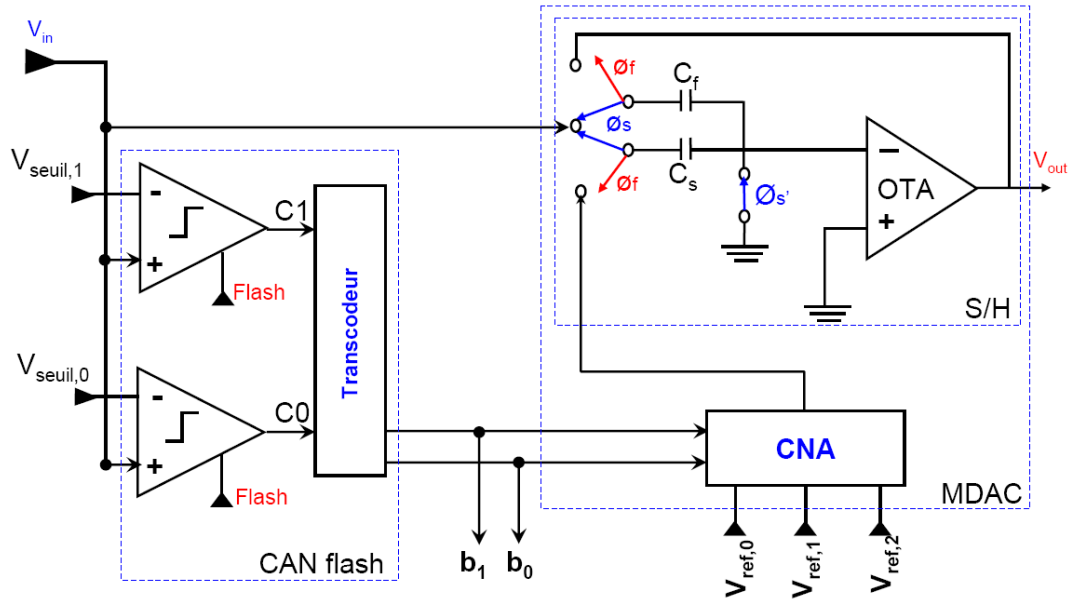


Figure 4.22 : Implémentation de l'étage pipeline 1,5 bit.

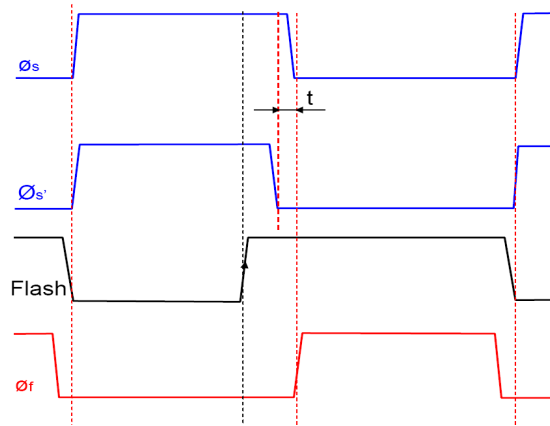


Figure 4.23 : Signaux de commande de l'étage pipeline 1,5 bit.

Toutes les opérations sont commandées par deux phases principales (ϕ_s et ϕ_f) de la même horloge (CLK). Pendant la phase ϕ_s , le signal V_{in} attaque les deux comparateurs, dont les tensions de seuils sont $\frac{3}{8}V_{ref}$ et $\frac{5}{8}V_{ref}$. Simultanément, les armatures supérieures des capacités C_s et C_f sont connectées à la masse et les armatures inférieures sont connectées au signal d'entrée V_{in} . À la fin de la phase ϕ_s , lorsque le signal échantillonné a atteint la précision exigée, vient le front montant du signal Flash pour commander le codage de V_{in} sur

2 bits. Les fronts descendants de ϕ_s et ϕ_s' marquent la fin de la phase d'échantillonnage ; ϕ_s' s'ouvre légèrement avant ϕ_s pour des raisons d'injection de charges (Cf. la section 4.3.2.6.3.a). Pendant la phase ϕ_f , la capacité C_f est connectée à la sortie de l'amplificateur pour créer la boucle de contre-réaction et la capacité C_s est connectée à la sortie du CNA. Durant cette phase, le résidu (V_{out}) est généré par transfert de charge en respectant le principe de conservation de charge. La sortie du CNA doit être disponible tout à fait au début de la phase ϕ_f pour favoriser l'établissement du signal V_{out} et, par la même occasion, la vitesse de conversion. C'est pourquoi, le signal Flash arrive avec un temps d'avance qui est égal au temps de propagation du signal dans le comparateur.

En appliquant l'équation (4.5) sur l'étage 1,5 bit on obtient la fonction de transfert détaillée qui suit pour les différentes valeurs du mot binaire (d) de sortie du CAN flash à 2 bits :

$$V_{out} = \begin{cases} 2V_{in} & si \quad 0 \leq V_{in} < \frac{3}{8}V_{ref} & d = 0 \quad (00)_2 \\ 2V_{in} - \frac{V_{ref}}{2} & si \quad \frac{3}{8}V_{ref} \leq V_{in} < \frac{5}{8}V_{ref} & d = 1 \quad (01)_2 \\ 2V_{in} - V_{ref} & si \quad \frac{5}{8}V_{ref} < V_{in} \leq V_{ref} & d = 2 \quad (10)_2 \end{cases} \quad (4.64)$$

La fonction caractéristique de l'étage pipeline 1,5 bit est montrée sur la figure 4.24 avec un trait continu. Les lignes interrompues montrent l'effet de l'offset des comparateurs. A la différence des autres types de CAN multi-étages, dans le cas d'un étage pipeline (1,5 bit), on utilise 3 codes binaires du CAN flash sur les 4 combinaisons possibles, le code $b_1b_0 = 11$ n'est pas utilisé. Le gain 2 de l'étage pipeline au lieu de 4 permet une excursion de la moitié de la dynamique pour le signal V_{out} , empêchant ainsi la saturation. Ces deux caractéristiques donnent lieu à une correction numérique d'éventuelles erreurs dues aux offsets des comparateurs.

4.4.4. Correction numérique des erreurs d'offsets des comparateurs

Afin d'alléger les contraintes sur les comparateurs de l'étage pipeline, un algorithme de correction numérique des bits, appelé aussi « Redundant Sign Digit » (RSD), est utilisé. C'est cette technique qui diffère les CAN pipeline des autres CAN à multiples étages.

L'utilisation d'un bit de redondance augmente la résolution de l'étage d'un bit supplémentaire, moins une combinaison binaire qui correspond à la valeur maximale du code. C'est-à-dire un étage de résolution B_i bits possède 2^{B_i} pas de quantification sans l'utilisation d'algorithme de correction. Si on utilise le RSD la résolution devient B_i+1 bits, mais, avec un pas de quantification en moins. Par contre, le gain de l'étage reste toujours égal à 2^{B_i} .

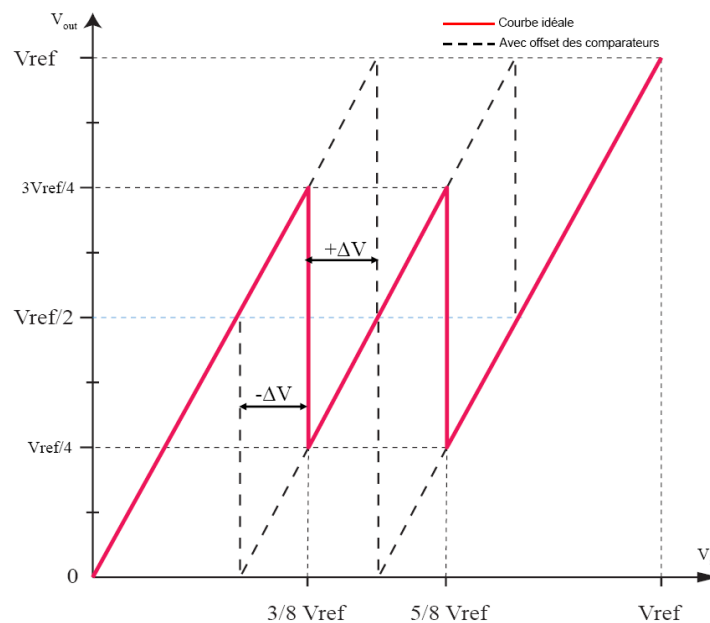


Figure 4.24 : Fonction de transfert d'un étage pipeline 1,5 bit et impact des offsets des comparateurs

L'effet des offsets des comparateurs sur la fonction de transfert de l'étage 1,5 bit est illustré sur la figure 4.24. La réponse idéale correspond à la courbe en trait continu. Tout offset du comparateur provoque un décalage de sa tension de seuil d'une valeur égale à celle de l'offset, qui est spécifiée par ΔV sur la figure 4.24. Ceci se traduit par l'apparition d'erreurs sur la sortie numérique de l'étage pipeline. La présence de l'offset décale le signal de sortie de son intervalle théorique $[V_{ref}/4, 3V_{ref}/4]$. Cependant, tant que le signal V_{out} ne dépasse pas la dynamique du signal qui est $[0, V_{ref}]$, aucune information sur le signal n'est perdue et le code correct du signal peut être reconstruit en utilisant la sortie numérique de l'étage suivant. L'offset maximal tolérable du comparateur, pour lequel le signal de sortie V_{out}

reste dans la dynamique définie, est égal à $\pm V_{\text{ref}}/8$. Dans cette application, $V_{\text{ref}} = 128 \text{ mV}$ ¹⁹, alors l'offset maximal tolérable est de $\pm 16 \text{ mV}$.

Sortie numérique étage 1		b1	b0			
Sortie numérique étage 2			b1	b0		
Sortie numérique étage 3	+			b1	b0	
Sortie numérique étage 4	↓				b1	b0
Sortie numérique du CAN =		D4	D3	D2	D1	D0

Tableau 4.2: Algorithme de reconstruction de la sortie numérique du CAN 5 à bits.

L'algorithme de RSD utilise le bit du poids faible de chaque étage comme bit de redondance. Le code correct de sortie du CAN est obtenu en opérant la somme arithmétique du bit du poids faible de l'étage k avec le bit du poids fort de l'étage qui le suit (étage $k+1$) comme illustré sur le tableau 4.2.

Une somme binaire simple ne peut être utilisée car, il y a des cas nécessitant la propagation d'une retenue du dernier étage jusqu'au premier étage. A cet effet, la logique de correction est réalisée avec des additionneurs (Full-Adder) qui permettent à la retenue de se propager dans le sens contraire de la propagation du signal analogique dans la chaîne pipeline.

L'ajout de cette logique de correction n'ajoute aucune contrainte sur l'amplificateur. Bien au contraire, elle permet d'utiliser des comparateurs non critiques. Les deux inconvénients de cette logique sont : une surface supplémentaire d'environ 13 % par rapport à la surface totale du CAN et une consommation dynamique supplémentaire. Les bienfaits de cette logique sur les comparateurs compensent largement ces deux points faibles.

Le dernier étage de ce convertisseur ne peut pas faire l'objet d'une correction numérique des erreurs d'offsets des comparateurs. C'est pourquoi un CAN flash à 2 bits a été utilisé à la place d'un étage pipeline complet. Ces tensions de seuil sont calculées d'une manière standard ($1/4V_{\text{ref}}$, $1/2V_{\text{ref}}$ et $3/4V_{\text{ref}}$).

¹⁹ La dynamique de 128 mV est obtenue en multipliant par 4, grâce au circuit SHA, la dynamique d'entrée, qui est de 32 mV.

4.4.5. Les éléments actifs du convertisseur

Les performances de ce convertisseur sont directement reliées à celles des étages pipeline. D'un côté, la performance de la conversion grossière de chaque étage dépend de celle des comparateurs. Et de l'autre, le MDAC est réalisé en capacités commutées articulées autour d'un amplificateur opérationnel. Dans cette partie, nous décrivons l'architecture du comparateur et celle de l'amplificateur utilisés.

4.4.5.1. L'architecture du comparateur

L'architecture 1,5 bit par étage est la moins contraignante parmi les résolutions des étages pipeline sur les comparateurs. À la fréquence de 25 MHz (i.e. 40 ns de période) et à la tension d'alimentation de 3,3 V, le signal n'est prêt à être codé qu'à 7 ns (1/6 T) de la fin de la phase d'échantillonnage. Le résultat en sortie du comparateur doit, donc, être délivré au bout de 7 ns après l'arrivée du signal Flash (ce qui correspond au début de la phase d'amplification, qui utilise ce résultat). La figure 4.25 illustre un résultat de simulation sous spectre de Cadence et montre le temps de propagation du signal dans les étages du comparateur, ce temps est de 5,3 ns pour une transition haut-bas.

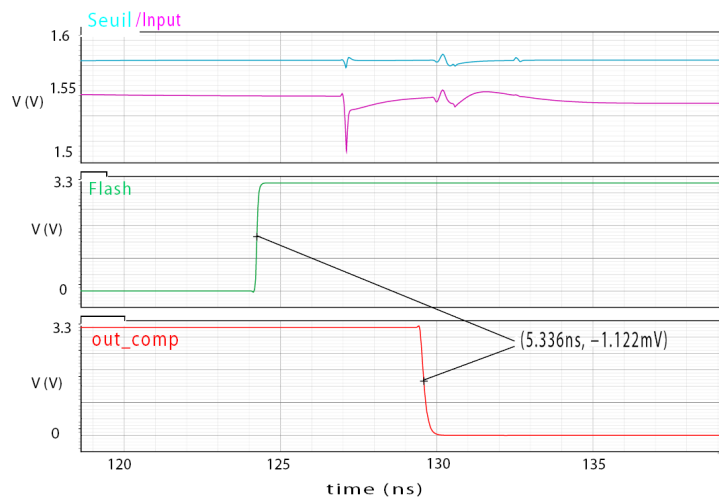


Figure 4.25 : Temps de réponse du comparateur (transition haut-bas)

Le schéma simplifié du comparateur intégré dans cette version du CAN est illustré sur la figure 4.26. C'est un comparateur de basse consommation (23,7 μ A) et de faible offset (± 5 mV). Il est constitué de trois étages : un préamplificateur différentiel de gain 10 et de faible offset suivi d'un comparateur cascode replié qui attaque un dernier étage flash comportant une bascule RS [Dza94], [Dah06].

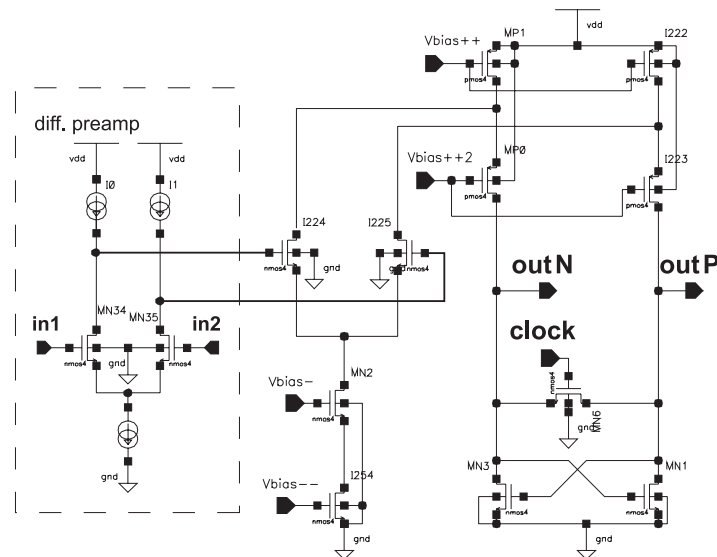


Figure 4.26 : Schéma simplifié du comparateur.

4.4.5.2. L'architecture de l'amplificateur

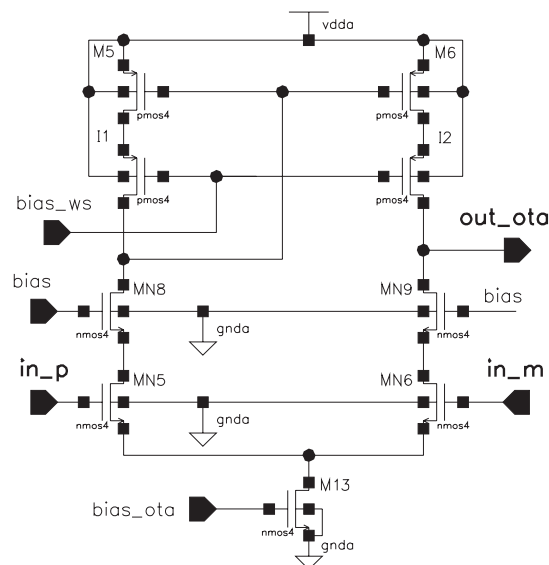


Figure 4.27 : OTA cascode télescopique à large excursion de sortie

L'amplificateur opérationnel utilisé constitue le cœur du circuit S/H des étages MDAC et du circuit échantillonneur-bloqueur (SHA du chapitre 2). Les spécifications de l'amplificateur ont été abordées dans les sections (4.3.2.1) et (4.3.2.2). Ici, nous présentons l'architecture qui a été intégrée dans tous les étages du CAN. Généralement, la précision du CAN est déterminée par le gain en boucle ouverte de l'amplificateur et sa vitesse de conversion est déterminée par la bande passante et le « slew rate » (RS) de l'amplificateur. Le

meilleur rapport signal à bruit (SNR) est donné par un amplificateur à large excursion de sortie.

Une architecture cascode télescopique [Dza03] à un seul étage permet de concilier ces paramètres. Le schéma de cet amplificateur opérationnel à transconductance (OTA) est montré sur la figure 4.27.

La structure du miroir de courant de charge utilisée [Lew92] permet une extension de la zone de linéarité meilleure qu'une architecture cascode simple. Le diagramme de bode de cet amplificateur est donné sur la figure 4.28 [Dah07], [Dah09].

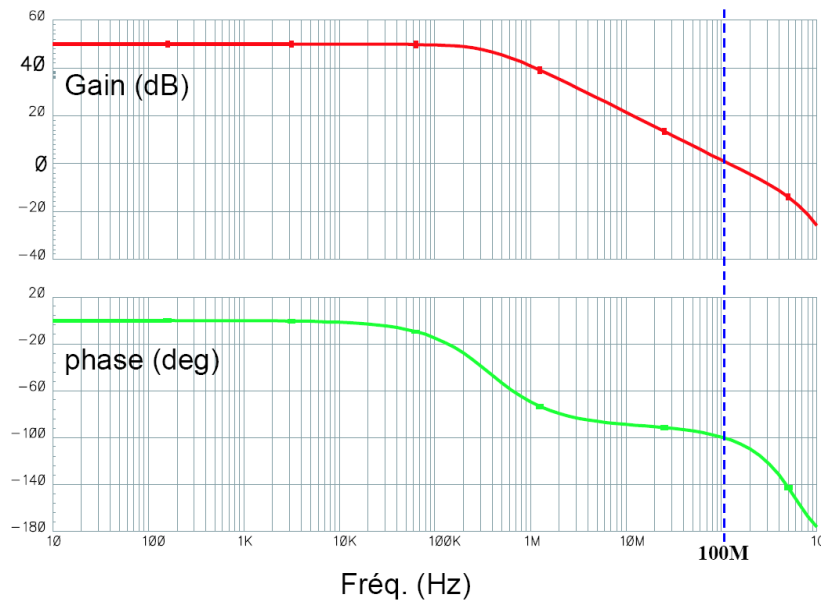


Figure 4.28 : Diagramme de Bode de l'OTA chargé par une capacité de 1 pF

L'OTA étant chargé par une capacité de 1 pF et dissipant un courant de 100 μ A à 3,3 V opère un gain en boucle ouverte de 50 dB, sa fréquence de coupure (à 0 dB) est de 100 MHz et sa marge de phase est de 78,85°. Nous rappelons que le gain requis pour assurer la résolution de 5 bits selon l'inégalité (4.26) est :

$$A_0 > \frac{2^{N+1+B}}{2^B - 1} = 42,14 \text{ dB} \quad (4.65)$$

La résolution 1,5 bit des étages pipeline du CAN est prise en compte dans le calcul de cette valeur. Cet amplificateur présente d'aussi bonnes performances à basse tension d'alimentation (2,5 V).

4.5. Test du CAN de très faibles puissance et signal à 5 bits de résolution

Nous avons réalisé un prototype de CAN, à 5 bits de résolution, dans la technologie CMOS standard 0,35 μm d'Austria Micro System (AMS). Il inclut huit canaux de convertisseurs mis en parallèle. Le dessin des masques est fait pour permettre une multiplication automatique du nombre de canaux. Une photographie du circuit est montrée en la figure 4.29. Les dimensions d'un canal complet incluant l'échantillonneur-bloqueur (SHA) sont 43 μm $\times$ 1,43 mm. La figure 4.29 met en évidence les différentes parties de ce convertisseur. Les canaux de convertisseurs juxtaposés sont miroités afin que chaque paire de canaux partage les signaux d'horloges et les signaux de références et de seuils.

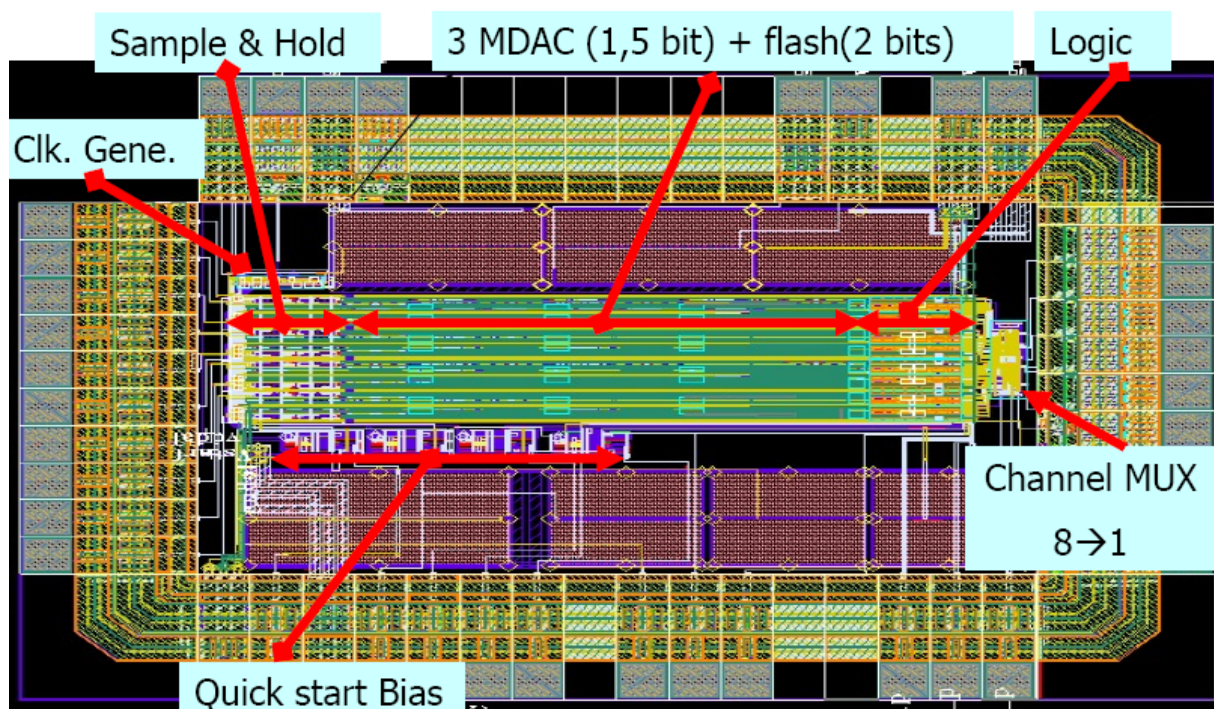


Figure 4.29 : Photographie du prototype de 8 canaux de CAN à 25 MHz

Afin de réduire les dispersions des offsets entre les voies, une attention très rigoureuse a été portée sur l'appariement des composants. Les canaux sont tous équidistants entre eux et la distribution des signaux analogiques et numériques est symétrique pour toutes les voies. Les sorties numériques des huit voies de CAN sont multiplexées à l'aide d'un multiplexeur 8 vers 1, conçu en utilisant la description VHDL²⁰ et l'outil de synthèse Ambit.

²⁰ VHDL : Very high speed integrated circuit Hardware Descriptive Language

4.5.1. Banc de test des convertisseurs

Pour tester ce circuit, nous avons utilisé un banc de test dédié à la caractérisation des convertisseurs analogique-numérique. Ce banc est constitué de plusieurs éléments matériels et logiciels (Cf. photographie en Annexe C.1). Le schéma synoptique de ce banc de test est illustré sur la figure 4.30.

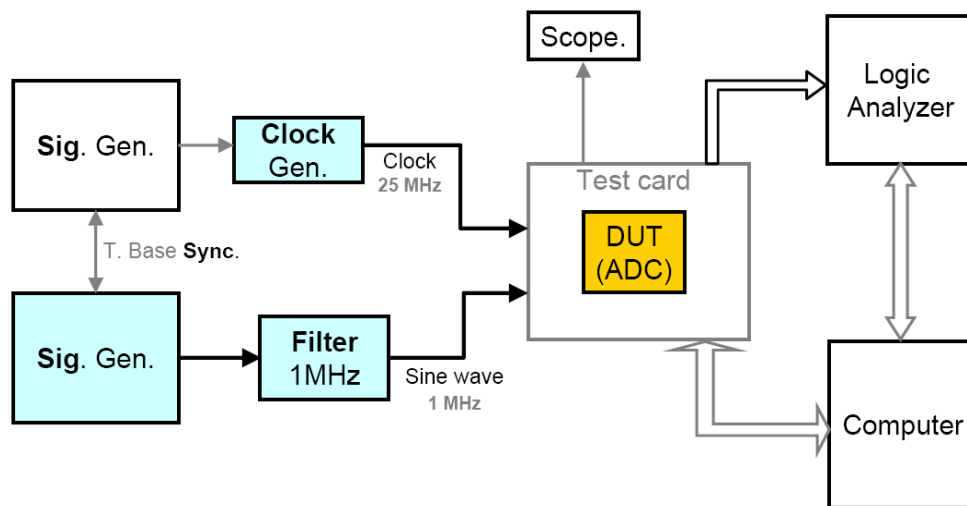


Figure 4.30: Schéma synoptique du banc de test de CANs

Le générateur du signal d'entrée et le générateur de l'horloge doivent être synchronisés à l'aide d'un troisième générateur de signaux. Et pour réduire les distorsions harmoniques dues à l'impureté du signal d'entrée, ce dernier est filtré à l'aide d'un filtre de 1 MHz. Les consignes (ou vecteurs de test) sont envoyées sur le composant sous test ou « Device Under Test » (DUT) depuis un ordinateur en utilisant des logiciels spécifiques. Les données numériques du CAN sont lues et enregistrées par un analyseur logique qui communique simultanément avec l'ordinateur et la carte de test. L'oscilloscope sert à visualiser toutes sortes de signaux sur la carte de test qui supporte le DUT (CAN). Le synoptique en figure 4.30 constitue une configuration minimale pour tester le CAN pipeline.

4.5.2. Carte de test

La conception de la carte de test des prototypes de convertisseurs est très critique, du moment qu'il s'agit des signaux mixtes (analogiques et numérique). Les signaux numériques (e.g. horloge) perturbent fortement le signal analogique d'entrée. Ceci est encore plus vrai pour le cas de nos convertisseurs, dont le LSB est de 1 mV et la fréquence d'horloge est de 25

MHz. À cet effet, les deux types de signaux sont routés isolément sur la carte afin de minimiser les couplages entre eux. La figure 4.31 est une photographie d'un exemple de carte de test que nous avons utilisée. Cette carte offre la flexibilité de travailler soit avec des signaux externes ou complètement internes à la carte. Les signaux externes sont généralement des tensions sinusoïdales que nous avons utilisées pour le test dynamique du convertisseur. Cependant, avant de procéder au test dynamique, une série de réglages sur la carte doit déjà être effectuée afin de fixer toutes valeurs nominales de stimuli et de compenser les offsets éventuellement sur la carte. Ces réglages sont faits avec une très grande précision, qui est celle des DAC (Digital to Analog Converter) de résolutions 14 ou 16 bits.

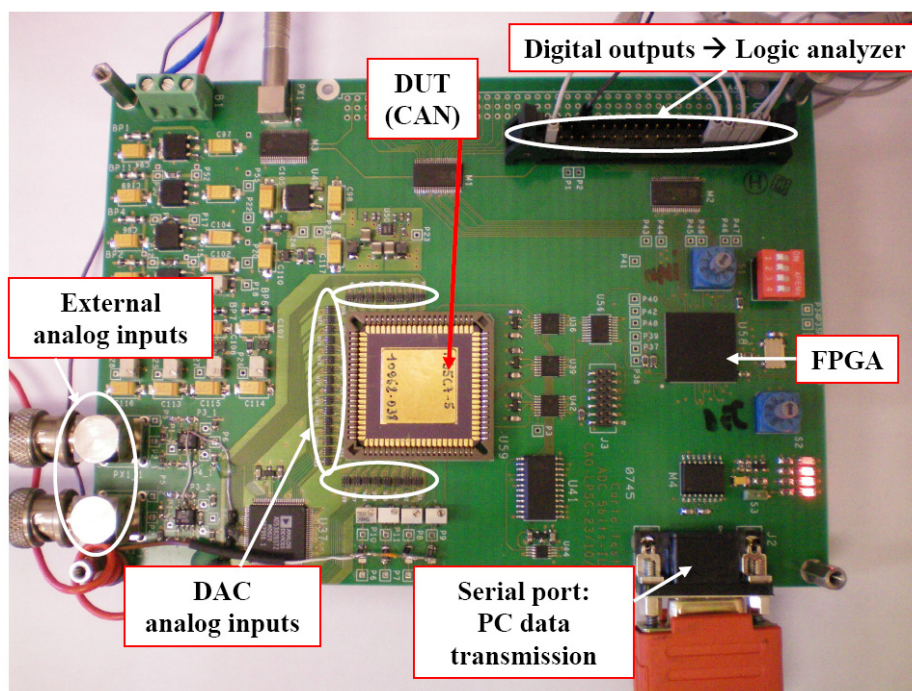


Figure 4.31 : Photo de la carte de test du CAN

Cette carte de test est commandée par un programme écrit en VHDL qui est chargé dans le FPGA. Deux façons d'écrire ou modifier des valeurs dans les registres du FPGA sont possibles : envoi des consignes en hexadécimal en utilisant directement l'hyper terminal d'un ordinateur ou utilisation d'une interface interactive en utilisant le logiciel LabVIEW. Les deux possibilités font appel au port série de l'ordinateur pour la transmission de données. Une image de la face-avant de l'interface conçue en LabVIEW est montrée dans l'Annexe C.2.

Les sorties numériques du CAN sont envoyées sur un analyseur logique pour y être visualisées et mémorisées. Un programme spécifique à l'analyseur logique (VSA : Vector Signal Analyser) permet de reconvertir le code numérique du CAN en un signal analogique et

de suivre l'évolution du signal et des différents paramètres caractéristiques du CAN (e.g. FFT, histogramme) en temps réel. Un exemple de mesure effectué à l'aide de cet outil a été montré dans l'Annexe C.3.

4.5.3. Résultats de test du CAN 5 bits à 25 MHz [Dah07], [Dah09]

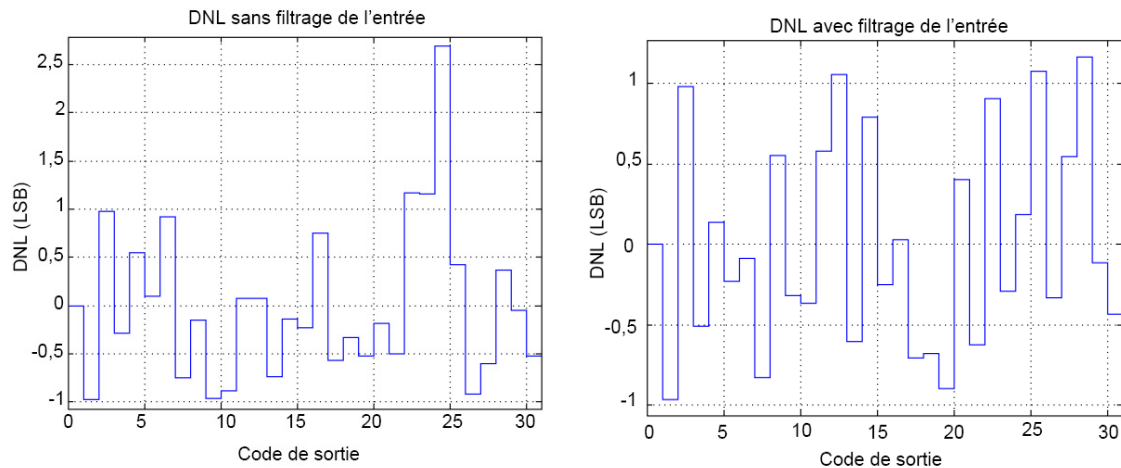


Figure 4.32 : Non-linéarité différentielle du CAN avec et sans filtrage du signal d'entrée

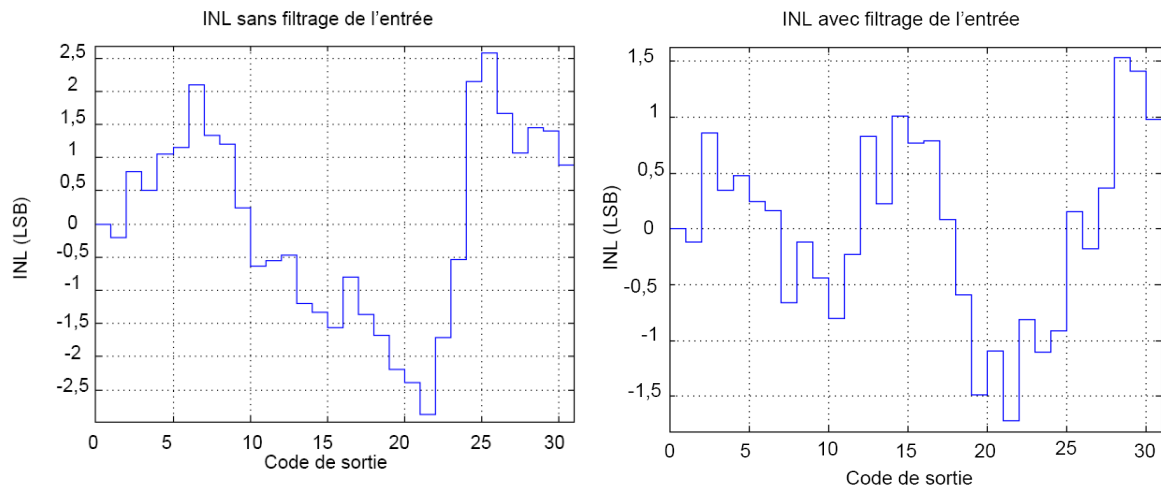


Figure 4.33 : Non-linéarité intégrale du CAN avec et sans filtrage du signal d'entrée.

Pour caractériser notre circuit, nous avons utilisé un signal d'entrée sinusoïdal balayant toute la dynamique d'entrée qui est de 31 mV. Cette valeur est fixée en fonction de la résolution du CAN, qui de 5 bits, et de la valeur du signal minimum qui est de 1 mV. Le signal d'entrée de fréquence 1 MHz est échantillonné à une fréquence de 25 MHz. A la

tension d'alimentation de 3,3 V, une voie de convertisseur dissipe 1,78 mW. Ce chiffre inclut la dissipation de l'étage SHA, dont la consommation représente 25% de la consommation totale d'une voie.

Les erreurs de non-linéarités différentielle (DNL) et intégrale (INL) ont été mesurées sur le code de sortie du convertisseur en utilisant la méthode des histogrammes cumulés [Dall05]. Le signal d'entrée est un sinus de 1 MHz couvrant toute la gamme dynamique d'entrée en amplitude (31 mV). Les résultats de la DNL sont tracés sur la figure 4.32 et ceux de l'INL sur la figure 4.33 avec et sans filtrage du signal d'entrée dans les deux cas. La DNL s'améliore de 1 LSB pendant que l'INL s'est améliorée de 2 LSB (± 1 LSB) grâce au filtrage du signal d'entrée. Sur la gauche des deux figures, est tracé le résultat des mesures sans filtre. A droite, le signal d'entrée est filtré. L'erreur de la DNL est comprise entre ± 1 LSB et l'INL est comprise entre $\pm 1,5$ LSB. Même si les INL et DNL dépassent la moitié du LSB, aucun code manquant n'a été observé. Car théoriquement, pour assurer aucun code manquant les erreurs INL et DNL ne doivent pas excéder $\frac{1}{2}$ LSB [Max01c].

Les paramètres de caractérisation dynamique du CAN sont obtenus à partir de la transformée de Fourier rapide (FFT). La figure 4.34 montre le spectre de la FFT pour un signal d'entrée sinusoïdal de fréquence 1 MHz. La gamme dynamique utilisable (SFDR) est de l'ordre de 25 dB. On remarque, sur le spectre, des harmoniques plus élevés vers les fréquences moyennes. Cette distorsion disparaîtra dans les versions du CAN qui suivront.

Dans les expériences de physique des hautes énergies au sein du futur collisionneur linéaire ILC, le train de paquets de particules (électrons et positrons) ne dure que 1 ms sur une période de 200 ms. Il est, donc, judicieux de rendre la consommation de toute la chaîne de lecture proportionnelle au cycle utile (duty cycle), en mettant en veille toute la partie analogique du circuit en dehors du cycle utile. A cet effet, nous avons intégré dans ce prototype un circuit de mise en route et de mise en veille rapide, dont les résultats de test sont illustrés sur la figure 4.35.

Sur front descendant de l'horloge, le courant de polarisation est établi en moins de 1 μ s. Durant le mode stand-by, toute la partie analogique du convertisseur est éteinte. La consommation analogique totale est réduite à moins de 1/1000. Ceci rend la consommation du convertisseur directement proportionnelle au taux d'occupation du faisceau de particules dans le futur ILC.

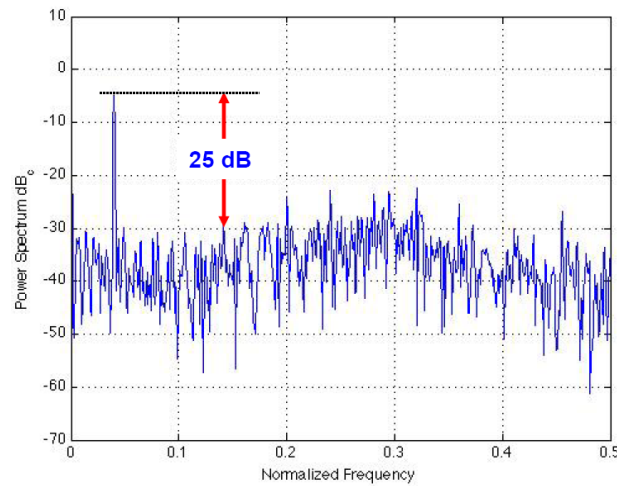


Figure 4.34 : La FFT d'un sinus de 1 MHz échantillonné à 25 MHz.

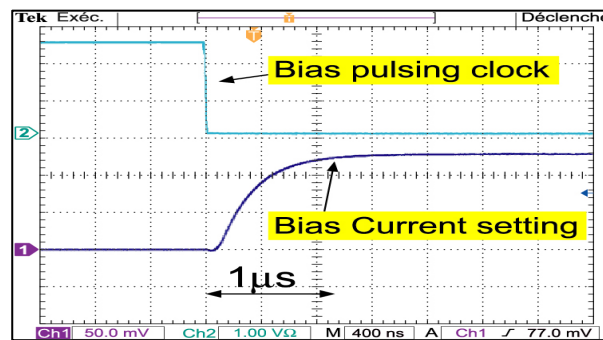


Figure 4.35 : Établissement des tensions de polarisation du circuit de mise en veille

Même si les tensions de polarisation se stabilisent en moins de $1\ \mu\text{s}$, le convertisseur ne peut fonctionner proprement qu'après un certain temps de retard. La figure 4.36 montre la réponse du CAN à un sinus en fonction du temps. L'échelle logarithmique de l'axe des abscisses (temps) est utilisée pour mieux voir la phase de démarrage du convertisseur. On constate deux phases : une première phase qui dure $1\ \mu\text{s}$, correspondant à l'établissement des tensions de polarisation (voir figure 4.35) et une deuxième phase qui dure $11\ \mu\text{s}$ et qui correspond au réveil des différents constituants du CAN.

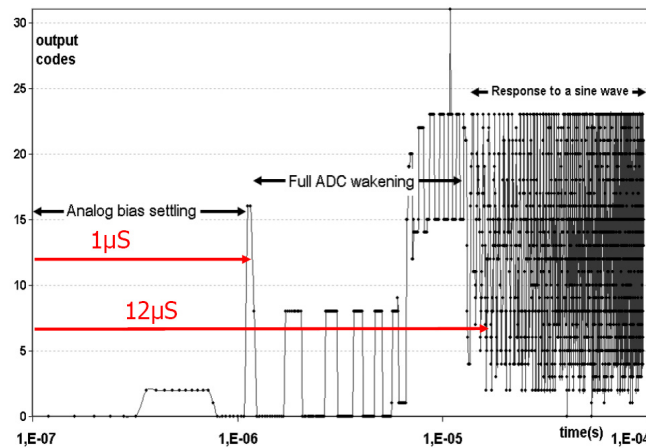


Figure 4.36 : Temps de réponse du CAN à partir d'un front d'horloge de démarrage.

4.6. Conclusions

Dans ce chapitre, nous avons commencé par déterminer les difficultés de conception d'un convertisseur pipeline en général. Les différentes sources d'erreurs y sont identifiées et des techniques de corrections ont été proposées. Ensuite, nous avons décrit un prototype de huit voies de CANs que nous avons réalisé en technologie CMOS standard 0,35 μm d'AMS. Chaque CAN convertit à une fréquence de 25 MHz, ce qui permet d'en multiplexer un vers deux colonnes de pixels. Les tests en laboratoire de ce circuit ont donné des résultats, qui ont permis de valider le concept pipeline de convertisseur pour l'application des capteurs CMOS. Ces résultats sont résumés dans le tableau 4.3 ; à la fréquence de 25 MHz, un canal de CAN dissipe une puissance de 1,78 mW en statique et 170,2 μW en dynamique. Ces consommations incluent celle de l'étage d'entrée (SHA).

Le test de ce CAN a, néanmoins, mis en évidence des lacunes de ce circuit. La plus critique est la dispersion des offsets entre les voies du circuit. Elle est due principalement à la contrainte imposée sur la surface, qui nous a contraint à partager les signaux d'horloge entre chaque paire de voies adjacentes et de miroiter ces voies. Le fait de miroiter les canaux de CAN dégrade les conditions de voisinage entre les voies et crée ainsi des non-appariements, source de dispersion d'offset. Le couplage capacitif et l'interférence électromagnétique entre les canaux joue aussi un rôle dans les dispersions entre les voies. Cette source d'erreur est remédiable en faisant un blindage des voies. Cette technique est encombrante dans la technologie actuelle (AMS 0,35 μm), mais elle sera accessible dans les futures technologies moins encombrantes (e.g. 180 nm de longueur de grille).

Vdd	3,3 V
Technologie	CMOS 0,35 μm d'AMS
Résolution	5 bits
Fréquence	25 MS/s
Consommation statique	1,78 mW
Consommation dynamique	170,2 μW
Surface occupée	43 $\mu\text{m} \times 1,43 \text{ mm}$
LSB	1 mV
Dynamique d'entrée	32 mV
DNL	$\pm 1 \text{ LSB}$
INL	$\pm 1,5 \text{ LSB}$
SFDR	25 dB

Tableau 4.3 : Résumé des performances du CAN mesurées à température ambiante.

La performance sur la consommation et l'encombrement de ce CAN est légèrement au-dessous de celle escomptée pour l'application. Mais, ces deux paramètres peuvent faire l'objet d'amélioration en introduisant le concept du double échantillonnage sur les étages pipeline du CAN, où les cellules actives (amplificateurs, comparateurs) sont partagées par deux voies adjacentes de CANs. Toute la partie logique est également partagée. Cette nouvelle architecture permet de doubler la fréquence d'échantillonnage pour une quasi même consommation que celle de l'architecture pipeline classique.

Dans le chapitre suivant, nous décrirons, dans un premier temps, un CAN à double échantillonnage, en guise d'optimisation de celui qui est décrit dans ce chapitre [Dah07b]. La configuration de 2,5 bits/étage a été implémentée sur le premier étage pipeline du CAN. Le choix de cette résolution (2,5 bits/étage) a été fait pour réduire le nombre d'étages pipeline, permettant de minimiser la surface et la consommation. En revanche, la contrainte sur l'amplificateur va augmenter.

Ce même CAN va faire l'objet d'améliorations en réalisant un dernier CAN, utilisant le principe de double échantillonnage, mais avec des étages pipeline de 1.5 bit de résolution. Un prototype de 16 canaux de CANs de résolution 5 bits, correspondant à 64 colonnes de pixels, a été fabriqué. Chaque CAN convertit à 50 MHz avec une basse tension d'alimentation

(2 V). Les résultats des deux CANs et les améliorations apportées seront présentés dans le chapitre suivant. Les constats faits sur le dernier CAN permettront de concevoir une chaîne de lecture et de codage des signaux des pixels, qui sera complètement adaptée au système de pilotage des pixels.

Bibliographie

- [Staf59] R.Staffin and R-D. Lohman, “Signal Amplitude Quantizer”, U.S. Patent 2,869,079, Filed December 19, 1956, issued January 13, 1959. (describes flash and subranging conversion using tubes and transistors).
- [Vers64] T-C. Verster, “A Method to increase the Accuracy of Fast Serial-Parallel Analog-to-Digital Converters”, IEEE Transactions on Electronic Computers, EC-13, 1964, pp. 471-473.
- [Sum01] L. Summanen, M. Waltari and Kari A. I. Halonen, „A 10-bit 200-MS/s CMOS Parallel Pipeline A/D Converter“, IEEE JOURNAL OF SOLID-STATE CIRCUITS? VOL.36, NO. 7, JULY 2001
- [Poul02] K. Poulton, R. Neff, A. Muto, A. Burstein, M. Heshami, “A 4GSample/s 8b ADC in 0.35 μ m CMOS”, IEEE SSCC 2002/SESSION 1/ HIGH-SPEED ADCs/ 10.1 2002.
- [Cho95] T. Cho: “Low-power Low-voltage Analog-to-Digital Conversion Techniques Using Pipelined Architectures”. Thèse de doctorat, University of California, Berkeley, 1995.
- [Jons98] B-E. Jonsson, H. Tenhunen: “Low-voltage 32 Msample/s parallel pipelined switched-current ADC”. Electronic letters 1st October 1998 Vol. 34 No. 20.
- [Laks86] K-R. Lakshmikumar, R-A. Hadaway, M-A. Copeland: “Characterization and Modeling of Mismatch in MOS Transistors for Precision Analog Design”. IEEE Journal of Solid-State Circuits, Vol. SC-21, No. 6, December 1986.
- [Pelg89] M-J-M. Pelgrom, A-C-J. Duinmaijer, A-P-G. Welbers : “Matching Properties of MOS Transistors”. IEEE Journal of Solid-State Circuits, Vol. 24, No. 5, October 1989.

- [Stey00] K. Uyttenhove, M-S-J. Steyaert: "Speed-Power-Accuracy Trade-off in High-speed CMOS ADCs". IEEE Transactions on Circuits and Systems-II: Analog and Digital Signal Processing, Vol. 49, No. 4, April 2002
- [Bail85] F. Baillieu, R. Hermel : « l'amplificateur CMOS dans les circuits à capacités commutées ». Revue Phy. Appl. 20 (1985) 465-482.
- [Lee86] K-L-Lee: "Low Distortion Switched Capacitor Filters". Electron. Res. Lab. Memo M86/12, University of California, Berkeley, 1986.
- [Hata86] M. Furukawa, H. Hatano, K. Hanihara: "Precision Measurement Technique of Integrated MOS Capacitor Mismatching Using a Simple On-Chip Circuit". IEEE Transactions on Electron Devices, Vol. ED- 33, No. 7, July 1986.
- [Liu09] P. Chen, T-C. Liu: "Switching Schemes for Reducing Capacitor Mismatch Sensitivity of Quasi-Passive Cyclic DAC". IEEE Transactions on Circuits and Systems-II: Express Briefs, Vol. 56, No. 1, January 2009.
- [Yu96] P-C-W. Yu: "Low-Power Design Techniques for Pipelined Analog-to-Digital Converters". Thèse de Doctorat, Massachusetts Institute of Technology, 1996.
- [Huan90] D-L. Parker, W. Huang: "Polysilicon Resistor Trimming By Laser Link Making". IEEE Transactions on Semiconductor Manufacturing, Vol. 3, No. 2, May 1990.
- [Clin96] D-W. Cline, P-R. Gray: "A Power optimized 13-b 5 Msamples/s Pipelined Analog-to-Digital Converter in 1.2 μm CMOS". IEEE Journal of Solid-State Circuits, Vol. 31, No. 3, March 1996.
- [Walt02] M. Waltari: "Circuit Techniques for Low-Voltage and High-Speed A/D Converters". Thèse de Doctorat, Helsinki University of Technology, Espoo 2002.
- [Keys94] C-D. Keys: "Low-Distortion Mixers for RF Communications". Ph.D. dissertation, University of California, Berkeley, December 1994.

- [Clth96] D-W. Cline: "Noise, Speed, and Power Trade-offs in Pipelined Analog-to-Digital Converters". Thèse de Doctorat, University of California, Berkeley, 1996.
- [Raza02] B. Razavi : « Design of Analog CMOS integrated Circuits ». McGraw-Hill, edition 2002.
- [Dess99] M. Dessouky, A. Kaiser: "Input switch configuration suitable for rail-to-rail operation of switched opamp circuits". IEEE Electronics Letters, Vol. 35, No. 1, 7th January 1999.
- [Abo99] A-M. Abo, P-R. Gray: "A 1.5-V, 10-bit, 14.3-MS/s CMOS Pipeline Analog-to-Digital Converter". IEEE Journal of Solid-State Circuits, Vol. 34, No. 5, May 1999.
- [Kesk05] M. Keskin: "A Low-Voltage CMOS Switch With a Novel Clock Boosting Scheme". IEEE Transactions on Circuits and Systems-II: Express Briefs, Vol. 52, No. 4, April 2005.
- [Tsiv99] Y. Tsividis: « Operation and modeling of the MOS transistor». WCB/McGraw-Hill, 1999.
- [Hu96] C. Hu: « gate oxide scaling limits and projection». IEEE, IEDM, pp. 319-322, December 1996.
- [Stns99] J. Stenngaard: « Bootstrapped low-voltage analog Switches". IEEE, ISCAS, Vol. 2, 30 May-2 June 1999.
- [Waki90] M. Shinagawa, Y. Akazawa, T. Wakimoto: "Jitter Analysis of High-Speed Sampling Systems". IEEE Journal of Solid-State circuits, Vol. 25, No. 1, February 1990.
- [Blal95] T. Blalack, B-A. Wooley : « The Effects of Switching Noise on an Oversampling A/D Converter". ISSCC Dig. Of Tech. papers, February 1995.
- [Gray84] P-R. Gray, R-G. Meyer: "Analysis and Design of Analog Integrated Circuits". Wiley, edition 2, 1984.

- [Teme86] R. Gregorian, G-C. Temes: "Analog MOS Integrated Circuits for Signal Processing". John Wiley & Son, Inc. 1986.
- [Dza94] D. Dzahini, H. Ghazlane : "Auto-zero stabilized CMOS amplifiers for very low voltage or current offset". IEEE Nuclear Science Symposium, Portland (USA), 20-24/10/2003.
- [Dza03] D. Dzahini: "A high speed low power CMOS comparator". Communication at CERN for LARG collaboration, 1994.
- [Lewi92] S-H. Lewis, et al.: "10-b 20-Msample/s analog to digital converter". IEEE Journal of Solid-State Circuits, vol. 27, March 1992, p. 351-358.
- [Dah06] J. Bouvier, Mokrane Dahoumane, D. Dzahini, J-Y. Hostachy, E. Lagorio, O. Rossetto, H. Ghazlane and D. Dallet : "A Low Power and low signal 5-bit 25MS/s Pipelined ADC for Monolithic Active Pixel Sensors", IEEE NSS, San Diego USA, 2006.
- [Dah07] J. Bouvier, Mokrane Dahoumane, D. Dzahini, J-Y. Hostachy, E. Lagorio, O. Rossetto, H. Ghazlane and D. Dallet: "A Low Power and low signal 5-bit 25MS/s Pipelined ADC for Monolithic Active Pixel Sensors", IEEE Transactions on Nuclear Science 54 (2007) 1195-1200.
- [Dah07a] M. Dahoumane, D. Dzahini, O. Rossetto, J. Bouvier, E. Lagorio, J.Y. Hostachy, Y. Hu, H. Ghazlane, D. Dallet : "Conception d'un CAN pipeline de très faible consommation pour capteurs monolithiques à pixels actifs en technologie CMOS dédié aux applications de physique des particules et imageries biomédicales". 4ème Colloque Interdisciplinaire en Instrumentation (Nancy), du 17 au 19 octobre 2007.
- [Dah07b] Dahoumane, M.; Dzahini, D.; Bouvier, J.; Lagorio, E.; Rossetto, O.; Hostachy, J.-Y.; Ghazlane, H.; Dallet, D. : "Optimization of pipelined ADC architecture for Monolithic Active Pixel Sensors". Electronics, Circuits and Systems, 2007. ICECS 2007. 14th IEEE International Conference on Electronics, Circuits and Systems 11-14 Dec. 2007 Page(s) : 665 – 668

- [Dah09] M. Dahoumane, et al : «CAN pipeline de très faible consommation pour capteurs CMOS en physique des particules et imageries biomédicales ». Revue I2M (Instrumentation, Mesure, Métrologie). ARTICLE VOL 8/1-4 - 2008 - pp.77-92 - doi:10.3166/i2m.8.77-92.
- [Dall05] D. Dallet, J.M. Da Silva, “Dynamic Characterization of Analogue-to-Digital Converters”, Springer, 2005.
- [Max01c] site web MAXIM: “INL/DNL Measurements for High-Speed Analog-to-Digital Converters (ADCs)”. Maxim > Designer's Library > App Notes > A/D and D/A Conversion/Sampling Circuits High-Speed Signal Processing , APP 283: Nov 20, 2001.

Chapitre 5

Optimisation de l'architecture du CAN pipeline dédié aux capteurs monolithiques à pixel actif

5.1. Introduction

Dans le chapitre précédent, nous avons présenté un CAN pipeline classique (étages pipeline à simple échantillonnage). Nous avons obtenu des résultats satisfaisants en termes de fréquence d'échantillonnage et de précision. Néanmoins, des offsets entre voies de CAN et la consommation en puissance et en surface restent améliorables grâce respectivement à l'appareillement des voies et l'utilisation du concept de double échantillonnage.

Deux améliorations majeures ont été apportées au CAN précédent. L'introduction du principe de double échantillonnage a permis notamment de doubler la vitesse de conversion pour une puissance dissipée du même ordre que celle du CAN pipeline classique. Le choix de la résolution de 2,5 bits pour implémenter l'étage pipeline permet de réduire le nombre d'étages pipeline, ce qui se traduira par une réduction de la surface et de la puissance statique du CAN.

Dans ce chapitre, nous décrirons, dans un premier temps, le CAN intégrant ces améliorations. Ensuite, nous détaillerons un dernier CAN, qui permettra de palier les problèmes constatés lors du test du CAN précédent, essentiellement les offsets sur les signaux de référence et les seuils. Ce chapitre permettra de conclure sur le choix d'une architecture finale de CAN et les optimisations à apporter, pour la conception d'une chaîne de lecture et de codage du signal des pixels plus adaptée à l'application des capteurs CMOS à pixels.

5.2. Le concept de double échantillonnage

L'architecture pipeline classique des CANs mis en parallèle à l'échelle des colonnes de la matrice de pixels présente deux caractéristiques avantageuses. D'un côté, les étages pipeline successifs fonctionnent en concomitance et en opposition de phases de l'horloge et d'autre côté, les canaux de convertisseurs sont disposés en parallèle selon la disposition des colonnes de pixels dans les capteurs MAPS (Cf. figure 4.20). Ces deux caractéristiques, conjuguées au fait que l'amplificateur d'un étage pipeline et les comparateurs ne sont utilisés que pendant une phase sur les deux phases de la période de l'horloge, peuvent être exploitées en partageant l'amplificateur et les comparateurs entre soit deux étages consécutifs d'un même CAN ou deux étages du même ordre de deux CANs parallèles. La première approche permet de réduire la consommation et la surface, mais le débit (la fréquence) restera inchangé [Naga97]. Cette approche est illustrée et expliquée en Annexe B.3. Cependant, notre objectif, en plus de minimiser la consommation, a été de doubler la fréquence de conversion, pour permettre à chaque CAN de traiter un nombre double de colonnes de pixels. C'est pourquoi, nous nous sommes intéressés à la seconde approche, qui est le concept du double échantillonnage (Double Sampling), appliqué aux circuits à capacités commutées [Choi80]. En utilisant le concept du double échantillonnage, la fréquence du convertisseur est doublée, mais, la puissance dissipée demeure presque la même que pour une architecture aux étages pipeline traditionnels échantillonnant à la moitié de la fréquence. La réduction de la surface du CAN dépend du nombre de blocs, y compris les cellules logiques, partagés entre deux voies parallèles de CANs. En contre partie, la complexité des étages pipeline est augmentée et le nombre de signaux d'horloge et de switches, pour commander les opérations, augmente aussi. Un schéma de principe d'un MDAC utilisant le concept du double échantillonnage est illustré sur la figure 5.1. Dans ce schéma, la résolution 1,5 bit de l'étage pipeline a été choisie pour la simplicité. Les deux matrices de capacités des deux canaux voisins et parallèles du CAN, qui travaillent en opposition de phase d'horloge (déphasage de 180°), partagent un même amplificateur.

Le partage de l'amplificateur entre deux étages pipeline parallèles (Pipeline1 et Pipeline2) introduit deux effets gênants. Le premier est que les switches supplémentaires nécessaires pour l'implémentation du partage de l'amplificateur introduisent des résistances séries qui, en combinaison avec la capacité parasite d'entrée de l'amplificateur, affectent la vitesse d'établissement du signal de l'étage et par conséquent sa bande passante. Le deuxième

effet est que la tension en entrée de l'amplificateur, qui est l'offset dû au gain fini en boucle ouverte de l'amplificateur, n'est jamais compensée (Reset). N'ayant pas un moyen de mémoriser ou d'annuler cet offset, tous les échantillons sont, alors, affectés par l'erreur du gain fini en boucle ouverte de l'amplificateur. Cet effet peut être rendu négligeable grâce à un gain fini suffisamment élevé (la valeur du gain dépendra de la résolution du CAN).

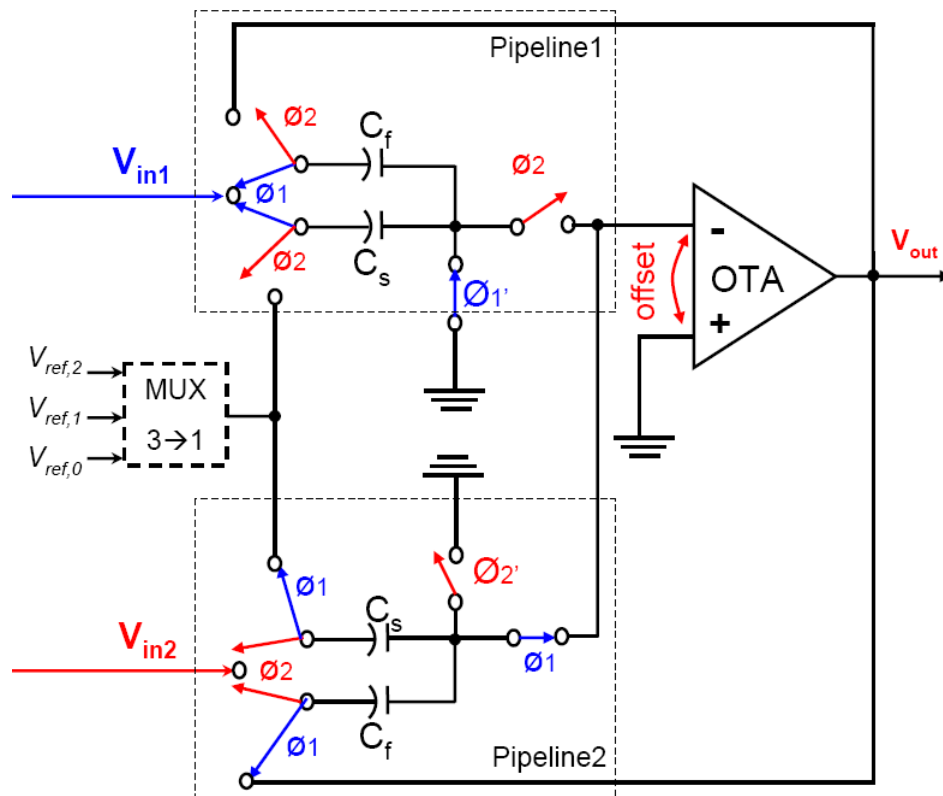


Figure 5.1 : Schéma de principe d'un MDAC à double échantillonnage

5.3. Les sources d'erreurs dans les CANs à double échantillonnage

En plus des deux inconvénients (offset et bande passante) suite au partage de l'amplificateur, la technique du double échantillonnage introduit différentes autres sources d'erreurs qui sont :

- La dispersion de l'erreur du gain de l'étage entre les deux voies d'un CAN. Elle est due au non-appariement entre les capacités des deux voies de l'étage ;
- Les incertitudes sur les timings des signaux d'horloge (gigue);

- Les offsets entre les canaux;

Les effets de ces erreurs sur les performances du convertisseur sont similaires aux effets des erreurs dans un CAN pipeline traditionnel déjà détaillés dans la section (4.3) du chapitre 4. Le dessin des masques des CANs à double échantillonnage pose un grand défi afin de surmonter les erreurs ci-dessus citées. Car, les contraintes en surface et consommation excluent le recours aux techniques de correction des erreurs nécessitant une surface et une dissipation de puissance supplémentaires.

5.4. CAN Pipeline à 4 bits de résolution utilisant un étage pipeline de 2,5 bits en double échantillonnage [Dah07c], [Dah08]

5.4.1. Introduction

Les deux contraintes majeures de l'application du détecteur de vertex sont : la faible dissipation de puissance, à cause de la limitation à un flux d'air froid laminaire pour l'évacuation de la chaleur dégagée, et la faible surface pour minimiser les zones insensibles (mortes) du détecteur. A cet effet, nous avons apporté des améliorations sur le CAN décrit dans le chapitre précédent. Dans cette partie nous décrivons un CAN à double échantillonnage fabriqué en technologie CMOS 0,35 μm . Ce CAN de 4 bits de résolution, utilisant un étage pipeline de 2,5 bits, échantillonne à une fréquence optimale de 50 MS/s. Son diagramme général est montré sur la figure 5.2. Ce circuit est constitué de deux parties principales :

Étage d'entrée :

Vu le faible signal d'entrée, chacune des deux voies parallèles possède son propre circuit SHA. Ce circuit est le même que celui utilisé dans le premier prototype. Cependant, des améliorations au niveau du dessin des masques ont été apportées pour minimiser la dispersion des offsets entre les canaux. Les deux SHA fonctionnent séquentiellement et en opposition de phase à une fréquence de 25 MHz chacun. Leurs sorties sont traitées par le premier étage du convertisseur à la fréquence de 50 MHz.

Le convertisseur analogique-numérique :

Il est constitué d'un étage pipeline de 2,5 bits, utilisant le principe de double échantillonnage, suivi d'un étage CAN flash à 2 bits. L'amplificateur, les comparateurs ainsi

que toute la logique sont partagés entre deux voies voisines. Seule la logique de décision, qui est de très faible consommation en puissance et en surface, n'est pas partagée. Elle sert à distinguer les sorties de chaque paire de voies de CANs.

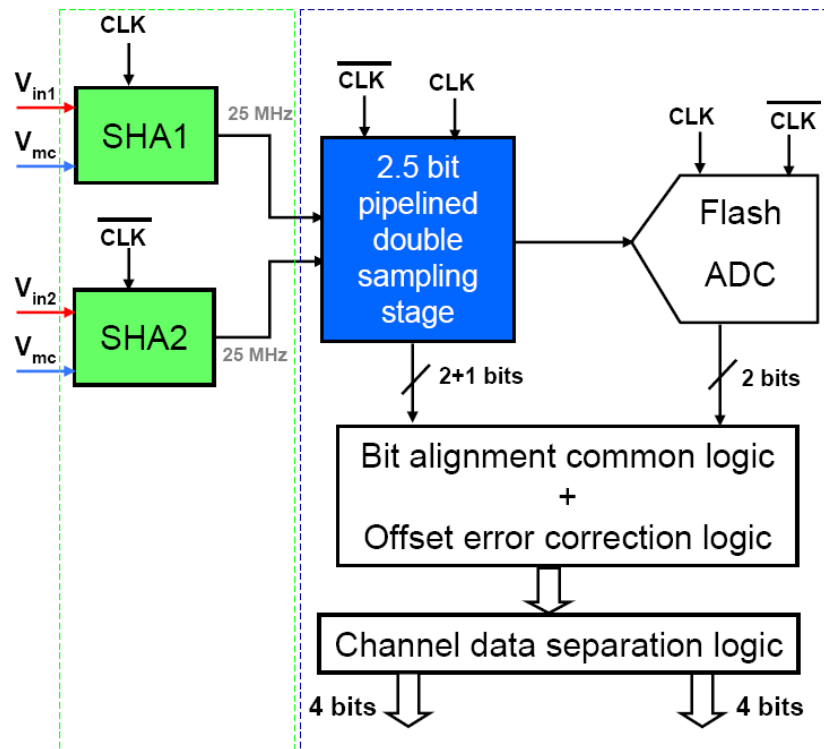


Figure 5.2 : Diagramme général du CAN pipeline à 4 bits en double échantillonnage.

5.4.2. Implémentation de l'étage pipeline 2,5 bits en double échantillonnage

La figure 5.3 montre l'implémentation de l'étage pipeline à 2,5 bits intégré dans le présent CAN. Tous les blocs de cet étage sont partagés entre deux voies voisines, sauf les capacités évidemment. Les signaux de SHA1 et SHA2 sont multiplexés vers le bloc de comparateurs à l'aide de deux commutateurs analogiques d'une façon synchronisée avec les signaux Flash des comparateurs et les phases d'échantillonnage et d'amplification (ϕ_s et ϕ_f) du circuit MDAC à double échantillonnage. Le Sub-CAN est composé de six comparateurs, un transcodeur 6 vers 3 et une logique de synchronisation qui permet d'éviter des chevauchements entre les deux échantillons traités par le MDAC pendant la phase d'amplification. Les opérations de conversion N/A, de soustraction et d'amplification et maintien (S/H) sont réalisées par un circuit à capacités commutées en double échantillonnage de résolution 2,5 bits. Il est implémenté de la même méthode que le schéma en figure 5.1, sauf

que le gain est de 4 au lieu de 2 et la résolution est de 2,5 bits au lieu de 1,5 bit. Afin de réaliser la fonction de transfert de cet étage, un MUX 7 vers 1 (CNA à 3 bits) est nécessaire et le rapport des capacités doit être, théoriquement, comme suit : $C_s = 3 \times C_f$.

La fonction de transfert de cet étage découle de la relation générale donnée en équation (4.5), elle s'écrit comme suit pour une résolution de 2,5 bits:

$$V_{out} = 4 \times V_{in} - 3 \times \beta \times V_{ref} \quad (5.1)$$

où, V_{ref} est la dynamique du signal d'entrée du convertisseur et β est un coefficient multiplicateur (Cf. équation 4.7) qui prend les valeurs (0, 1/6, 2/6, 3/6, 4/6, 5/6, 1), selon les combinaisons du code de sortie du Sub-CAN formé de $(b_2 b_1 b_0)$. Les sept valeurs que peut prendre le coefficient β permettent de calculer les valeurs des sept tensions de références ($V_{ref,1}$ à $V_{ref,7}$) nécessaires pour le calcul du résidu de l'étage pipeline à 2,5 bits.

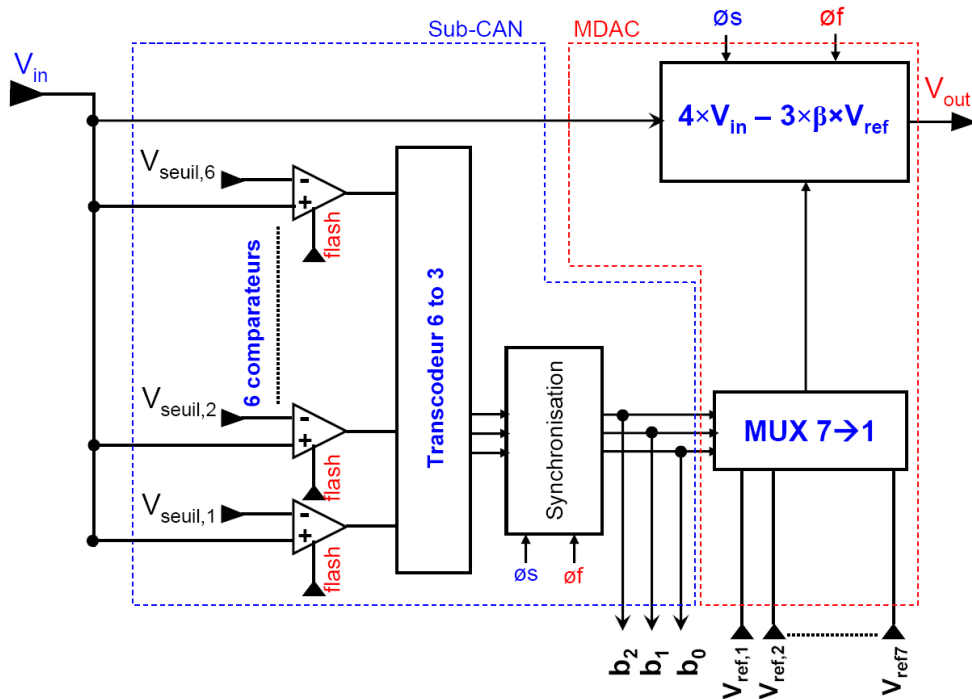


Figure 5.3 : Implémentation d'un étage pipeline 2,5 bit en double échantillonnage.

La fonction de transfert de l'étage pipeline à 2,5 bits de résolution est illustrée sur la figure 5.4. La courbe en trait continu représente la réponse idéale de l'étage. La courbe en pointillés symbolise l'impact de l'offset des comparateurs. Le gain de l'étage étant de 4 au lieu de 8 permet l'excursion de la moitié de la dynamique. Ce qui permet au signal de sortie

de l'étage, comme dans le cas du 1,5 bit par étage, d'éviter les dépassements de la dynamique à cause des offsets des comparateurs.

De la figure 5.4, on peut retrouver la valeur maximale tolérable de l'offset des comparateurs qui se traduit par une valeur additive sur le signal de sortie de l'étage pipeline. La quantité ΔV que multiplie le facteur 4 ne doit pas excéder $V_{ref}/4$, où V_{ref} est la pleine échelle du signal du convertisseur. V_{ref} est déterminée par la valeur du LSB et la résolution totale du CAN. Donc, $V_{ref} = LSB \times 2^4 = 64 \text{ mV}$, (LSB est de 4 mV, après amplification du signal d'entrée par gain de 4 du circuit SHA, et la résolution du CAN est de 4). Ici,

$$|\Delta V| \leq V_{ref}/16 \quad (5.2)$$

$$|\Delta V| \leq 4 \text{ mV} \quad (5.3)$$

Un CAN Flash de 4 bits de résolution nécessiterait 15 comparateurs et l'erreur due à l'offset des comparateurs ne serait pas compensable. D'où l'utilité du choix de l'architecture pipeline par rapport au flash même si la résolution du présent CAN est faible (4 bits).

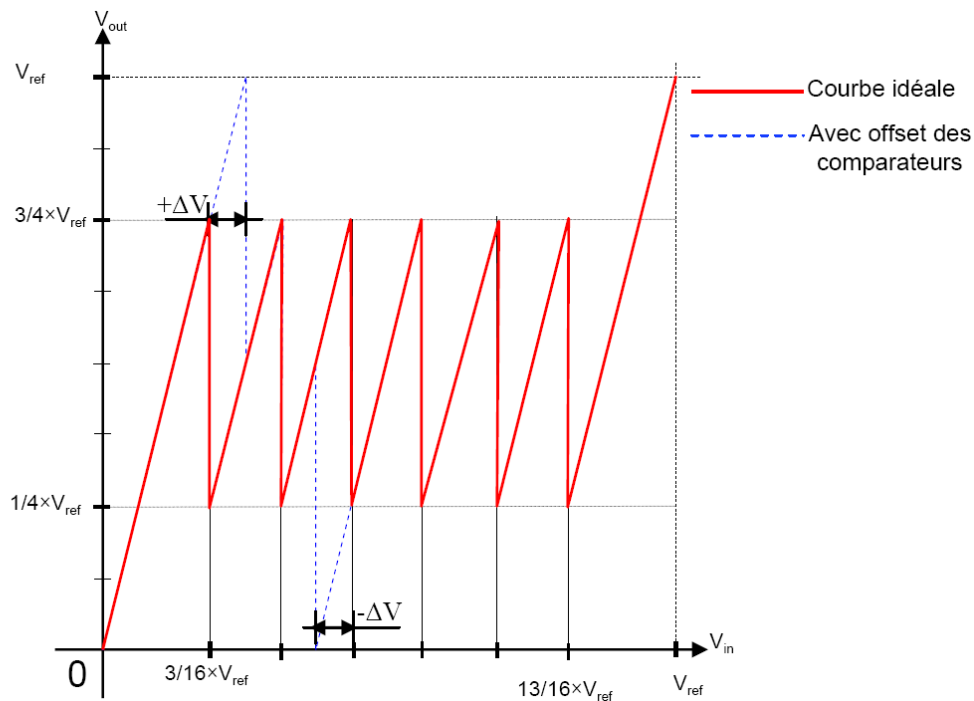


Figure 5.4 : Fonction de transfert d'un étage pipeline 2,5 bits avec l'impact des offsets des comparateurs

5.4.3. Les résultats de test du CAN pipeline à 4 bits de résolution et à 50 MS/s de fréquence en double échantillonnage

Un prototype du convertisseur décrit ci-dessus a été fabriqué en technologie CMOS 0,35 μm de chez AMS, il inclut 4 canaux de double échantillonnage [Dah07c], [Dah08]. Une photographie partielle (sans les plots d'entrées/sorties) de ce prototype est illustrée sur la figure 5.5. La constitution d'un canal de CAN et les différents circuits périphériques intégrés y sont montrés.

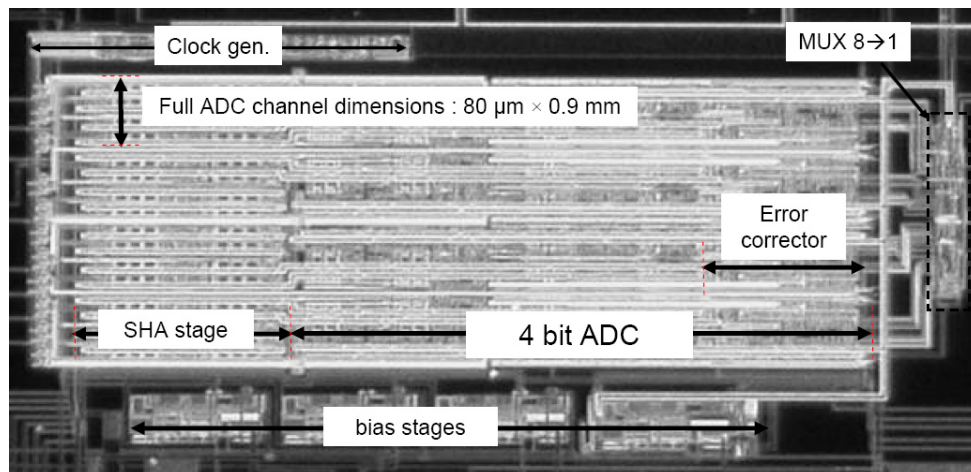


Figure 5.5 : Photographie du prototype de CAN pipeline à 4 bits et à 50 MS/s de fréquence.

Ce circuit a été testé en laboratoire à la fréquence optimale de 50 MHz ; le concept du double échantillonnage est pris en compte. Les dimensions d'un canal complet incluant l'étage SHA et la logique de correction des erreurs d'offset sont : 80 μm $\times$ 0,9 mm. Un canal échantillonnant à 50 MS/s dissipe uniquement 2,6 mW en statique. Ceci correspond à une dissipation statique de 1,3 mW pour paire de colonnes de pixels.

Le calcul des paramètres caractéristiques est effectué en utilisant la même méthode que lors du test du premier prototype dans le chapitre précédent. L'analyse statistique appliquée au code de sortie d'un sinus de 1 MHz de fréquence et d'amplitude crête-à-crête (peak-to-peak) de l'ordre de la pleine échelle du convertisseur (i.e. 16 mV) donne les résultats des INL et DNL qui sont montrés sur la figure 5.6. Les INL et DNL restent incluses entre - 0,4 LSB et +0,4 LSB pour tous les codes sauf le dernier code qui présente une INL de 0,7 LSB et une DNL de moins de 0,6 LSB.

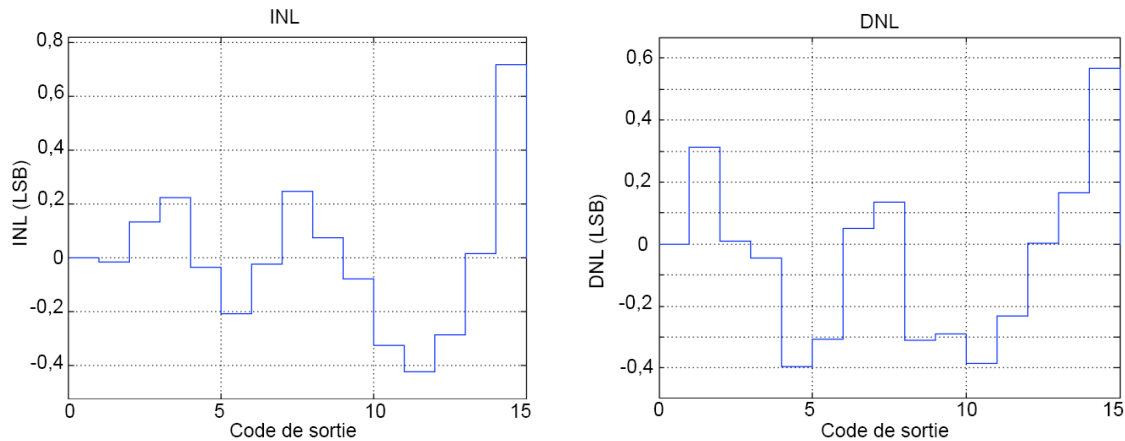


Figure 5.6 : Non-linéarités intégrale et différentielle du CAN à 4 bits de résolution

La figure 5.7 montre le tracé du spectre de la FFT pour un signal d'entrée sinusoïdal filtré de 1 MHz de fréquence et d'amplitude crête-à-crête balayant toute la dynamique du CAN (16 mV avant amplification). L'analyse spectrale du code de sortie montre que le convertisseur présente un SFDR de 24 dB. Le rapport signal à bruit avec distorsions (SINAD) calculé est de 10,35 dB. Enfin, ce CAN présente 12,35 dB de SNHR (rapport signal à bruit de non harmonique).

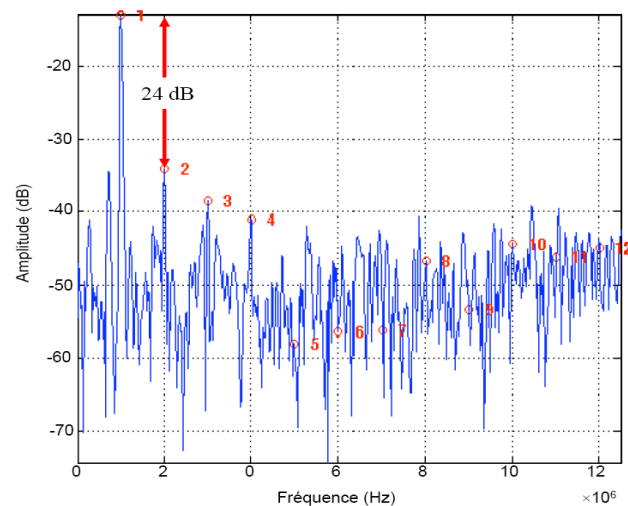


Figure 5.7 : Le spectre du code de sortie d'un sinus de 1 MHz

Dans ce prototype, est intégré un circuit de polarisation et de mise en veille rapide de toute la partie analogique du circuit. Un générateur de signaux d'horloge et un multiplexeur 8 vers 1 sont intégrés avec le CAN afin de commander les opérations du CAN et de multiplexer les sorties des canaux vers une seule sortie.

Un récapitulatif des résultats de test de ce circuit est donné par le tableau 5.1, les tests sont effectués à température ambiante.

Vdd	3,3 V
Technologie	CMOS 0,35 μm d'AMS
Résolution	4 bits
Fréquence	50 MS/s
Consommation statique	2,6 mW/4 colonnes de pixels
Surface occupée	80 $\mu\text{m} \times 0,9 \text{ mm}$
LSB	1 mV
Dynamique d'entrée	16 mV
DNL	$\pm 0,4 \text{ LSB}$
INL	$\pm 0,4 \text{ LSB}$
SFDR	24 dB

Tableau 5.1: Résumé des performances du CAN obtenues par des tests à température ambiante.

La résolution de 2,5 bits par étage pipeline a l'avantage d'alléger les contraintes sur l'étage suivant, donc réalise une meilleure performance en puissance et surface. Néanmoins, le nombre élevé de signaux de références et de seuils requis pour les comparateurs pose un sérieux problème d'offsets et d'irrégularités entre ces valeurs. Ces irrégularités s'ajoutent aux tensions d'offsets des comparateurs pour pousser presque à sa limite l'efficacité de correction d'erreur d'offset, vu que l'offset maximal toléré n'est que de 4 mV.

Comparé au CAN pipeline traditionnel de 5 bits présenté en chapitre 4, la technique du double échantillonnage a permis de réduire la surface d'environ 45% et la consommation d'environ 27 % et d'améliorer l'INL et la DNL très sensiblement (l'erreur maximale est réduite à $\pm 0,4 \text{ LSB}$).

5.5. CAN Pipeline à 5 bits de résolution et à 50 MHz de fréquence utilisant des étages pipeline de 1,5 bit en double échantillonnage [Dah08b]

5.5.1. Introduction

Comme nous l'avons constaté dans la section précédente, le test du CAN à double échantillonnage utilisant la configuration de 2,5 bits par étage pipeline a montré d'excellentes performances en termes de surface et de consommation. A 50 MS/s de fréquence, les erreurs de linéarité n'excèdent pas les $\pm 0,4$ LSB. Le seul inconvénient est la multitude de signaux de références et des seuils qui ont présenté des offsets difficiles à compenser d'une façon automatisée. A cet effet, nous avons conçu une troisième version du convertisseur, dans laquelle, le principe du double échantillonnage est maintenu, mais, en réduisant la résolution des étage pipeline à 1,5 bit par étage. Ce nouveau convertisseur est conçu pour fonctionner à une basse tension d'alimentation (tension nominale de 2V). Dans cette section, la description et les résultats de tests de ce CAN seront présentés.

5.5.2. L'architecture du convertisseur

Le prototype, que nous décrirons ci-après, est une synthèse des points forts ressortis du test des deux versions précédentes de CANs (i.e. double échantillonnage et basse résolution des étages pipeline). Ce prototype inclut 16 canaux de CANs, correspondant à 64 colonnes de pixels. Chaque CAN convertit à 50 MHz avec une basse tension d'alimentation. Le nombre de voies est un compromis entre le coût et le nombre minimal de canaux nécessaire à l'étude de la diaphonie entre les voies de CANs. L'architecture de ce convertisseur est semblable à celle du CAN à 4 bits décrit ci-dessus, dans le sens où, le principe du double échantillonnage soit réutilisé pour l'implémentation des étages pipeline. Cependant, des différences substantielles existent entre les deux circuits, le but étant de minimiser les offsets et la consommation. La figure 5.8 montre le diagramme général de ce convertisseur.

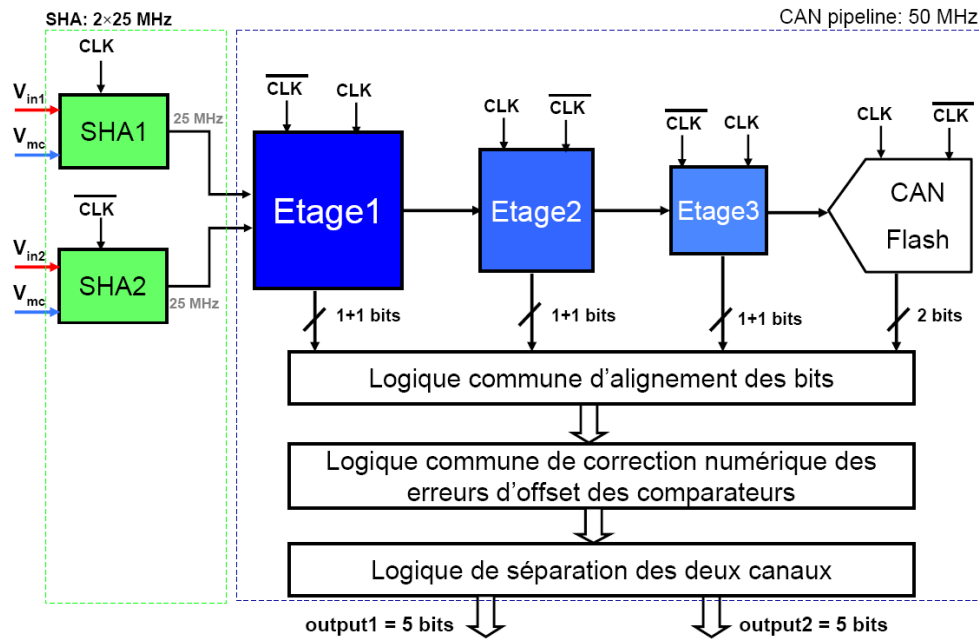


Figure 5.8 : Diagramme général du CAN pipeline à 5 bits en double échantillonnage.

Dans ce schéma, les deux sorties des circuits SHA1 et SHA2 attaquent une cascade d'étages pipeline à double échantillonnage de 1,5 bit de résolution. Le dernier étage de la chaîne est un CAN flash à 2 bits. La section (4.3.2.1.1) du chapitre 4 montre que les contraintes de précision sur les étages pipeline décroissent le long de la chaîne pipeline. Cette caractéristique est symbolisée par la taille décroissante des étages pipeline sur la figure 5.8. Dans ce circuit, la dissipation de puissance des amplificateurs décroît d'un facteur 2 le long des étages pipeline. Le même principe dégressif pouvait s'appliquer sur la taille des capacités. Mais le gain en surface aurait été moins que les problèmes de dissymétrie engendrés. A cet effet, nous avons préféré garder la même taille des capacités dans tous les étages pipeline. Afin de minimiser la surface, hormis les capacités, toutes les cellules sont partagées entre deux voies voisines. Les comparateurs du premier étage, ne sont pas partagés. Car, le fait de les partager nécessite un switch analogique pour multiplexer les deux sorties SHA1 et SHA2 vers les comparateurs (Cf. figure 5.8). La capacité d'entrée des comparateurs, les capacités parasites et la résistance (R_{on}) du switch forment un circuit RC qui affecte la bande passante du premier étage. C'est pourquoi, dans cet étage, chaque canal a ses deux comparateurs. Ce problème ne se pose pas pour les étages suivants. Car, les signaux des deux canaux sont véhiculés par un même fil physique et sans aucun switch pour les multiplexer. L'harmonie entre les deux voies est obtenue grâce à l'architecture d'un MDAC à double échantillonnage, dont l'implémentation est déjà montrée en figure 5.1.

5.5.3. Implémentation de l'étage pipeline à 1,5 bit de résolution en double échantillonnage

L'implémentation d'un étage pipeline à 1,5 bit en double échantillonnage est montrée sur la figure 5.9, elle est similaire à celle des étages à 2,5 bits, sauf qu'on a besoin de deux comparateurs au lieu de six et de gain du MDAC de 2 au lieu de 4. Ceci réduit, alors, le nombre de signaux de référence et de seuils à trois et deux respectivement.

Le séquençement des opérations de cet étage est illustré sur l'organigramme de la figure 5.10. Le signal Flash est une somme de deux signaux Flash1 et Flash2 utilisés dans la logique de séparation des sorties des deux voies mises en double échantillonnage. Ce circuit fonctionne sur deux phases d'horloge non-recouvrantes ($\phi 1$ et $\phi 2$). Le signal d'entrée V_{in} de chaque étage pipeline ramène l'information sur un canal durant une phase et sur le deuxième canal durant la deuxième phase de l'horloge. Durant la phase $\phi 1$, le *pipeline1* échantillonne le signal correspondant à V_{in1} et le *pipeline2* amplifie le signal correspondant à V_{in2} . À la fin de cette phase, le signal V_{in} est codé par les deux comparateurs sur un front montant du signal Flash. Les sorties des comparateurs sont synchronisées par une logique dédiée afin que le CNA ne délivre un nouveau signal sur sa sortie qu'au début de la phase $\phi 2$. Le contraire aurait complètement faussé la valeur du signal qui est en amplification. Durant la phase $\phi 2$, le *pipeline1* passe en mode amplification et maintien et le *pipeline2* échantillonne le signal qui correspond à l'entrée V_{in2} . À la fin de cette phase le signal d'entrée est codé par les mêmes comparateurs sur le deuxième front montant du signal Flash, ce qui fait que le signal Flash fonctionne à une fréquence de 50 MHz en sachant que les signaux $\phi 1$ et $\phi 2$ ont une fréquence de 25 MHz. Les sorties des comparateurs ne s'écrasent pas mutuellement grâce à la circuiterie de synchronisation intégrée et qui commandée par les mêmes signaux $\phi 1$ et $\phi 2$.

La partie logique (retards, correction et séparation) est la même que celle utilisée dans le CAN pipeline 5 bits au simple échantillonnage. Mais la commande des portes logiques, qui constituent les trois blocs de cette logique, s'opère d'une façon différente. La logique d'alignement des bits (retards) et la logique de correction des erreurs d'offsets des comparateurs fonctionnent à 50 MHz sous les fronts montants du signal Flash. La logique de séparation est dupliquée vu qu'elle ne consomme ni en surface ni en puissance. Elle sert à distinguer les sorties numériques des deux voies traitées parallèlement par le même CAN.

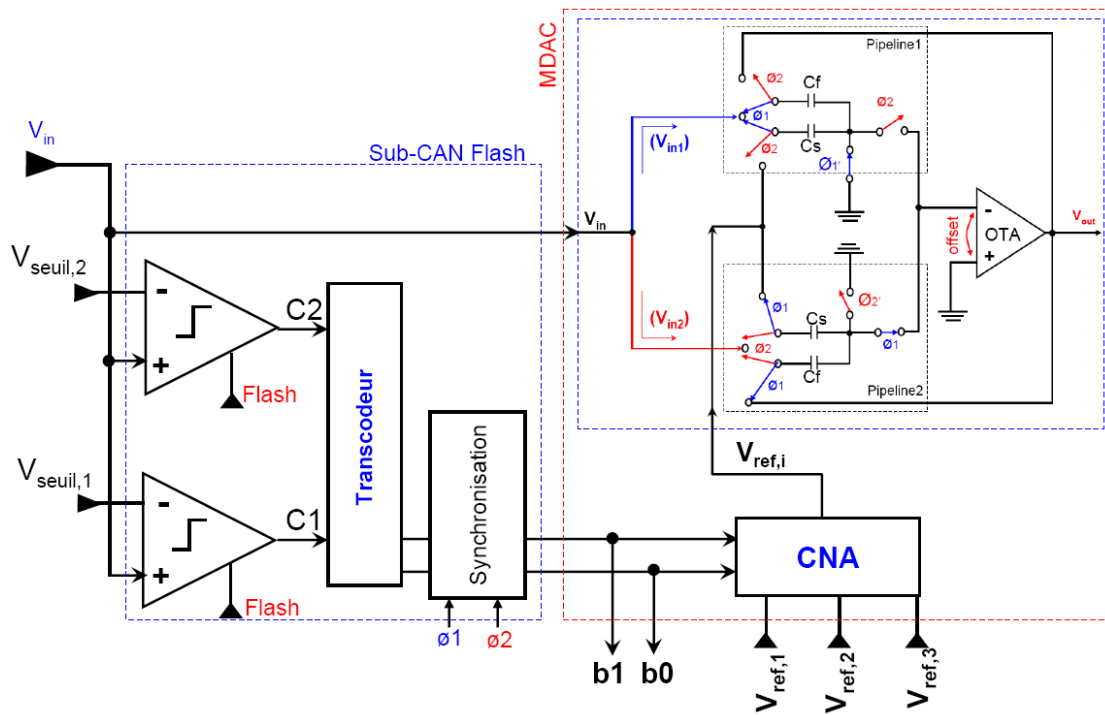


Figure 5.9 : Implémentation de l'étage pipeline à 1,5 bit en double échantillonnage.

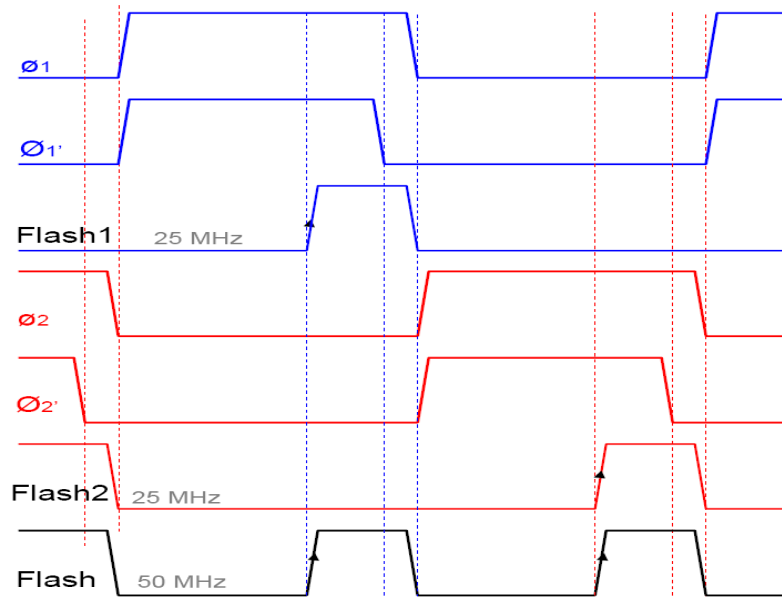


Figure 5.10 : Séquence de commande des opérations d'un étage pipeline à double échantillonnage.

5.5.4. Les résultats de test du circuit

Tout comme les deux premiers circuits, ce prototype a également été fabriqué en technologie CMOS standard 0,35 μm de longueur de grille d'AMS. Il inclut 16 canaux du convertisseur ci-dessus décrit. Une photographie avec les plots d'entrées/sorties du circuit est illustrée sur la figure 5.11. La matrice des 16 canaux de convertisseurs à double échantillonnage traite 32 entrées analogiques. Donc, chaque CAN convertit deux entrées analogiques séquentiellement à la fréquence de 50 MS/s. Un générateur de signaux d'horloge, un circuit de polarisation et de mise en veille/marche rapide et un multiplexeur 32 vers 1 sont intégrés avec la matrice de CANs.

Les dimensions d'un canal de convertisseur complet, incluant la logique de correction des erreurs d'offsets des comparateurs et deux circuits de l'étage du SHA, sont $80\text{ }\mu\text{m} \times 1,4\text{ mm}$.

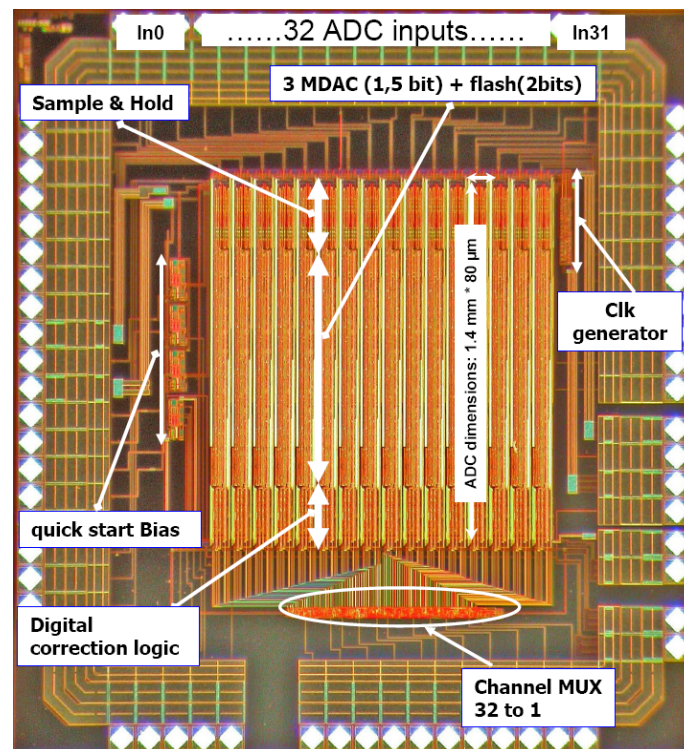


Figure 5.11 : Photo du prototype de 16 canaux de CANs pipeline à 5 bits en double échantillonnage

Les résultats que nous présenterons ci-après sont obtenus à une fréquence de conversion nominale de 50 MHz. L'horloge étant de 25 MHz, mais le convertisseur, quant à lui, travaille à une fréquence de 50 MHz en exploitant les deux phases de l'horloge. En simulation, à la tension d'alimentation de 2 V, le convertisseur dissipe uniquement 1,4 mW de

puissance statique et 0,85 mW de puissance dynamique. L'étage d'amplification, à lui seul, dissipe 620 μ W en statique, ce qui représente 44 % de la consommation globale. La projection sur une paire de colonnes de pixels donne une fréquence de 25 MHz et une consommation statique de 0,7 mW et une consommation dynamique de 425 μ W. Ce qui donne une consommation statique de 350 μ W par colonne de pixels convertie à une fréquence de 12,5 MHz. Dans le test, la tension d'alimentation a été portée à 2,95 V pour les parties analogiques et à 2,5 V pour la partie numérique du circuit et la dissipation de puissance a augmenté. Le CAN a été conçu pour fonctionner à la basse tension d'alimentation (2 V) ; néanmoins, on n'atteignait pas, dans le test, les bons courants de polarisation escomptés à la tension d'alimentation de 2 V. À cet effet, afin de polariser correctement les amplificateurs et les comparateurs, une augmentation de la tension de polarisation à 2,95 V a été nécessaire. Quant à la partie numérique, les délais de propagation des signaux dans les cellules logiques deviennent importants à 2 V d'alimentation. Les comparateurs ainsi que tous les blocs numériques du circuit ont été partagés entre deux voies de CAN. Par conséquent, à 50 MHz de fonctionnement de ces éléments, nous disposons d'intervalles de temps très courts pour propager l'information. En simulation, nous n'avons pas eu de problèmes, mais en test nous avons constaté certains écrasements de données numériques à 2 V d'alimentation. Ces écrasements peuvent avoir lieu au niveau du comparateur déjà ou bien au niveau de la logique de synchronisation et de décalage constituée par des bascules D. Le placement et le routage automatiques de ces cellules numériques peut être à l'origine des dissymétries entre les chemins critiques des signaux numériques. Les cellules numériques du circuit ont été simulées en mode typique de la technologie, ce qui ne permet pas d'estimer les délais de pire cas.

Dans ce test, le signal d'entrée est un sinus filtré de fréquence 1 MHz et d'amplitude crête-à-crête balayant toute la dynamique du CAN. Le calcul des paramètres statistiques est réalisé en appliquant une analyse statistique sur le code de sortie du convertisseur correspondant à un sinus légèrement saturé. Les paramètres dynamiques (THD, SINAD, SNR et SFDR) sont obtenus par l'analyse spectrale d'un code de sortie pour un sinus en entrée non saturé. Car la saturation fera apparaître des phénomènes non représentatifs du fonctionnement du CAN. La figure 5.12 illustre la Transformée de Fourier Rapide (FFT).

Cette étude et l'extraction des paramètres dynamiques sont effectuées en utilisant les outils d'analyse du signal de LabView. Le tableau 5.2 résume les performances dynamiques du convertisseur.

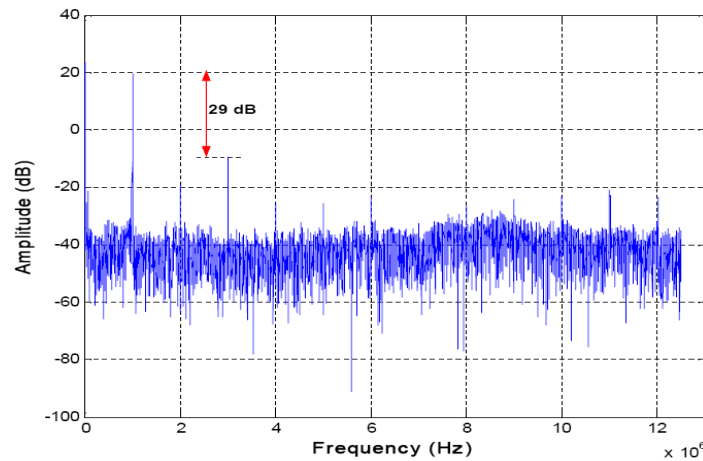


Figure 5.12 : La FFT du code de sortie pour un sinus de 1 MHz

Les erreurs de non-linéarités intégrale et différentielle sont calculées en analysant l'histogramme montré en figure 5.13. Cet histogramme montre une légère saturation vers la partie inférieure. Il aurait été préférable de saturer symétriquement pour éviter des problèmes de symétrie. Le but de saturation et de faire apparaître tous les codes de sortie. On ne constate aucun code manquant sur cet histogramme.

Fundamental frequency	1.00021 MHz
THD: total harmonic distortion	-27 dB
SINAD: signal-to-noise-and-distortion ratio	20.95 dB
SNR: signal-to-noise ratio	21.86 dB
SFDR: spurious-free dynamic range	29 dB

Tableau 5.2 : Performances dynamiques à la fréquence de conversion de 50 MHz

L'analyse de l'histogramme de la figure 5.13 montre de bonnes valeurs pour la DNL et pour l'INL. Les erreurs de non-linéarités différentielle et intégrale sont calculées par la méthode des histogrammes cumulés et sont tracées sur la figure 5.14. La DNL, sur la gauche de la figure 5.14, est comprise entre -0,7 et +0,7 LSB. La partie droite de la figure 5.14 montre l'analyse de l'INL. Cette figure montre aussi une bonne linéarité.

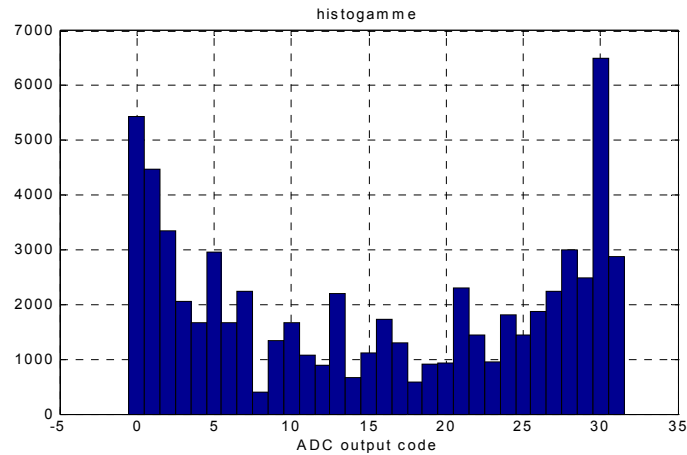


Figure 5.13 : L'histogramme du code de sortie du CAN pour un sinus de 1 MHz

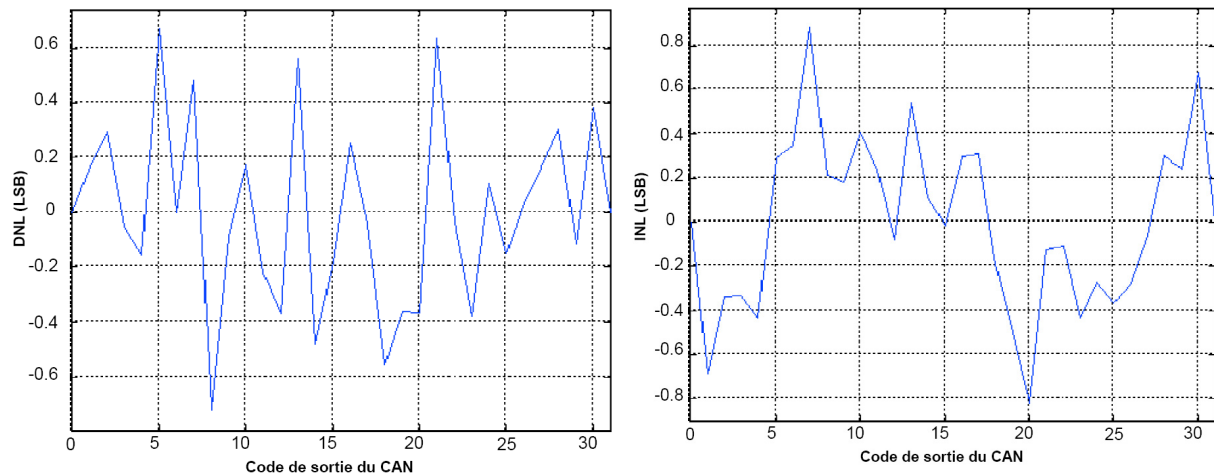


Figure 5.14 : DNL et INL du CAN de 5 bits à 50 MHz

Toutes les parties analogiques du convertisseur peuvent être mises en veille ou en marche très rapidement grâce au circuit de polarisation intégré qui est commun pour toutes les voies de CANs. Il est nécessaire de commuter rapidement entre les deux modes du circuit (marche/veille) pour minimiser la puissance dissipée inutilement. La figure 5.15 montre la réponse du CAN pour un sinus suite à un front d'horloge qui amorce la mise en marche.

L'échelle logarithmique est choisie pour mieux observer le comportement du CAN au signal de démarrage. Le réveil s'effectue en deux étapes : la première étape, qui correspond à stabilisation des tensions de polarisation, dure environ 400 ns et la deuxième étape est celle du réveil de toutes les parties analogiques du convertisseur, elle dure 14 μ s. Ces résultats sont concluants car la période des collisions dans le détecteur est de 200 μ s.

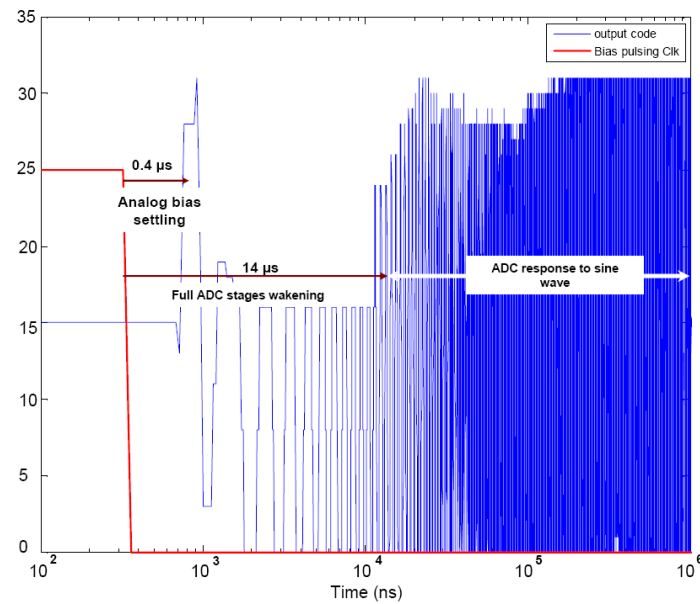


Figure 5.15 : Réponse du CAN à un sinus à partir d'un front de démarrage.

Le nombre élevé de voies, 16 voies de CANs à double échantillonnage, du présent prototype a permis de faire une étude de la diaphonie entre les canaux. Comme chaque voie échantillonne deux entrées analogique V_{in1} et V_{in2} (Cf. figure 5.8) une après l'autre, on a constaté deux types de dispersions entre les voies : un décalage entre les catégories de voies paires et impaires et une dispersion d'offsets entre les voies de la même catégorie de voies.

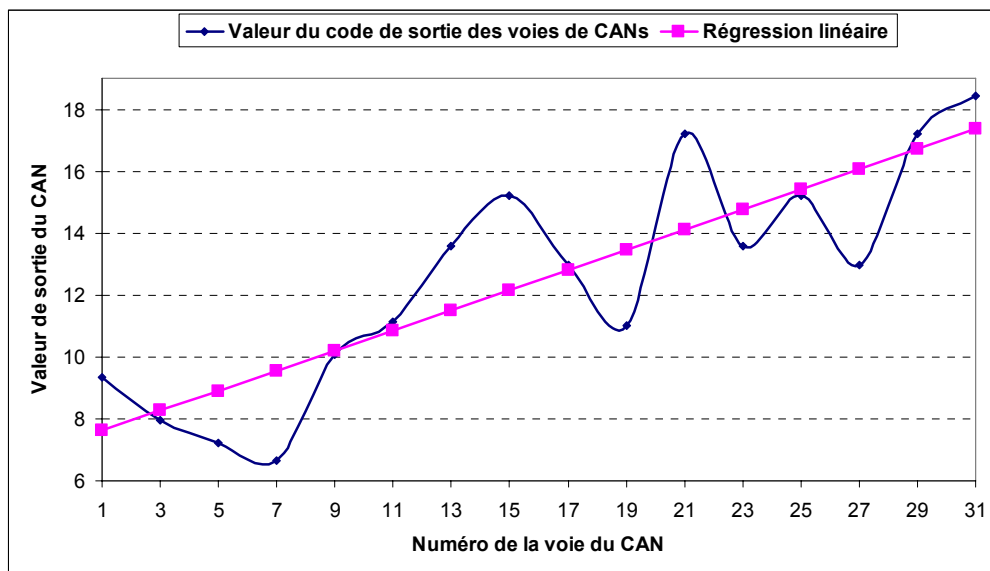


Figure 5.16 : Dispersion des offsets entre les voies de convertisseurs.

Sur la figure 5.16 est illustrée la réponse des voies de la catégorie impaire du prototype pour une valeur statique du signal d'entrée commun à toutes les voies. On voit bien la tendance de la dispersion d'offsets qui croît de gauche à droite. Rappelons que les signaux de référence et les seuils ainsi que les tensions de polarisation sont distribuées depuis la gauche du circuit. Donc la voie 1 est la plus proche de la source et la voie 31 en est la plus loin. Cette tendance est due à la constante RC des pistes du métal qui sont utilisées pour distribuer les signaux de références. Cette constante de temps atténue les valeurs des tensions le long des pistes. La valeur du code de sortie des voies croissant en parcourant les voies de 1 à 31 est cohérente. Car, toute diminution des tensions de référence ($V_{ref,1}$, $V_{ref,2}$ et/ou $V_{ref,3}$) engendre une augmentation de la valeur du signal de sortie du MDAC. Et c'est ce qui est constaté sur la figure 5.16.

5.5.5. Conclusion

Dans cette section, nous avons présenté un CAN pipeline de résolution 5 bits travaillant en double échantillonnage à la fréquence de 50 MHz. Ce CAN est fabriqué en technologie standard CMOS 0,35 μm d'AMS. Chaque canal de CAN de ce circuit comporte un circuit SHA et un CAN pipeline à double échantillonnage. Les étages pipeline ont été implémentés avec une résolution de 1,5 bit. L'architecture non-différentielle a été appliquée sur l'ensemble du circuit. Ce qui rend très critique toute présence d'offsets. Un résumé des performances de ce convertisseur est donné dans le tableau 5.3.

Cette configuration montre de meilleures performances que les deux précédentes. Néanmoins, le problème des offsets des étages pipeline, qui est inhérent au concept de double échantillonnage, se pose compte tenu de la faible valeur du LSB (1 mV) et de la faible tension d'alimentation (2 V). Dans ce circuit, nous avons prévu des entrées auxiliaires pour compenser les erreurs dues aux offsets des étages pipeline et celui de l'étage SHA. Dans sa version finale, ce circuit comportera un système automatisé de compensation de ces offsets.

Vdd	2 V
Technologie	CMOS 0,35 μm d'AMS
Résolution	5 bits
Fréquence d'échantillonnage	50 MS/s
Consommation statique	1,4 mW (50 MHz)
Consommation dynamique	0,85 mW (50 MHz)
Surface occupée	80 $\mu\text{m} \times 1,4 \text{ mm}$
LSB	1 mV
Dynamique d'entrée	32 mV
DNL	$\pm 0,7 \text{ LSB}$
INL	Comprise entre -0,8 et +0.8 LSB
SFDR	29 dB

Tableau 5.3 : Résumé des performances du CAN à 5 bits en double échantillonnage mesurées à température ambiante.

5.6. Proposition d'une chaîne de lecture à l'échelle de la colonne de pixels dans les capteurs monolithiques à pixel actif

Le test des trois versions de convertisseurs conçus et réalisés dans le cadre de cette thèse a mis en évidence les performances déjà acquises et les problèmes qui restent à résoudre prochainement. À l'issue du test du CAN à 5 bits en double échantillonnage, hormis le problème des courants de polarisation que nous n'avons pas pu atteindre à 2 V d'alimentation, le problème majeur qui demeure posé est la dispersion des offsets entre les voies des convertisseurs. Cette dispersion provient de différentes sources, qui peuvent se résumer en trois catégories : l'appariement des canaux, la distribution des horloges et des signaux de référence et seuils, et les capacités parasites en entrée de l'étage SHA. Le dessin des masques de cette dernière version de CAN est finement optimisé afin de minimiser les erreurs d'appariement entre les canaux. Par conséquent, on peut conclure que la source de ces dispersions est liée à la distribution des signaux et essentiellement à la topologie de l'étage d'entrée (SHA). Dans cette section, nous proposons une nouvelle architecture, qui comprend

les étages d'entrée proposés²¹ et le CAN, complètement accordée à la séquence de commande de la matrice de pixels (de MIMOSA 22). Le schéma global de cette architecture qui traite 4 colonnes de pixels en parallèle est montré sur la figure 5.17. Le dessin des masques de quatre voies du circuit de l'étage d'entrée mises en parallèle est montré en Annexe B.4, où, nous avons également mis une image du dessin des masques de 32 voies de cette nouvelle architecture globale (circuit d'interface et CAN).

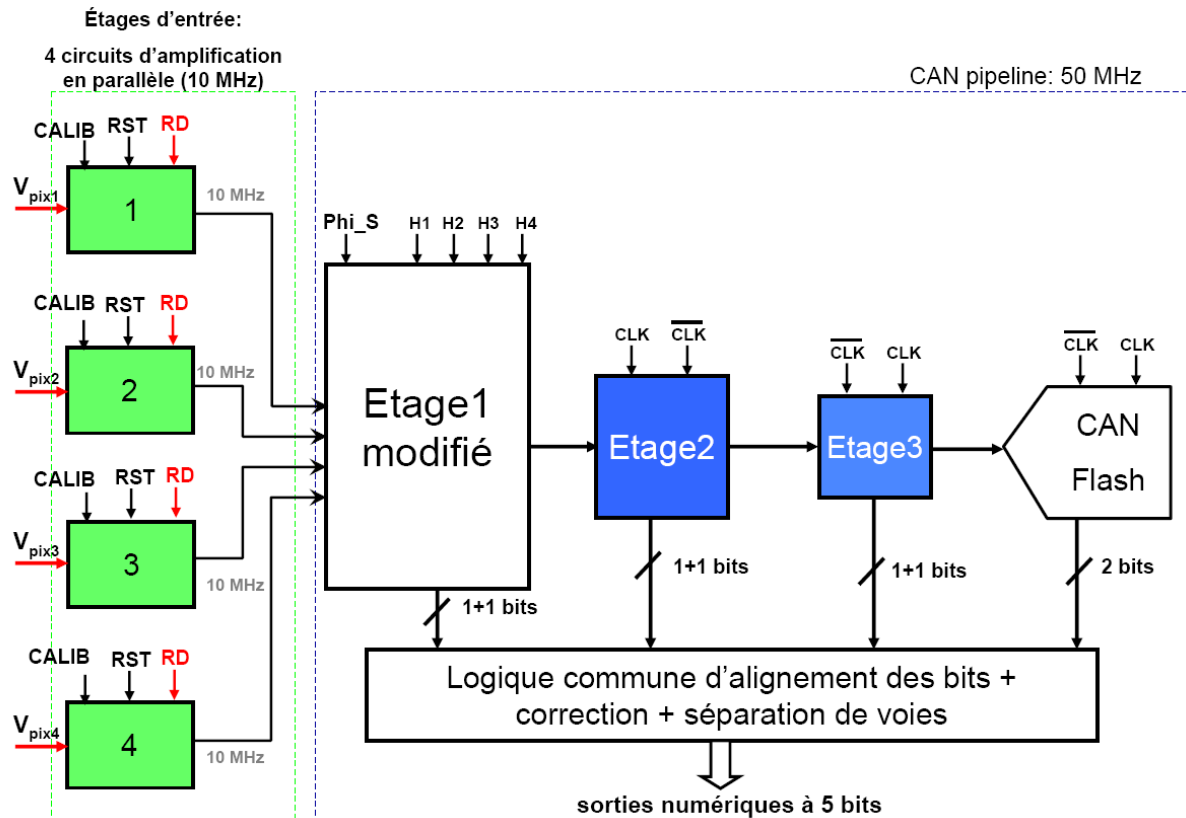


Figure 5.17 : Schéma global de la chaîne de lecture proposée. L'étage d'entrée est composé de 4 circuits échantillonneurs amplificateurs (1, 2, 3, 4).

La tâche principale a été d'adapter les signaux d'horloge du CAN à la séquence de commande du pixel et de l'étage d'entrée. A cet effet, le premier étage pipeline du CAN a été modifié et les deux étages SHA ont été remplacés par 4 circuits de la nouvelle architecture du circuit proposé. Toutes les autres parties du convertisseur restent inchangées. Le fonctionnement du circuit montré sur la figure 5.17 est piloté par les signaux de commande du chronogramme de la figure 5.18.

²¹ Nouvelle architecture proposée pour réaliser l'étage d'interface entre une colonne de pixels et un CAN. Ce circuit est déjà détaillé dans le chapitre 2.

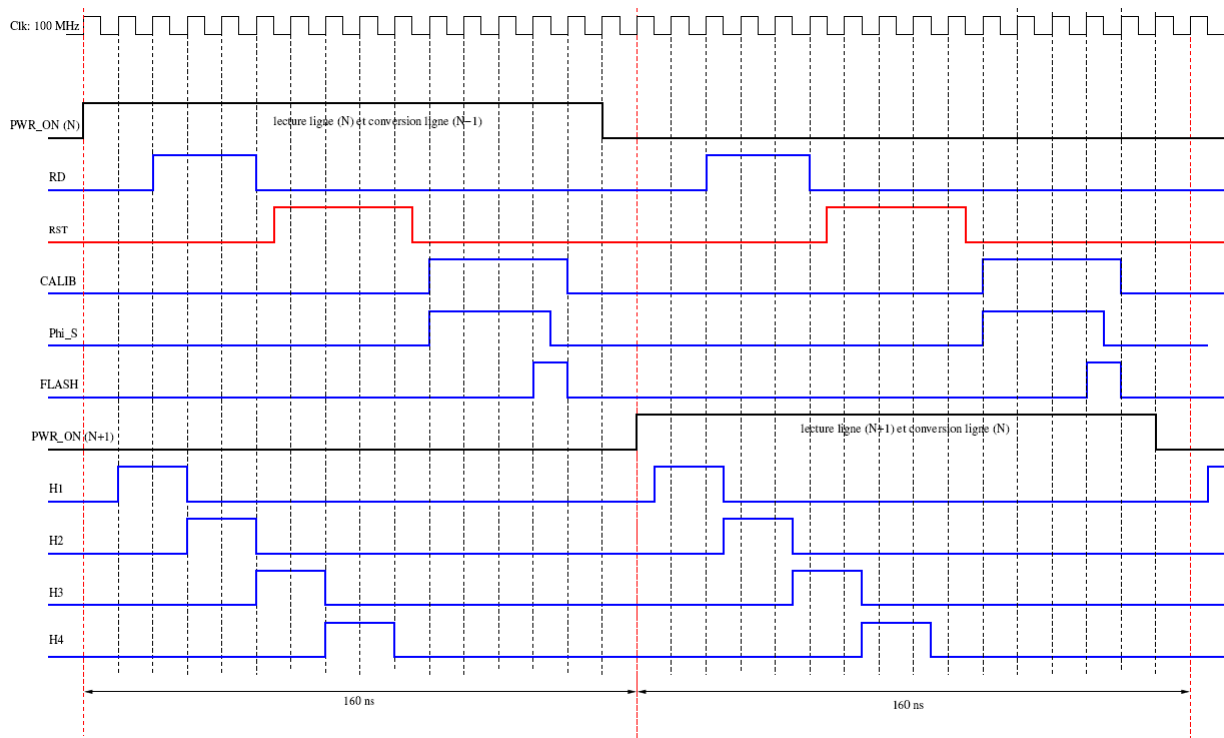


Figure 5.18 : Séquence de commande de lecture et de conversion des lignes de pixels

La lecture d'une ligne et sa conversion se font d'une façon pipeline. C'est à dire, lorsqu'on sélection la ligne (N) pour la lecture (PWR_ON (N) activé), les 4 étages d'amplification sont connectés en parallèle à 4 colonnes de pixels. Ils suivent l'évolution du signal des pixels et effectuent, tous simultanément, l'opération de CDS et d'amplification. Pendant la phase Phi_S, les 4 sorties des circuits d'amplification sont échantillonnées simultanément sur les capacités du MDAC du premier étage du CAN pipeline. Cette phase coïncide avec la phase de CALIB où la différence entre le signal d'intensité et celui de référence est effectuée. Le signal FLASH, qui arrive à la fin de la phase de lecture, commande le codage du signal échantillonné par les comparateurs du premier étage pipeline. Lorsqu'on passe à la lecture de la ligne (N+1) par les étages d'amplification (PWR_ON (N+1) activé), le CAN pipeline entame la conversion de la ligne précédente (ligne N). La condition nécessaire pour éviter tout chevauchement ou écrasement entre les signaux est d'avoir suffisamment du temps pour évacuer les signaux mémorisés dans les capacités du premier étage pipeline avant l'arrivée de la phase CALIB qui permet à ce premier étage pipeline de recevoir le nouvel échantillon. Cette opération d'évacuation est commandée par les signaux (H1, H2, H3, H4). Ces derniers correspondent aux phases de Hold (H) dans les étages pipeline et donc ne durent que 20 ns, car la période de conversion dans le CAN est de 40 ns (i.e. fréquence de 50 MHz).

L'implémentation du premier étage pipeline de l'architecture proposée est illustrée sur la figure 5.19. Les 4 signaux ($V_{in1}, \dots, V_{in4}$) provenant de 4 colonnes de pixels adjacentes et traités par les 4 étages d'entrée sont codés par 4 paires de comparateurs et mémorisés dans 4 paires de capacités (C_s et C_f). Ces deux opérations s'effectuent pendant la phase Φ_{i_S} (voir chronogramme 5.18).

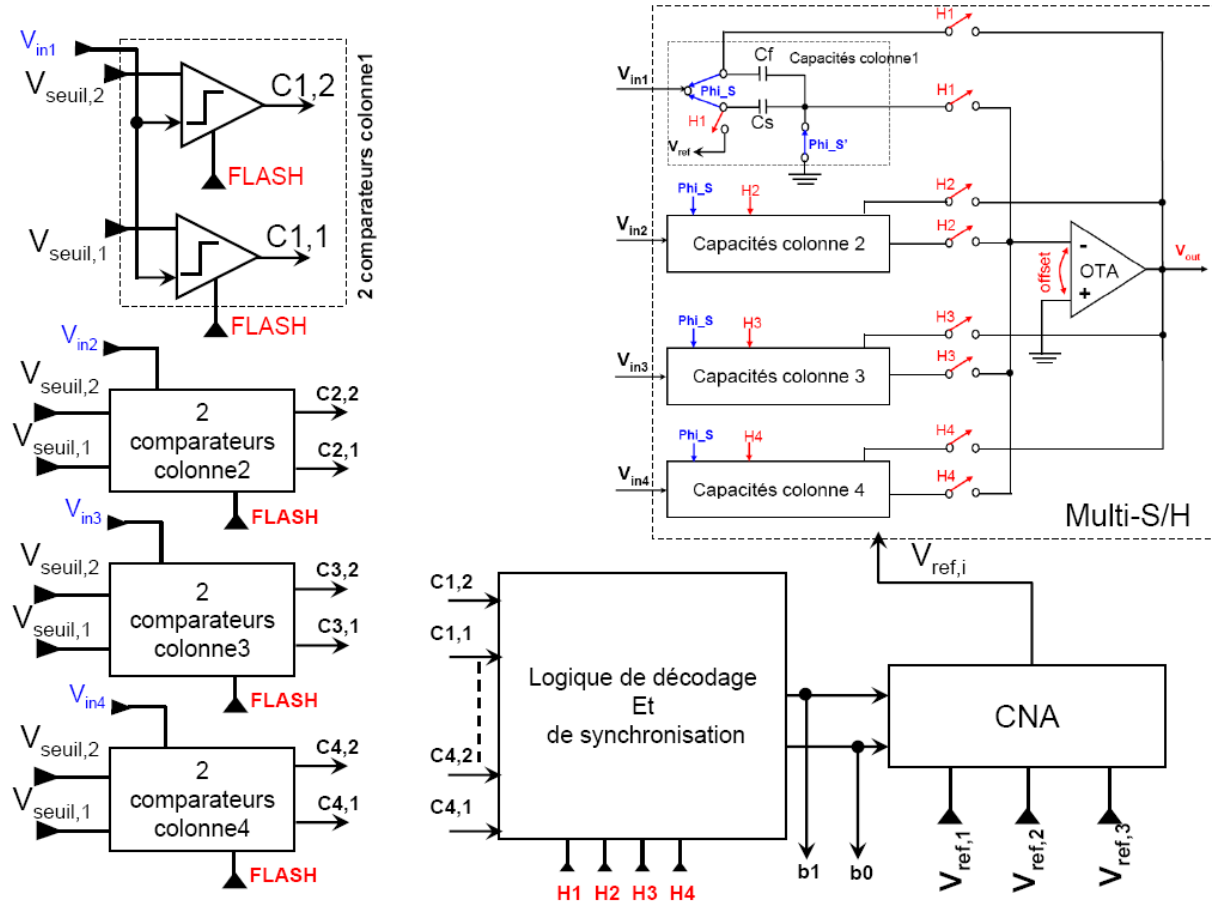


Figure 5.19 : Synoptique d'implémentation du premier étage pipeline de la configuration proposée.

Les sorties des comparateurs sont adéquatement synchronisées et multiplexées vers le CNA afin de sélectionner les tensions de référence du MDAC par les signaux (H1, H2, H3, H4). Le signal H1 permet de connecter à l'entrée du CNA les sorties de la paire de comparateurs correspondant à la colonne de pixels 1, le signal H2 correspond à la colonne 2 et ainsi de suite.

On peut remarquer que le fonctionnement de ce premier étage pipeline est conceptuellement différent du double échantillonnage classique où les opérations d'échantillonnage et de maintien se font en alternance entre deux voies. Ici, on peut modéliser le fonctionnement comme suit : échantillonnage parallèle et amplification série pour 4 voies.

La sortie V_{out} de cet étage attaque le deuxième étage pipeline qui a une architecture pipeline à double échantillonnage déjà connue.

5.6.1. Les optimisations apportées sur l'architecture du CAN

Ce convertisseur est complètement inspiré du CAN à double échantillonnage dont les résultats de test ont été donnés dans la section (5.5.4) de ce chapitre. Donc, les points faibles ont été pris en considération lors de la conception de cette chaîne et des optimisations qui permettent de supprimer ou de minimiser les sources d'erreurs y ont été opérées.

5.6.1.1. Minimisation des capacités parasites et de la dispersion d'offsets entre les étages d'entrée

Il est possible de réduire les capacités parasites de l'étage d'entrée en minimisant le nombre de capacités, de switches et de pistes métalliques qui traversent l'OTA. Ceci a été possible grâce à la nouvelle architecture de l'étage d'entrée, où la capacité totale utilisée est de 500 fF et le nombre de switches est de 4, alors que dans l'ancienne version (SHA), nous avons utilisé un schéma pseudo différentiel qui a nécessité deux branches symétriques de capacités autour de l'OTA, donnant une capacité totale de 1200 fF et un nombre 12 switches (Cf. chapitre 2). Les capacités de toutes les colonnes de ce circuit font partie d'une matrice de capacités unitaires de 100 fF et une symétrie rigoureuse entre les voies a été respectée. Ces points réduisent la dispersion de l'erreur de gain due aux défauts d'appariement de cet étage.

La dispersion d'offset entre les voies paires et impaires du SHA était due l'opération séquentielle des deux étages SHA1 et SHA2 d'un CAN. Dans le cas de la nouvelle architecture proposée, toutes les opérations s'effectuent simultanément pour toutes les voies. Donc, la distinction paire et impaire disparaît et l'offset qui en est dépendant est supprimé.

5.6.1.2. Optimisation des distributions des signaux

Une source majeure des erreurs dans les circuits mixtes tels que les CAN est la perturbation ramenée par les signaux de commande numériques sur les signaux analogiques. La distribution de ces deux types de signaux est complètement décorrélée dans ce circuit : les signaux d'entrée provenant des pixels ne doivent pas être traversés par les rails de distribution des signaux d'horloge. C'est pourquoi, les horloges et tous les signaux numériques sont routés en bas de la matrice de chaînes de lecture. Les signaux de référence, les seuils des comparateurs et les tensions de polarisations sont routés le plus haut possible du circuit. Cette

condition n'a pas été respectée dans les versions précédentes de convertisseurs, où les rails de distribution des signaux d'horloge se situaient en haut des canaux de convertisseurs. Les signaux d'entrées (signal provenant du pixel) qui sont routés verticalement par rapport à ces rails sont perturbés en les traversant.

5.6.1.3. Amélioration de la précision du gain de l'étage d'entrée

Nous avons démontré précédemment que le temps d'établissement du signal en sortie d'un échantillonneur bloqueur est très critique sur la précision du gain d'un tel circuit et sur l'introduction de distorsions (erreur dépendante de la valeur du signal). Dans la nouvelle architecture de l'étage d'entrée (interface entre pixel et CAN), le signal en sortie de l'étage d'entrée peut disposer de toute la phase CALIB, qui est de 40 ns, pour son établissement. Ici, le temps d'établissement est de 35 ns. Alors qu'avant, on disposait de 20 ns pour la phase d'amplification. Donc, pour les mêmes performances globales de conversion, on dispose de 75% de temps additionnel pour l'établissement du signal. Ceci réduit l'erreur de gain et la dépendance de cette erreur du niveau du signal venant du pixel et améliore le SNR et la linéarité du CAN.

5.7. Conclusions et perspectives

Dans ce chapitre, nous avons présenté deux prototypes de CANs pipeline à double échantillonnage. Le premier est un CAN à 4 bits de résolution, il est implémenté avec une configuration à 2,5 bits de résolution par étage pipeline. Ce dernier est une optimisation, en termes de surface et de puissance dissipée, du CAN pipeline traditionnel présenté dans le chapitre 4. Les problèmes posés par la résolution « élevée » de l'étage pipeline (2,5 bits/étage) ont fait l'objet d'amélioration sur le CAN à 5 bits de résolution employant des étages pipeline de faible résolution 1,5 bit/étage. Cependant, il y a des sources résiduelles d'erreurs qui sont :

- Les offsets des étages pipeline qui sont critiques en double échantillonnage (pas d'auto-compensation des effets de ces offsets)
- La dispersion entre les voies de CANs

La chaîne de lecture proposée dans la section (5.6) de ce chapitre vient palier les problèmes rencontrés lors du test du dernier prototype de convertisseur (5 bits à double

échantillonnage). Néanmoins, une version finale de la chaîne de lecture nécessitera davantage d'étapes d'optimisation qui sont :

a. Automatisation de la correction des offsets des amplificateurs

L'automatisation de la correction des offsets des amplificateurs dans tous les étages pipeline et dans l'étage d'amplification est nécessaire dans la version finale du CAN pour le détecteur de vertex. Des techniques de corrections numériques, analogiques ou mixtes des offsets ont déjà été implémentées en technologie CMOS. Dans les prototypes que nous avons réalisés et testés, les corrections d'offsets ont été réalisées manuellement en agissant sur des entrées auxiliaires prévues à cet effet. Le motif, est de minimiser la surface et la dissipation de puissance qui auraient été nécessaires pour ces corrections d'offsets. Ces deux raisons ne se poseront plus dans les technologies moins encombrantes (e.g. 130 nm de longueur de grille).

b. Intégration d'un seuil de discrimination

Afin de minimiser la consommation dynamique moyenne du convertisseur, un seuil de discrimination sera intégré en entrée du convertisseur. Ce seuil servira à discriminer les signaux nuls ou en-dessous d'un seuil choisi pour éliminer le bruit. Ceci permettra au CAN de ne coder que les signaux en-dessus du seuil de discrimination, et allégera les contraintes sur la rapidité de l'électronique du traitement numérique du signal. Dans le cas du CAN proposé ici, l'intégration d'un seuil de discrimination nécessitera 4 comparateurs de faibles offsets en entrée. Ils seront commandés par le même signal que celui des comparateurs du premier étage pipeline. Donc, aucune complexité ne sera ajoutée au CAN. En revanche, la surface et la puissance dissipée augmenteront.

c. Minimisation des interférences électromagnétiques entre les voies

Toutes les voies²² de chaînes de lecture et de conversion fonctionnent en parallèle et par conséquent s'influencent mutuellement en rayonnant sur les voies voisines. Ces interférences peuvent se traduire par une source de bruit ou par des dispersions d'offsets entre les voies. Le seul moyen de palier ce problème de rayonnement est le blindage de chaque voie individuellement. On peut réaliser ce blindage par une cage de Faraday que l'on connecte à la

²² En supposant que les signaux d'entrée dépassent les seuils de discrimination

masse. Ceci nécessitera une couche de métallisation supplémentaire et plus de surface pour permettre d'éloigner les voies entre elles.

Ces optimisations sont encombrante dans la technologie actuelle (longueur de grille $0.35\text{ }\mu\text{m}$). Mais la version finale des capteurs pour le détecteur de vertex sera réalisée dans une technologie moins encombrante d'un facteur 2 au minimum. Une chaîne de lecture et de codage, composée de l'étage d'entrée proposé et d'un CAN pipeline, intégrant toutes ces fonctionnalités répondra pleinement aux exigences imposées par le détecteur de vertex à l'ILC.

Bibliographie

- [Naga97] K. Nagaraj, H. S. Fetterman, J. Anidjar, S. S. Lewis, R. G. Renninger : « A 250-mW, 8-b, 52-Msamples/s Parallel-Pipelined A/D Converter with Reduced Number of Amplifiers ». IEEE Journal of Solid-State Circuits, Vol. 32, No. 3, pp. 312-320, March 1997.
- [Choi80] T.C. Choi, R. W. Brodersen: « Considerations for High-Frequency Switched-Capacitor Ladder Filters ». IEEE Transactions on Circuits and Systems, Vol. 27, No. 3, pp 545-552, June 1980.
- [Dah07c] M. Dahoumane, D. Dzahini, J. Bouvier, E. Lagorio, J.Y. Hostachy, O. Rossetto, H. Ghazlane, D. Dallet: "A low power and low signal 4 bit 50 MS/s double sampling pipelined ADC for Monolithic Active Pixel Sensors". TWEPP-07 Topical Workshop on Electronics for Particle Physics ; Prague, du 3 au 7 septembre 2007, CERN Yellow Reports, CERN-2007-007, page 326
- [Dah08] M. Dahoumane, D. Dzahini, J. Bouvier, E. Lagorio, L. Gallin-Martel, J.Y. Hostachy, O. Rossetto, Y. Hu, H. Ghazlane, D. Dallet: "A low power and low signal 4 bit 50 Ms/s pipelined ADC for Monolithic Active Pixel Sensors" ; JINST 3 P03002 March 11 2008.
- [Dah08b] M. Dahoumane, J. Bouvier, D. Dzahini, L. Gallin-Martel, J.Y. Hostachy, E. Lagorio, Y. Hu: "A Very Low Power and Low Signal 5 bit 50 M Samples/s Double Sampling Pipelined ADC for Monolithic Active Pixel Sensors in High Energy Physics and Biomedical Imaging Applications". IEEE 2008 Nuclear Science Symposium, Medical Imaging Conference and 16th International Room Temperature Semiconductor Detector Workshop; 19 - 25 October 2008 Dresden, Germany.

Conclusion générale et perspectives

Afin de répondre à l'exigence du détecteur de vertex sur le paramètre de résolution spatiale des capteurs qui le composent, un CAN précis doit être intégré avec le volume sensible des ces capteurs sur le même substrat. Les restrictions sur le budget de matière du détecteur exigent une dissipation de puissance inférieure à $500\text{ }\mu\text{W}$ de ce CAN. Le taux d'occupation élevé du capteur pose la contrainte de rapidité sur le CAN, qui doit convertir à une fréquence de 10 MHz . Enfin, la grande granularité du capteur impose une forme particulière du CAN, dont la largeur ne doit pas excéder celle d'un pixel ($20\text{ }\mu\text{m}$). La résolution spatiale requise (meilleure que $\sim 3\text{ }\mu\text{m}$) pour le détecteur peut être atteinte en encodant les signaux des capteurs à l'aide d'un CAN de 4 ou 5 bits de résolution.

La réalisation d'un CAN répondant à ces exigences conflictuelles a constitué le cœur du travail de thèse exposé dans ce mémoire. Pour cette finalité, j'ai réalisé et caractérisé une électronique de lecture, de conditionnement et de numérisation des signaux analogiques issus des pixels, intégrable à l'échelle des colonnes des matrices de pixels des capteurs développés à l'IPHC-Strasbourg. Cette électronique a été réalisée en technologie CMOS $0,35\text{ }\mu\text{m}$ d'AMS et est composée de deux parties principales :

- Un étage d'entrée : qui est un échantillonneur-bloqueur et amplificateur, dont la fonction est d'extraire, amplifier et maintenir le signal, issu d'une colonne de pixels, stable pendant le temps nécessaire pour sa conversion. Cet étage a été nécessaire pour conditionner le signal de $\sim 1\text{ mV}$ d'amplitude issu du pixel.
- Un étage de numérisation : qui est un CAN très compact de résolution 4 ou 5 bits, de très faible puissance dissipée ($\leq 500\text{ }\mu\text{W}$ /colonne de pixels), sensible à un signal minimum de 1 mV . La résolution choisie est un compromis entre la granularité et la résolution spatiale du capteur, les dimensions et la puissance dissipée du CAN. L'architecture pipeline a été choisie avec des étages successifs à capacités commutées. Le mode non-différentiel a été étudié ; il est plus délicat que celui différentiel, mais il a permis de minimiser l'encombrement, qui est une préoccupation majeure du concept.

Le premier étage constitue une interface entre une colonne de pixels et un CAN. Il échantillonne le faible signal (valeur minimale ~ 1 mV) provenant du pixel, en extrait le signal utile de celui de référence et amplifie cette différence par un gain de 4. Ce circuit permet également de compenser à la fois l'offset de l'amplificateur et les fluctuations de la tension de mode commun du signal provenant du pixel. Une nouvelle architecture de cet étage pilotée à l'aide des signaux de pilotage des pixels a été proposée dans cette thèse. Ce circuit effectue les opérations d'échantillonnage, blocage et amplification par un facteur 4. Il permet également de réaliser la fonction de *CDS* (*Correlated double sampling*) avec un nombre réduit de capacités.

Avant d'entamer l'étude du CAN, nous avons d'abord réalisé une étude comparative des spécifications et caractéristiques des différentes architectures de CANs, où nous avons montré que la configuration pipeline présente un compromis attrayant entre la précision, la puissance dissipée, la surface, la vitesse de conversion du CAN.

Le fonctionnement de l'architecture pipeline a été démontré et validé sur un premier prototype de CAN pipeline classique. Ce circuit comporte huit canaux de CANs de résolution 5 bits échantillonnant à 25 MHz et dissipant une puissance de 0,89 mW/colonne de pixels à 3,3 V de tension d'alimentation. La configuration employant des étages pipeline de résolution 1,5 bit a été implémentée, car elle est la moins contraignante sur les offsets des comparateurs et sur les performances de l'amplificateur.

Dans le but de réduire la consommation et la surface du circuit dans toute la mesure du possible, nous avons étudié l'architecture pipeline dans une configuration de double échantillonnage. Cette configuration a permis de partager les cellules actives (amplificateurs, comparateurs) et toute la partie logique entre deux CANs voisins d'un prototype de CANs de 4 bits de résolution à la fréquence d'échantillonnage de 50 MHz. Ce CAN a été implémenté avec une configuration à 2,5 bits/étage pipeline, qui a permis d'avoir de meilleurs résultats en termes de gain en surface et en puissance dissipée, grâce à la réduction du nombre d'étages pipeline. Néanmoins, la forme filaire particulièrement étroite de chaque canal de CAN (dimensions ne devant pas excéder $20\ \mu\text{m} \times 1\ \text{mm}$) a posé des problèmes de capacités parasites et d'offsets sur le nombre élevé de pistes à router pour la configuration 2,5 bits/étage (grande résolution des étages pipeline). Donc, une résolution minimale (i.e. 1,5 bit/étage) des étages pipeline est requise pour palier ces problèmes.

Les améliorations apportées aux deux premiers prototypes ont fait l'objet d'étude et réalisation d'un prototype de 16 voies de CANs, correspondant à 64 colonnes de pixels, fabriqués en technologie CMOS 0,35 μm . Chaque CAN convertit à 50 MHz avec une basse tension d'alimentation (2 V) et dissipe une puissance statique équivalente de 350 μW /colonne de pixels. Les étages pipeline ont été implémentés avec une faible résolution (1,5 bit/étage), pour limiter les offsets, et en utilisant le principe du double échantillonnage pour minimiser la surface et la puissance dissipée. Le nombre de voies de ce circuit est un compromis entre le coût de fabrication et le nombre minimal de canaux nécessaires à l'étude de la diaphonie entre les voies de CANs. Le pilotage des différents blocs du CAN est réalisé grâce à un générateur d'horloge commun à toutes les voies du CAN, qui est intégré dans le prototype. Un circuit de polarisation rapide et efficace permettant la mise en veille ou en marche des parties analogiques du CAN a été intégré avec le CAN, pour réduire la puissance statique moyenne dissipée.

Après validation du fonctionnement des CANs par des tests et caractérisations, réalisés en laboratoire, la dernière partie de cette thèse a été consacrée à l'étude et la préparation de l'intégration du CAN avec la matrice de pixels sur le même substrat. Une chaîne de lecture comprenant le pixel, l'étage d'entrée et le CAN, conçue et simulée sous *Cadence*, a été proposée en perspective de la réalisation du tout premier prototype de MAPS intégrant les CANs.

Ce mémoire de thèse a exposé les détails de la conception d'un CAN pipeline, des optimisations de cette architecture et de la caractérisation des différentes versions de convertisseurs en tenant compte d'un cahier des charges original de l'application du détecteur de vertex à l'ILC. La caractérisation approfondie des trois versions de CANs a montré et mis en évidence les améliorations apportées aux deux premiers circuits. Elle a notamment fait sortir les points qui doivent faire l'objet d'une amélioration.

Les perspectives d'optimisation du CAN développé se situent dans l'ensemble de paramètres suivants :

- Automatisation de la compensation de l'offset en sorties des étages pipeline, qui n'est jamais compensé en double échantillonnage. Deux techniques de correction d'offset des CANs pipeline ont été ébauchées dans cette thèse. Une technique analogique qui consiste à compenser l'offset de chaque étage et une technique numérique qui régule l'offset d'une

façon globale, en comparant les sorties numériques du CAN à une valeur de référence choisie. Ces corrections vont permettre de résoudre les problèmes de dispersions d'offsets entre les voies de CANs.

- Intégration d'un seuil de discrimination pour réduire la consommation dynamique moyenne du convertisseur et le flot de données délivrées par le détecteur. Ceci se traduit, également, par une baisse de contraintes sur les blocs du traitement numérique du signal intégrés avec le capteur.
- Réduction de l'interférence électromagnétique entre les voies de convertisseurs grâce à un blindage des voies de CANs individuellement. Cette solution nécessitera une couche de métallisation supplémentaire et une surface additionnelle en largeur. Cette dernière sera accessible dans les versions prochaines de CANs, qui seront réalisées dans des technologies plus submicroniques.
- Optimisation des délais de propagation des signaux dans le comparateur et dans les cellules numériques qui constituent le bloc de correction numérique et de synchronisation. Ce problème pourra être résolu en choisissant les bons modèles de cellules lors des simulations du circuit.

Ces optimisations et modules supplémentaires vont augmenter l'encombrement du circuit dans la technologie actuelle (longueur de grille $0.35\ \mu\text{m}$). Mais, la version finale du capteur sera réalisée dans une technologie moins encombrante d'un facteur 2 au minimum. On peut donc présager qu'une chaîne d'électronique de lecture composée de l'étage d'entrée proposé dans cette thèse et du CAN pipeline intégrant toutes les fonctionnalités citées ci-dessus répondra pleinement aux exigences imposées par le cahier des charges du détecteur de vertex à l'ILC.

Annexe A

A.1. Amplification et traitement du signal dans le pixel

Chaque pixel contient une diode collectrice de charges (électrons), un circuit d'amplification et un circuit d'échantillonnage double corrélé (CDS). La figure A.1 illustre le schéma d'un pixel et deux capacités d'échantillonnage sur la périphérie. Le calcul qui va suivre est effectué pour un pixel à reset automatique (*i.e. self bias pixel*).

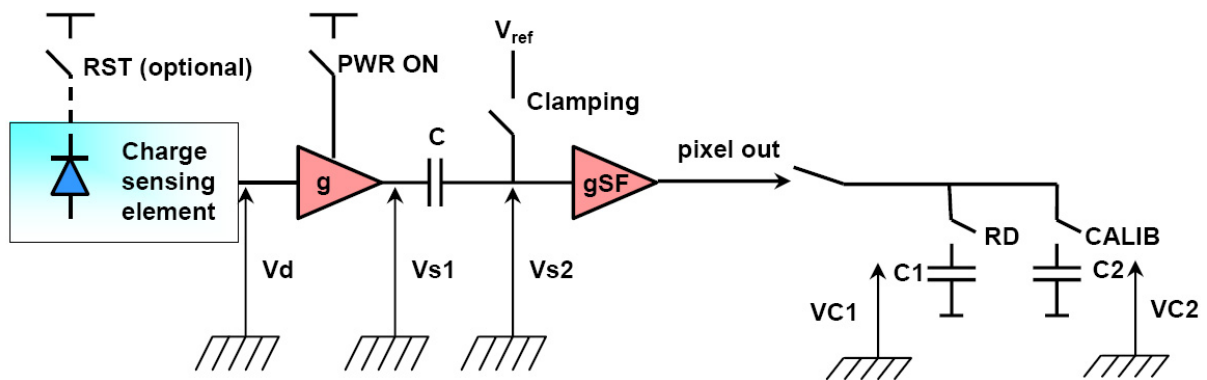


Figure A.1 : Schéma d'un pixel

Le fonctionnement de ce pixel est commandé par les chronogrammes de la figure A.2. On s'intéressera à deux cycles de lecture consécutifs séparés par le temps d'intégration (*Integration time, I.T.*). Le premier cycle sert plutôt à déterminer les conditions initiales (e.g. la tension aux bornes de la capacité de clamping C dans le pixel, VC).

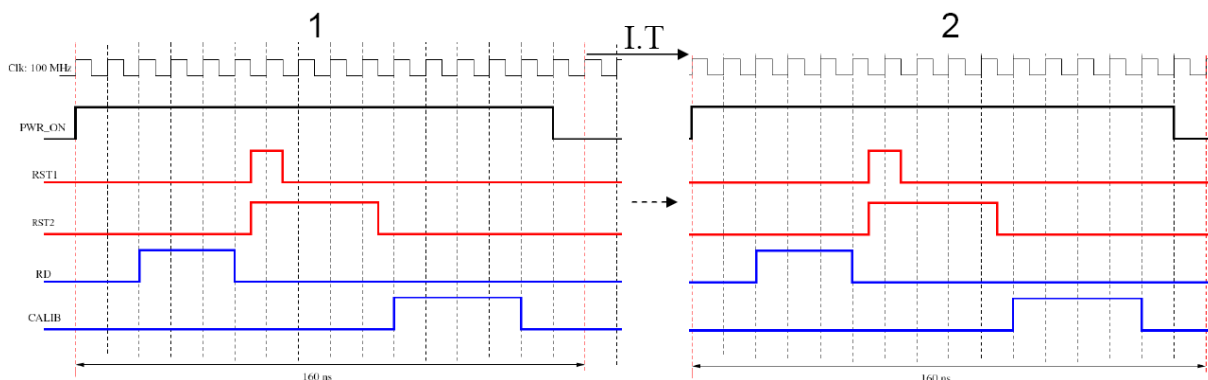


Figure A.2 : Chronogramme de commande de lecture d'un pixel.

Durant le cycle 1 :

Phase RD :

$$Vs1 = g \times Vd0 \longrightarrow Vs2 = Vs1 + VC \quad (A.1)$$

VC : inconnu initialement.

Phase RST2 (clamping) :

$$Vs1 = g \times Vd1 \longrightarrow Vs2 = V_{ref} \quad (A.2)$$

$$\Rightarrow VC = V_{ref} - Vs1 = V_{ref} - g \times Vd1 \quad (A.3)$$

Phase CALIB:

$$Vs1 = g \times Vd1 \longrightarrow Vs2 = Vs1 + V_{ref} - g \times Vd1 \quad (A.4)$$

Après un temps d'intégration (cycle 2 sur le chronogramme de la figure A.2), nous refaisons le même raisonnement. Durant ce temps, nous supposons qu'une charge soit déposée par une nouvelle MIP détectée. Alors :

Durant le cycle 2

Phase RD :

$$Vs1 = g \times Vd2 \longrightarrow Vs2 = Vs1 + VC \quad (A.5)$$

L'équation (A.3) implique :

$$Vs1 = g \times Vd2 \longrightarrow Vs2 = Vs1 + V_{ref} - g \times Vd1 \quad (A.6)$$

Phase RST2 (clamping) :

$$Vs1 = g \times Vd2 \longrightarrow Vs2 = V_{ref} \quad (A.7)$$

$$\Rightarrow VC = V_{ref} - Vs1 = V_{ref} - g \times Vd2 \quad (A.8)$$

Phase CALIB:

$$Vs1 = g \times Vd2 \longrightarrow Vs2 = Vs1 + V_{ref} - g \times Vd2 \quad (A.9)$$

Sur l'échelle de la colonne nous avons deux capacités qui échantillonnent les signaux Vs2 correspondant aux phases RD et CALIB. Alors,

Phase RD :

$$VC1 = gSF \times Vs2 + V_{offset} \times gSF = gSF \times (gVd2 + V_{ref} - gVd1 + V_{offset}) \quad (A.10)$$

Phase CALIB:

$$VC2 = gSF \times Vs2 + V_{offset} \times gSF = gSF \times (gVd2 + V_{ref} - gVd2 + V_{offset}) \quad (A.11)$$

Le CAN (ou le discriminateur), qui va suivre, codera la différence entre VC1 et VC2, après une amplification de celle-ci.

$$VC2 - VC1 = gSF(g(Vd1 - Vd2)) \quad (A.12)$$

$$VC2 - VC1 = -gSF(g(Vd2 - Vd1)) \quad (A.13)$$

Cette méthode d'échantillonnage double corrélé permet de garder l'image précédente d'un pixel et la soustrait de l'image actuelle.

A.2. Fonction de transfert du SHA

Nous allons effectuer un calcul pour les deux cas de gain de l'amplificateur : infini et fini.

A.2.1. Fonction de transfert : cas du gain infini de l'amplificateur

Considérons le schéma de la figure 2.3 dans le chapitre 2. Le fonctionnement de ce circuit est commandé par deux phases principales $\emptyset_1$ et $\emptyset_2$. On fait le calcul séparément pour les deux branches du circuit, en respectant le principe de conservation de charges électriques pour les deux phases. Pour faciliter le calcul prenons :

$$C_1 = C_{s1} + C_{s2} + C_{s3} + C_{s4} \quad (\text{A.14})$$

Raisonnement sur la branche supérieure du circuit SHA :

Durant $\emptyset_1$:

La quantité de charges enregistrée sur les capacités :

$$Q_{C_1} = V_{offset} \times C_1 \quad (\text{A.15})$$

$$Q_{C_f} = -(V_{out} - V_{offset}) \times C_f \quad (\text{A.16})$$

$$Q_{C_{rst}} = V_{out} \times C_{rst} \quad (\text{A.17})$$

où, V_{offset} est la tension d'offset de l'amplificateur.

Durant $\emptyset_2$:

$$Q_{C_1} = -(V_{in^+} - V_{offset}) \times C_1 \quad (\text{A.18})$$

$$Q_{C_f} = V_{offset} \times C_f \quad (\text{A.19})$$

$$Q_{C_{rst}} = -(V_{out} - V_{offset}) \times C_{rst} \quad (\text{A.20})$$

Prenons les mêmes simplifications des valeurs des capacités pour la branche inférieure du circuit, alors :

Durant $\emptyset_1$:

La quantité de charges enregistrée :

$$Q_{C_1} = V_{offset} \times C_1 \quad (\text{A.21})$$

$$Q_{C_f} = V_{offset} \times C_f \quad (\text{A.22})$$

$$Q_{C_{rst}} = 0 \quad (\text{A.23})$$

Durant $\emptyset_2$:

$$Q_{C_1} = -(V_{in^-} - V_{offset}) \times C_1 \quad (A.24)$$

$$Q_{C_2} = V_{offset} \times C_2 \quad (A.25)$$

$$Q_{C_{rst}} = V_{offset} \times C_{rst} \quad (A.26)$$

Le principe de conservation de charges pour les deux branches permet d'écrire : la somme des charges mémorisées pendant la phase $\emptyset_1$ reste inchangée à la fin de la phase $\emptyset_2$. En faisant ce calcul (somme des charges), nous obtiendrons le résultat suivant :

$$V_{out} = \frac{C_1}{C_2} [V_{in^+} - V_{in^-}] \quad (A.27)$$

$$V_{out} = \frac{\sum_{i=37}^{40} C_i}{C_{23}} [V_{in^+} - V_{in^-}] \quad (A.28)$$

Dans notre application le gain du circuit SHA est de 4.

A.2.2. Fonction de transfert : cas du gain fini A de l'amplificateur

Dans ce cas, la fonction de transfert dans le domaine de z est donnée par la formule suivante :

$$\frac{V_{out}}{V_{in}} = \frac{z^{-1/2} \frac{C_1}{C_2} a}{1 - bz^{-1}} \quad (A.29)$$

où,

$$V_{in} = V_{in^+} - V_{in^-} \quad (A.30)$$

$$a = \left(\frac{1}{1 + \frac{C_1 + C_2}{C_2 A}} \right) \left(1 - \frac{C_1 + C_2}{A \left(C_3 + \frac{C_1 + C_2 + C_3}{A} \right)} \right) \quad (\text{A.31})$$

et

$$b = \frac{\frac{C_1 + C_2}{A} \left(C_2 + C_3 + \frac{C_1 C_2}{A} \right)}{C_2 \left(1 + \frac{C_1 + C_2}{C_2 A} \right) \left(C_3 + \frac{C_1 + C_2 + C_3}{A} \right)} \quad (\text{A.32})$$

Dans le cas de basses fréquences, l'équation A.32 peut se simplifier comme suit :

$$\frac{V_{out}}{V_{in}} = \frac{C_1}{C_2} \left[1 - \frac{C_1 + C_2}{C_2 A^2} \right] \quad (\text{A.33})$$

A.3. Fonction de transfert de l'étage d'entrée proposé

Le calcul suivant est effectué en respectant le principe de conservation de charges électriques. Les fonctions de cette architecture (Cf. Figure 2.19) se font en trois phases :

- RD
- Reset
- Calib

Les phases RD, Reset et Calib sont les mêmes signaux que ceux de la commande de lecture du pixel (Cf. Chronogramme de la figure 2.20)

Durant la phase RD:

$$Q_{4C} = (V_{RD} - V_{offset}) \times 4C \quad (\text{A.34})$$

$$Q_C = -(V_{out} - V_{offset}) \times C \quad (\text{A.35})$$

Pendant la phase Reset:

$$Q_{4C} = (V_{RD} - V_{offset}) \times 4C \quad (A.36)$$

$$Q_C = V_{out} \times C = V_{offset} \times C, \quad (V_{out} = V_{offset}) \quad (A.37)$$

Pendant la phase Calib:

$$Q_{4C} = (V_{CALIB} - V_{offset}) \times 4C \quad (A.38)$$

$$Q_C = -(V_{out} - V_{offset}) \times C \quad (A.39)$$

Par le principe de transfert et de conservation de charges entre les deux phases RST et CALIB, la charge enregistrée sur la capacité (4C) doit être égale à celle transférée sur la capacité (C). Donc,

$$(V_{CALIB} - V_{RD}) \times 4C = -(V_{out} - V_{offset}) \times C - V_{offset} \times C \quad (A.40)$$

$$(V_{CALIB} - V_{RD}) \times 4C = -V_{out} \times C \quad (A.41)$$

$$V_{out} = 4 \times (V_{RD} - V_{CALIB}) \quad (A.42)$$

Annexe B

B.1. Le générateur d'horloge

Le fonctionnement du Convertisseur A/N et de son étage d'entrée (SHA) est commandé par des phases d'horloge qui sont générées à l'aide d'un générateur d'horloge intégré avec les prototypes réalisés. Le générateur d'horloge est conçu en utilisant une circuiterie logique complètement combinatoire. Son schéma est illustré sur la figure B.1

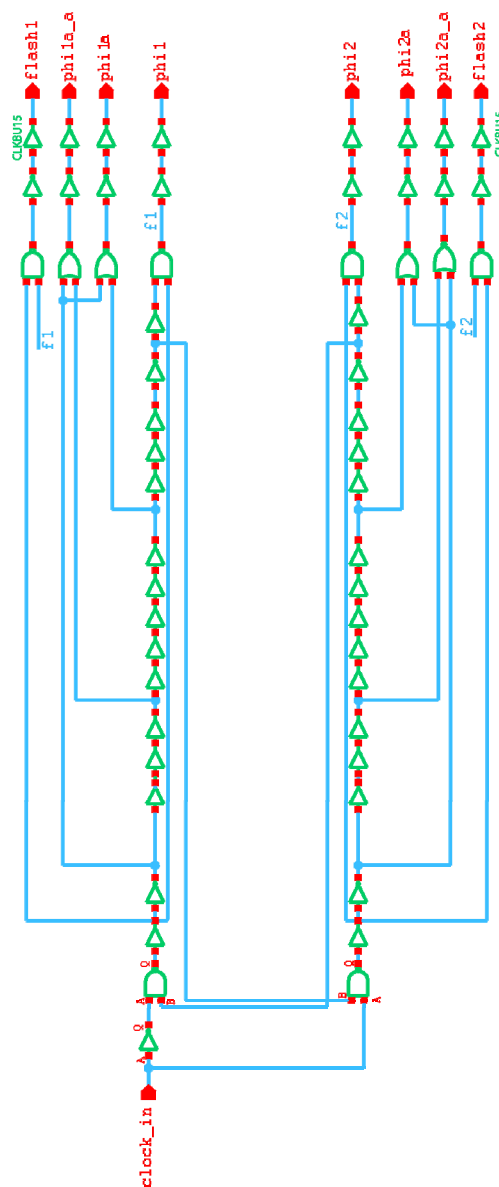


Figure B.1 : Schéma du générateur d'horloge.

Les huit phases d'horloge sont générées en n'utilisant qu'une seule entrée d'horloge principale (clock_in). On en distingue deux phases principales non-recouvrantes « *non overlapping* » : phi1 et phi2. Chaque phase a deux sous phases dont le front descendant arrive légèrement à l'avance d'environ 1 ns. Les signaux flash1 et flash2 sont utilisés pour commander les comparateurs du convertisseur. Toutes les voies de convertisseurs partagent le même générateur d'horloge. C'est pourquoi, nous avons placé des buffers (CLKBU15) en sortie de sous-phase, cette opération est renouvelée à l'entrée de chaque canal de convertisseurs.

B.2. Les cellules numériques intégrées dans les circuits

Les sorties numériques des étages pipeline du CAN (Cf. section 4.4.2) sont synchronisées à l'aide des registres à décalage, afin que toutes les sorties des étages correspondent à la même entrée analogique. Le mot binaire cohérent ainsi obtenu est envoyé au circuit de correction numérique.

B.2.1. Logique de décalage

Cette logique est composée de bascule D commandée par les signaux flash1 et flash2. La synchronisation est assurée par l'utilisation d'un nombre adéquat de bascule D, comme le montre la figure B.2. Ce schéma correspond à la logique de décalage d'un CAN pipeline utilisant 3 étages pipeline de 1,5 bit de résolution. Le signal flash_dly est le signal flash mais retardé de quelques nano secondes.

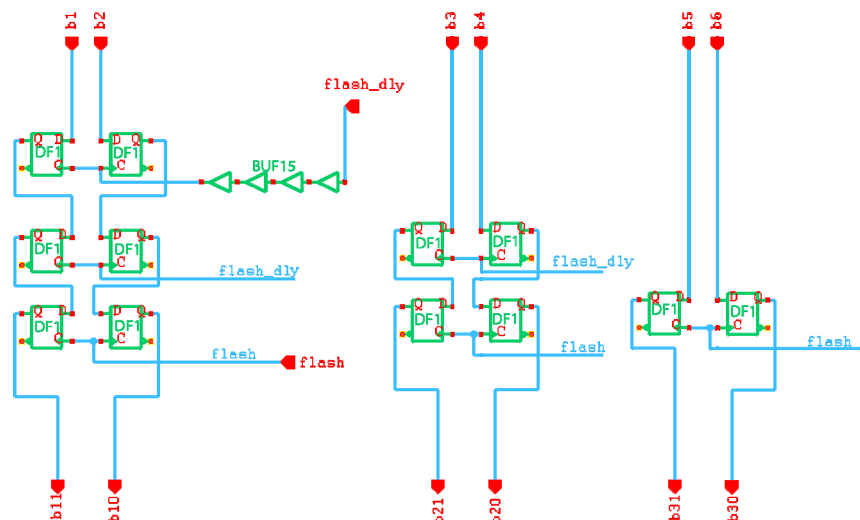


Figure B.2 : Logique de synchronisation des sorties numériques des étages pipeline.

B.2.2. Correction numérique des erreurs des offsets des comparateurs

L'algorithme de RSD (Cf. section 4.4.4) utilise le bit du poids faible de chaque étage comme bit de redondance. Le code correct (ou corrigé) de sortie du CAN est obtenu en opérant la somme arithmétique du bit du poids faible de l'étage k avec le bit du poids fort de l'étage qui le suit (étage $k+1$). Le schéma de la logique de correction est montré sur la figure B.3.

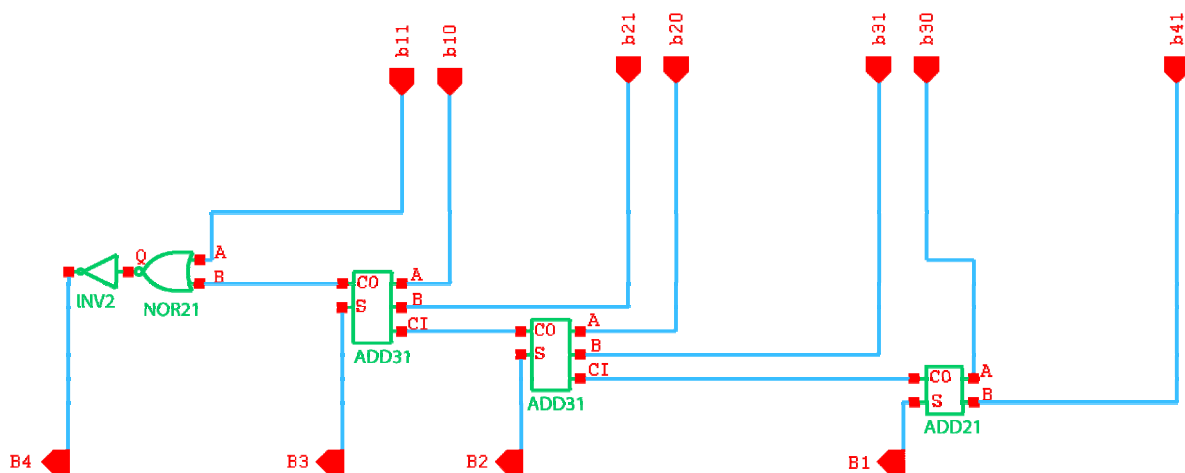


Figure B.3 : Schéma de correction numérique des erreurs dues aux offsets des comparateurs.

Une somme binaire simple ne peut être utilisée car, il y a des cas nécessitant la propagation d'une retenue du dernier étage jusqu'au premier étage. A cet effet, la logique de correction est réalisée avec des additionneurs (Full-Adder) qui permettent à la retenue de se propager dans le sens contraire de la propagation du signal analogique dans la chaîne pipeline. Le bit du poids fort est obtenu à l'aide d'une somme logique assurée par une porte logique NOR21.

Le dernier étage, qui détermine le LSB, de ce convertisseur ne peut pas faire l'objet d'une correction numérique des erreurs d'offsets des comparateurs. C'est pourquoi, un CAN flash à 2 bits a été utilisé à la place d'un étage pipeline complet.

B.3. Partage d'un amplificateur entre deux étages successifs dans un même CAN pipeline

Cette approche permet de partager un amplificateur entre deux étages consécutifs le long d'un même CAN pipeline. La figure B.4 illustre l'implémentation de cette approche. Les capacités C_{s1} et C_{f1} avec les switchs associés font partie du $n^{\text{ième}}$ étage pipeline, tandis que C_{s2} et C_{f2} et les switchs associés font partie du $(n+1)^{\text{ième}}$ étage. Les deux réseaux de capacités commutées fonctionnent en opposition de phase, avec un amplificateur alterné entre eux. Les opérations que subit un échantillon qui traverse cet étage composite sont illustrées sur la figure B.5. Durant la phase $\phi 1$, C_{s1} et C_{f1} échantillonnent la sortie (résidu) de l'étage d'ordre $(n-1)$. Durant la phase $\phi 2$, le résidu de l'étage n est développé par la combinaison de C_{s1} , C_{f1} et l'OTA, et, en même temps, est échantillonné par les capacités C_{s2} et C_{f2} . Durant la phase $\phi 1$ de la prochaine période d'horloge, C_{s2} et C_{f2} et l'OTA se combinent pour générer le résidu de l'étage $(n+1)$.

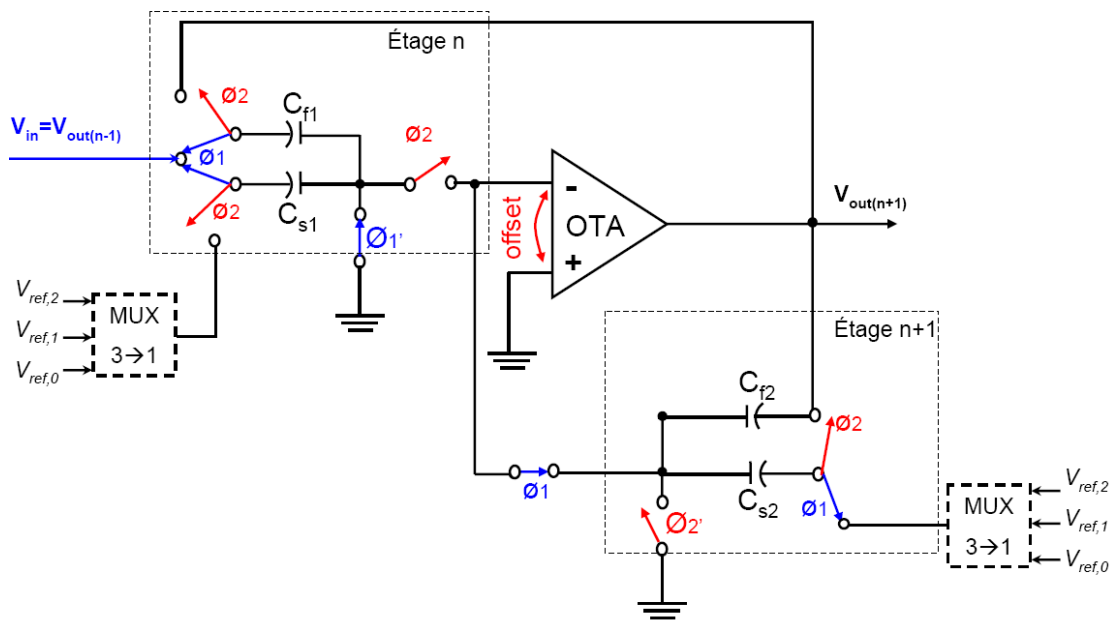


Figure B.4 : Schéma montrant le partage d'un amplificateur entre deux étages successifs le long d'un même CAN pipeline.

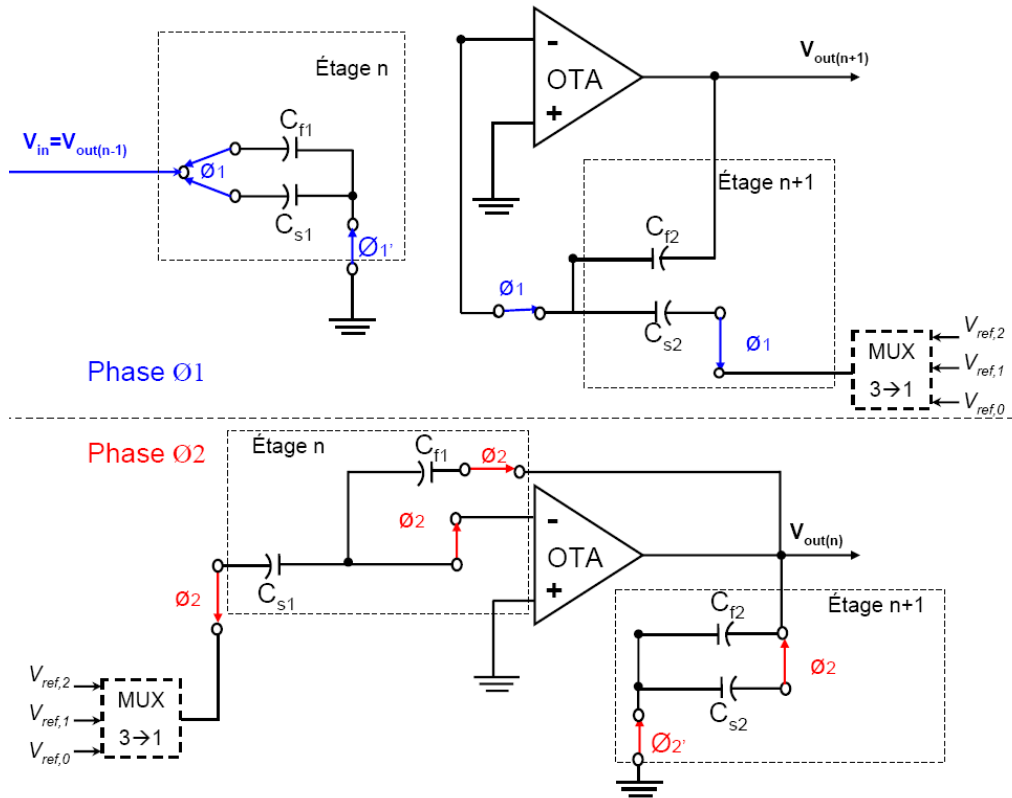


Figure B.5 : Configurations du circuit de l'étage composite de la figure B.4 durant les phases Ø1 et Ø2.

B.4. Dessins des masques du circuit d'entrée et d'une matrice de 32 voies de CANs proposés

Dans la section (5.6) du chapitre 5, nous avons proposé une nouvelle architecture de la chaîne de lecture, comprenant les étages d'entrée et le CAN, complètement accordée à la séquence de commande de la matrice de pixels de MIMOSA 22. Le dessin des masques du circuit de l'étage d'entrée est montré sur la figure B.6. Chaque canal de CAN comprend 4 circuits d'entrée. Ce bloc est placé et routé au top du CAN. Les signaux de commande de ce circuit ont été routés depuis le bas de chaque canal, dans le but de ne pas perturber les signaux provenant des colonnes de pixels.

Le dessin des masques d'une matrice de 32 voies comprenant l'étage d'entrée et le CAN est illustré par l'image en figure B.7. Tous les signaux numériques ont été routés depuis la partie basse de la matrice. Les références, les seuils et les signaux de polarisation ont été routés le plus haut possible afin d'éviter des perturbations ramenées par les circuits et les signaux numériques. Les voies sont mises en parallèle et multipliées d'une façon automatique. Aucun routage supplémentaire n'est nécessaire pour raccorder les voies entre elles.

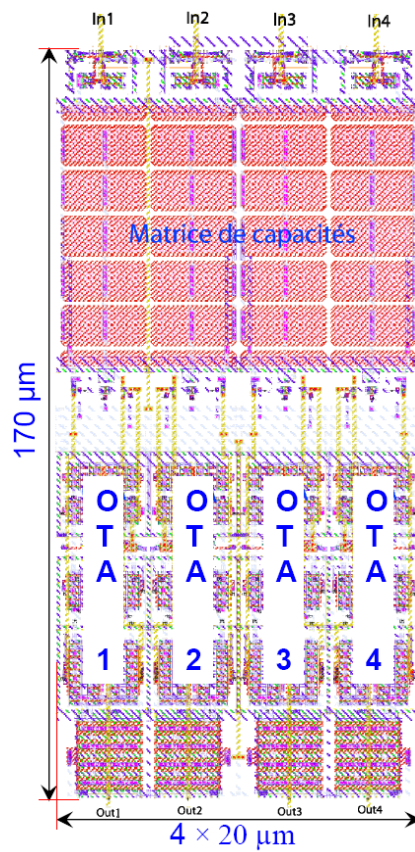


Figure B.6 : Dessin des masques du circuit de l'étage d'entrée du CAN proposé.

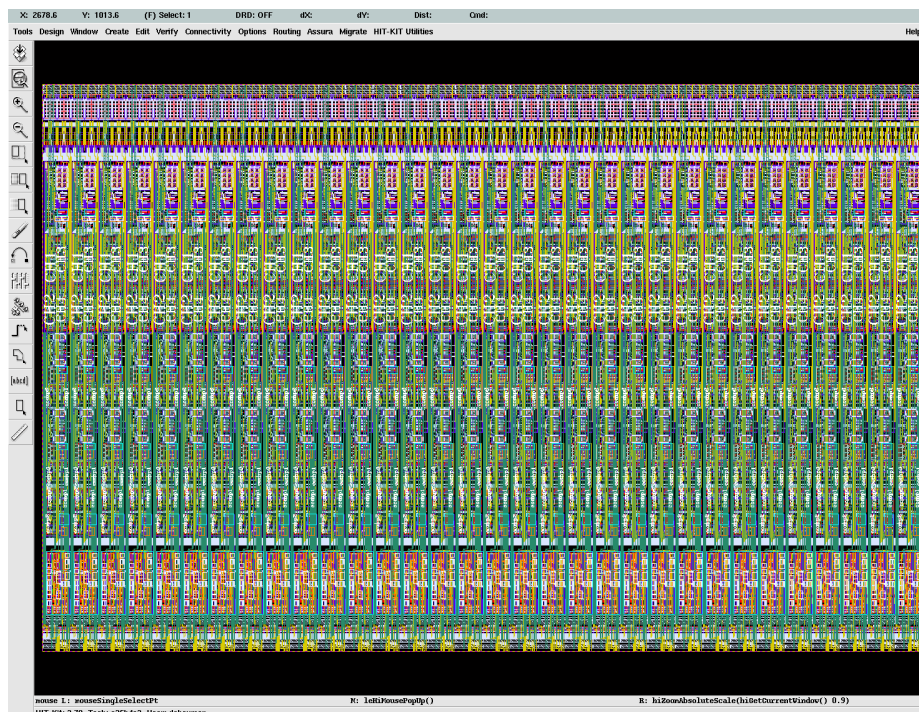


Figure B.7 : Dessin des masques d'une matrice de 32 canaux de CANs, i.e. 128 colonnes de pixels.

Annexe C

C.1. Photographie du banc de test des CANs

Dans le texte en section (4.5.1) du chapitre 4, nous nous sommes contenté de donner un schéma synoptique du banc de test et de caractérisation des convertisseurs analogique-numérique. Le banc de test que j'ai utilisé pour tester et caractériser les prototypes décrits dans cette thèse est illustré sur la photographie en figure C.1, il est constitué des éléments suivants, articulés autour de la carte de test qui porte le CAN à tester :

- Alimentations.
- Un générateur du signal d'entrée et un générateur de l'horloge qui doivent être synchronisés à l'aide d'un troisième générateur de signaux.
- Un filtre de 1 MHz pour réduire les distorsions harmoniques dues à l'impureté du signal d'entrée.
- Un analyseur logique : les données numériques du CAN sont lues et enregistrées par un analyseur logique qui communique simultanément avec l'ordinateur et la carte de test.
- L'oscilloscope qui sert à visualiser toute sorte de signaux sur la carte de test qui supporte le DUT (CAN).

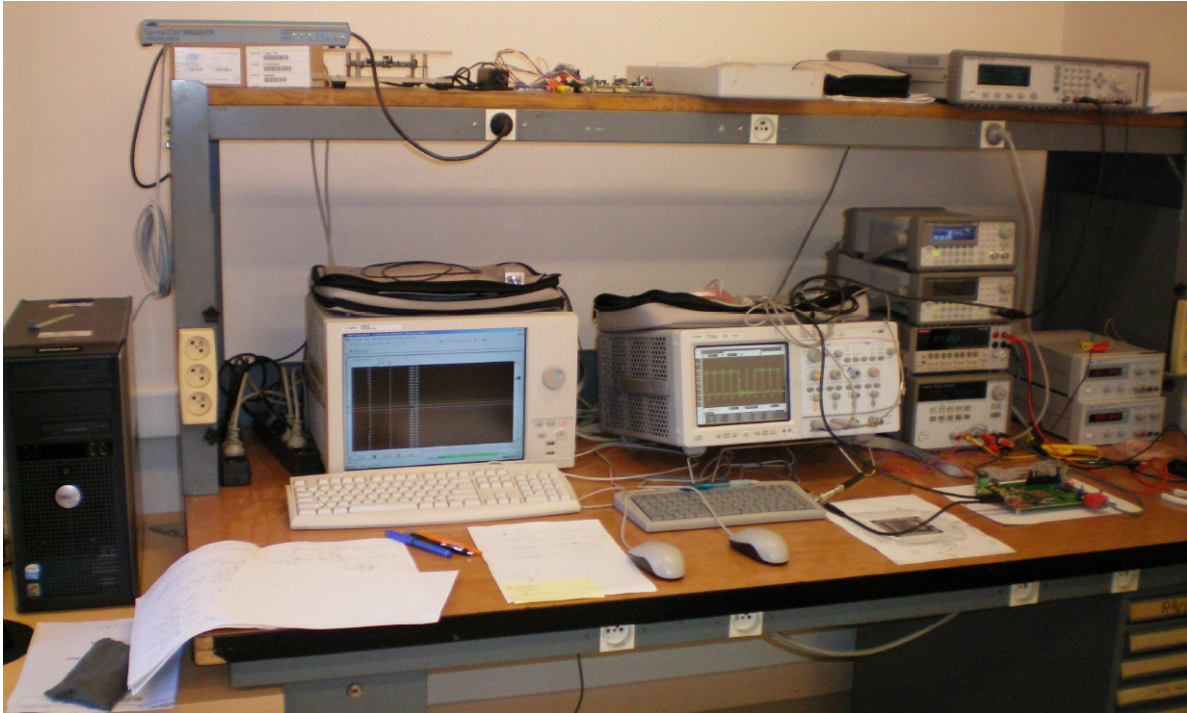


Figure C.1 : Photographie du banc de test du CAN.

C.2. Interface Labview

La carte de test est pilotée par un programme VHDL écrit dans un FPGA. Les consignes sont transmises depuis un ordinateur via une interface conçue avec le logiciel Labview.

La carte de test est commandée par un programme écrit en VHDL qui est chargé dans le FPGA. Deux façons d'écrire ou modifier des valeurs dans les registres du FPGA sont possibles : envoi des consignes en hexadécimal en utilisant directement l'hyper terminal d'un ordinateur ou utilisation d'une interface interactive en utilisant le logiciel Labview. Les deux possibilités font appel au port série de l'ordinateur pour la transmission de données. La figure C.2 illustre une face-avant de l'interface LabView, par laquelle, tous les signaux et toutes les commandes sont relégables avec suffisamment de précision pour piloter la carte de test.

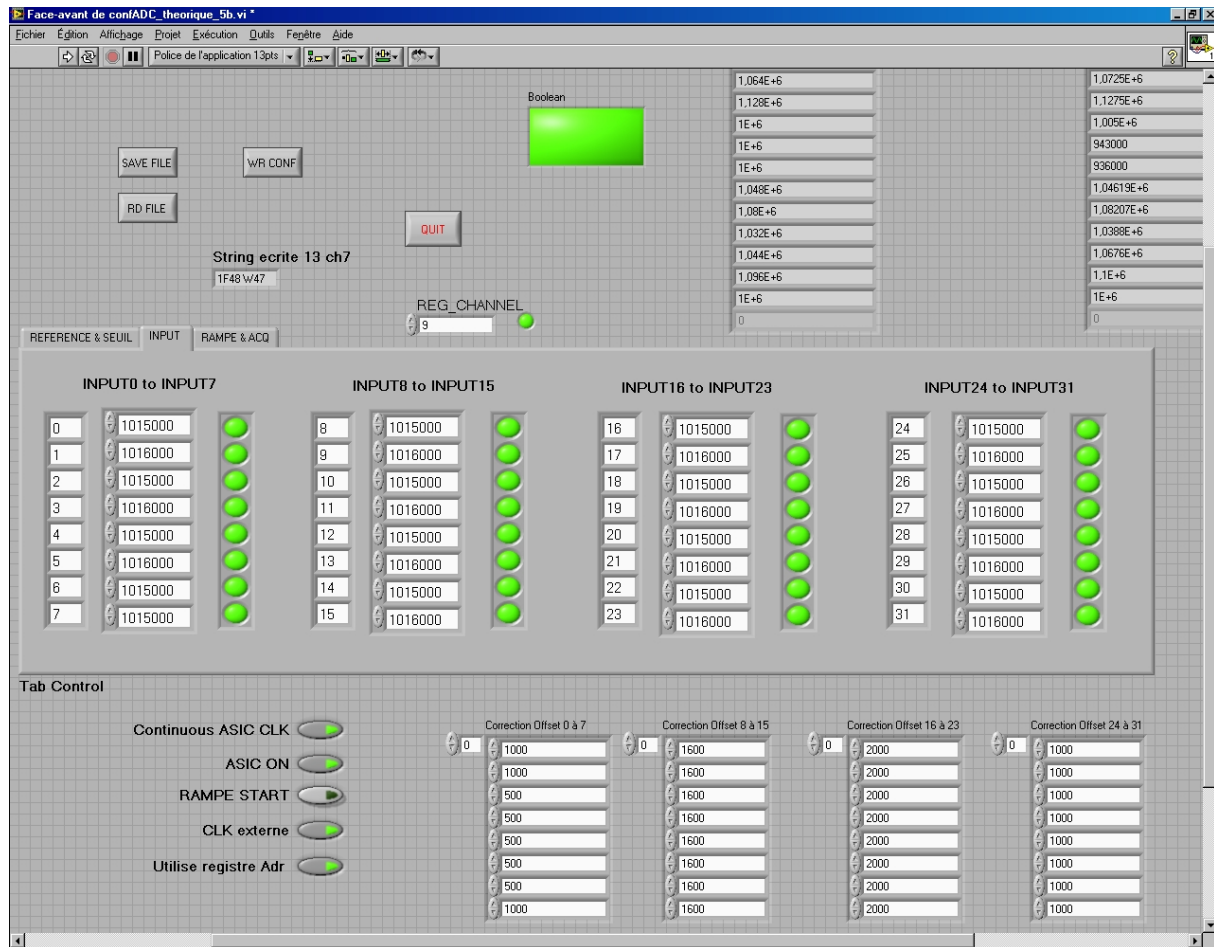


Figure C.2 : Face-avant de l'interface LabView.

C.3. Analyseur vectoriel du signal (VSA)

L'analyseur Vectoriel du signal (Vector Signal Analyser, VSA) est un outil spécifique à l'analyseur logique. Dans notre application, il nous a permis de reconvertir le code numérique du CAN en un signal analogique et de suivre l'évolution du signal et des différents paramètres caractéristiques du CAN (e.g. FFT, histogramme et) en temps réel sur un écran d'un ordinateur. Une image de visualisation de ces performances pour le CAN de 5 bits de résolution à 50 MS/s de fréquence en double échantillonnage est montrée sur la figure C.3.

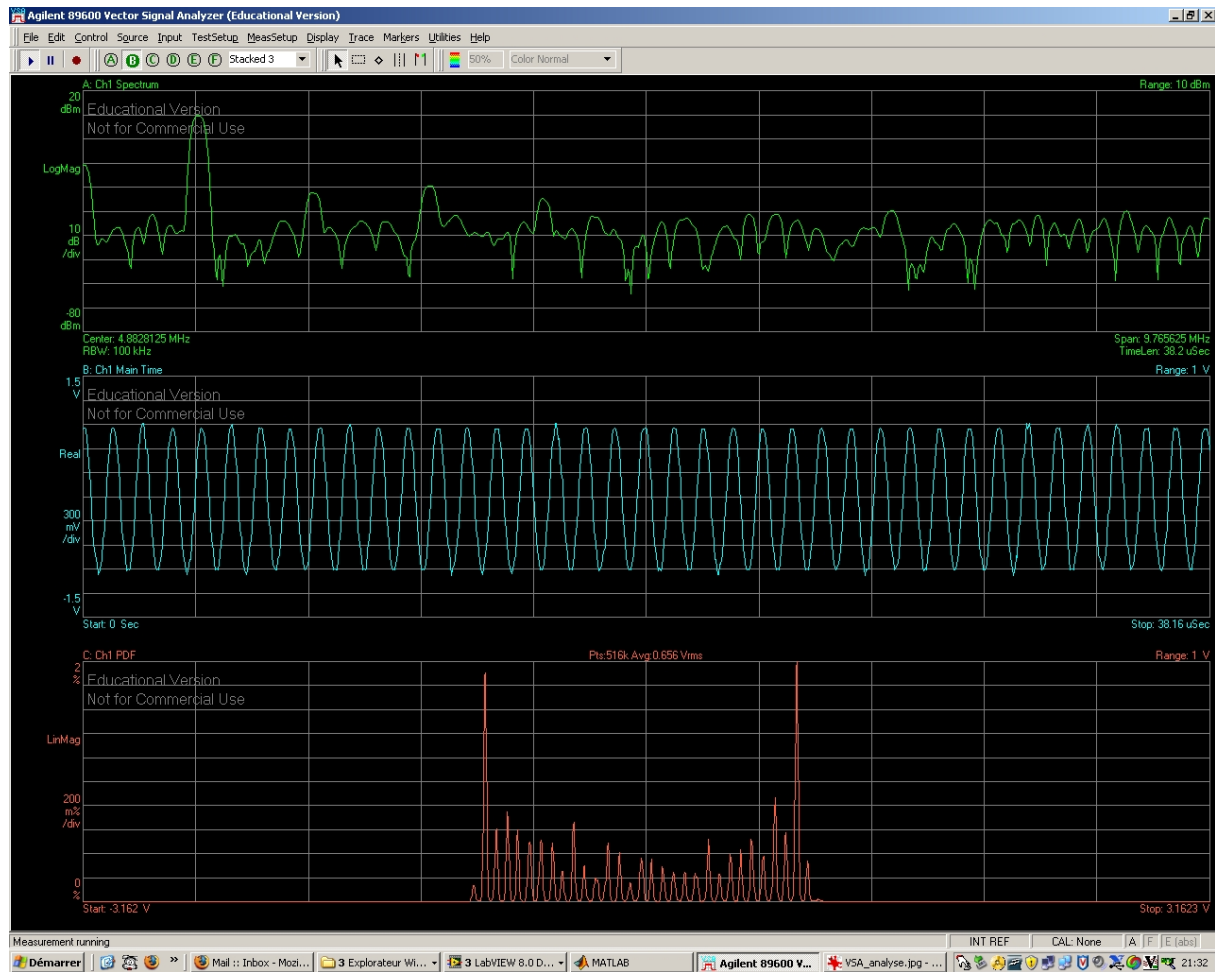


Figure C.3 : FFT, sinus et histogramme (du haut en bas) du code de sortie du CAN reconstitués par l'outil VSA

Les futures grandes expériences de l'exploration des lois fondamentales de la Nature (e.g. ILC) exigent des détecteurs de vertex de résolution spatiale et de granularité poussées, très minces et radio-tolérants, qui sont hors de portée des technologies de détections actuelles. Ce constat est à l'origine du développement des Capteurs CMOS à Pixels Actifs. La résolution spatiale du capteur est une performance clé. Elle résulte de la répartition des charges libérées par une particule chargée traversant, et ionisant, le volume sensible. L'encodage de la charge collectée par chaque pixel repose sur un CAN (Convertisseur Analogique Numérique) intégrable à même le substrat abritant le volume sensible du capteur. Ce CAN doit être précis, compact, rapide et de faible consommation. L'objectif de cette thèse a donc été de concevoir un CAN répondant à ces exigences conflictuelles. D'abord, plusieurs architectures d'un échantillonneur-bloqueur-amplificateur ont été étudiées pour conditionner le faible signal des pixels. Une architecture originale de cet étage a été conçue. L'architecture pipeline du CAN a été choisie. La configuration de base de 1,5 bit/étage a été implémentée pour tester la validité du concept, puisqu'elle permet de minimiser les contraintes sur chaque étage. Nous avons optimisé l'architecture en introduisant le concept du double échantillonnage dans un premier temps sur une configuration de 2,5 bits/étage, ceci a permis de minimiser les dimensions et la puissance. Le double échantillonnage combiné avec la résolution de 1,5 bit/étage a constitué une seconde amélioration. Une nouvelle architecture du CAN adapté à la séquence des commandes des pixels a été proposée.

Mots clés : détection de particules chargées, capteurs CMOS à pixels actifs, conception analogique et numérique, faible puissance dissipée, faibles dimensions, CAN pipeline, échantillonnage, capacités commutées.

The future big experiments for exploring the fundamental laws of the Nature (e.g. International Linear Collider, ILC) require Vertex Detectors of high spatial resolution and granularity, very thin and radio-tolerant, which are out of reach of the current detection technologies. This observation is at the origin of the development of a novel technology, CMOS Active Pixel Sensors. The spatial resolution of the sensor is a major performance. It results from the sharing of the charges created by a charged particle when it crosses -and ionizes- the sensitive volume. The encoding of the charge collected by each pixel bases on an ADC (Analog-to-Digital Converter), which must be integrated on the substrate sheltering the sensitive volume of the sensor. This ADC must be precise, compact, fast and dissipating low power. The objective through this thesis was to design an ADC fulfilling these conflicting requirements. First, several architectures of a sample-hold-amplifier were studied for conditioning the low signal coming from the pixel. An original architecture of this stage was designed. The pipelined architecture was chosen to develop the ADC. The basic configuration 1.5 bit/stage was implemented to test the validity of the concept, because it allows minimizing the constraints of each single stage. We optimized the ADC pipelined architecture by introducing the double sampling concept on a configuration of 2.5 bits/stage, this allowed to minimize the dimensions and the power. The double sampling combined with the 1.5 bit inter-stage resolution constituted a second improvement of the ADC architecture. A new architecture of the ADC adapted to the pixel command sequence was proposed.

Key words: charged particle detection, CMOS active pixel sensors, analog and digital design, low power dissipation, small dimensions, pipelined ADC, sampling, switched capacitors.