

N° d'ordre : 40

École Doctorale Mathématiques, Sciences de l'Information  
et de l'Ingénieur

---

UDS – INSA – ENGEES

## THÈSE

présentée pour obtenir le grade de

**Docteur de l'Université de Strasbourg**  
**Discipline : Sciences de l'Ingénieur**  
(Spécialité : Electronique, Microélectronique)

par

**Sébastien Heini**

**Conception et Intégration d'un capteur à Pixels Actifs  
Monolithiques et de son Circuit de Lecture en Technologie  
CMOS Submicronique pour les Détecteurs de Position du Futur**

Soutenue publiquement le 23 mars 2009

### Membres du jury

- Directeur de thèse* : M. Yann Hu, Professeur à l'Université de Strasbourg I  
*Co-Directeur de thèse* : M. Marc Winter, Directeur de Recherches au CNRS, IPHC, Strasbourg  
*Rapporteur interne* : M. Luc Hébrard, Professeur à l'Université de Strasbourg I  
*Rapporteur externe* : M. Patrick Garda, Professeur à l'Université Pierre et Marie Curie de Paris  
*Rapporteur externe* : M. Michel Paindavoine, Professeur à l'Université de Bourgogne  
*Examineur* : M. Jacques Lecoq, Ingénieur principal de physique nucléaire, LPC,  
Clermont-Ferrand

N° d'ordre : 4 0

Date d'impression : 04 Mai 2009

# Remerciements

Je souhaite remercier Yann Hu et Marc Winter, mes directeurs de thèse. Ils m'ont permis de mener à bien cette thèse au sein de l'Institut Pluridisciplinaire Hubert Curien de Strasbourg. Yann Hu m'a soutenu et donné toute liberté dans l'orientation de mes travaux. Ses précieux conseils en microélectronique et sa grande disponibilité ont contribué à mon épanouissement dans des activités de recherches passionnantes. Marc Winter m'a accordé un soutien inestimable et les moyens nécessaires pour assurer la mise en œuvre des travaux de recherche. Ses connaissances et ses recommandations ont été une source d'inspiration qui m'ont suivi tout au long de la thèse.

Je remercie également Peter Senger et tous les membres du GSI "Gesellschaft für Schwerionenforschung mbH" de Darmstadt, Allemagne. Par leur confiance et leur soutien, j'ai eu l'honneur de participer à des recherches d'ordre mondial sur la conception du détecteur de particules de l'expérience de physique CBM "Compressed Baryonic Matter".

Je tiens à remercier Wojciech Dulinski, Abdelkader Himmi, Michal Szelezniak, Isabelle Valin et plus particulièrement Christine Hu. Ils ont partagé avec moi leurs connaissances en conception de systèmes intégrés et d'instrumentations. Ils m'ont également apportés leur aide lors des manipulations et des recherches réalisées durant cette thèse.

Je souhaite remercier Luc Hébrard, Patrick Garda, Michel Paindavoine et Jacques Lecoq d'avoir accepté de faire partie de mon jury de thèse.

Je remercie également tous mes collègues de l'IPHC, et plus particulièrement Daniel Huss, directeur de ce laboratoire, Jean-Daniel Berst, Claude Colledani, Grzegorz Deptuch, Gilles Claus, Daniel Husson, Christian Illinger, Kimmo Jaaskelainen, Mathieu Goffe, Nicolas Ollivier-Henry, Nicolas Pillet, Fouad Rami, Jean-louis Riester et Marie-Hélène Sigwart, chacun ayant participé à la réussite de ces travaux de thèse. Je présente mes remerciements à Antony Bozier, Vincent Frick, Jean-Baptiste Kammerer, Frédéric Morel et Jean-Pierre Le Normand pour leurs conseils en microélectronique.

Je tiens à exprimer une profonde gratitude envers mes parents. Ils m'ont écouté et conseillé durant les projets et les expériences auxquels j'ai été confronté. Je leur suis également reconnaissant pour leur présence permanente et leurs encouragements qui m'ont accompagné durant toute ma vie.



---

# Table des matières

<b>Introduction générale.....</b>	<b>1</b>
<b>1 Capteurs CMOS pour l'expérience CBM.....</b>	<b>7</b>
1.1 Introduction .....	7
1.2 Physique de la matière.....	8
1.3 Contexte d'implémentation des capteurs CMOS.....	11
1.3.1 Le projet FAIR .....	11
1.3.2 Physique étudiée avec l'expérience CBM .....	12
1.3.3 Identification des phénomènes physiques .....	15
1.3.4 Le détecteur CBM .....	16
1.3.5 Le trajectomètre MVD/STS .....	18
1.3.6 Caractéristiques du détecteur MVD .....	20
1.4 Capteur CMOS pour le détecteur MVD .....	22
1.4.1 Implémentation des capteurs CMOS dans le MVD .....	22
1.4.2 Généralités sur les capteurs CMOS .....	23
1.4.3 Architecture générale des capteurs CMOS .....	24
1.4.4 Chaîne de lecture des capteurs CMOS .....	26
1.4.5 Problématique de conception des capteurs CMOS.....	28
1.5 Conclusion .....	31

<b>2</b>	<b>Capteurs CMOS en modes tension et courant.....</b>	<b>33</b>
2.1	Introduction .....	33
2.2	Interactions des semi-conducteurs avec les rayonnements ionisants .....	34
2.2.1	Création de paires électron-trou dans le silicium .....	34
2.2.2	Détection de particules minimum ionisantes .....	35
2.2.3	Détection des photons : Rayons X.....	39
2.3	Élément de détection : la photodiode .....	42
2.3.1	Généralités sur la photodiode .....	42
2.3.2	Caractéristiques de la photodiode .....	47
2.4	Architectures en mode tension .....	51
2.4.1	Photodiode avec un transistor de "reset" .....	51
2.4.2	Photodiode à polarisation continue.....	53
2.5	Architecture en mode courant .....	56
2.5.1	Le PhotoFET .....	56
2.5.2	Le PhotoFET simplifié .....	61
2.6	Mémoire de courant : double échantillonnage corrélé "in pixel" .....	64
2.6.1	Intégration d'un traitement CDS dans les pixels .....	64
2.6.2	Principe de fonctionnement du CDS.....	65
2.6.3	Contribution en bruit des mémoires.....	67
2.7	Réalisation d'un Capteur CMOS à PhotoFETs .....	68
2.7.1	Architecture générale du capteur CMOS .....	68
2.7.2	Capture et lecture d'images avec le capteur .....	70
2.7.3	Outils de caractérisation des PhotoFETs .....	71
2.8	Résultats de la caractérisation des PhotoFETs.....	77
2.8.1	Atténuation des piédestaux.....	77
2.8.2	Atténuation du bruit FPN.....	78
2.8.3	Résultats de la caractérisation des pixels.....	84
2.9	Tolérance aux radiations .....	88
2.10	Conclusion .....	90

---

<b>3</b>	<b>Conversion Analogique-Numérique.....</b>	<b>93</b>
3.1	Introduction .....	93
3.2	CAN pour les capteurs CMOS .....	94
3.2.1	Contexte d'intégration des CAN.....	94
3.2.2	Motivation pour la conception des CAN.....	95
3.2.3	Contraintes de conception des CAN.....	96
3.2.4	Cahier des charges des CAN .....	98
3.2.5	Propositions de CAN.....	100
3.2.6	Rappel d'architectures de CAN classiques.....	101
3.3	CAN à double rampe.....	103
3.3.1	Concept architectural du CAN .....	103
3.3.2	Architecture de CNA à capacités commutées .....	105
3.3.3	Simulation des erreurs de conversion et du bruit .....	107
3.3.4	Comparateur du CAN.....	108
3.3.5	Résultat des simulations du CAN .....	112
3.4	Caractérisation des CAN.....	113
3.4.1	Architecture générale du circuit WILLIAM.....	113
3.4.2	Outils de caractérisations des CAN .....	115
3.5	Résultats de la caractérisation .....	116
3.5.1	Conditions de mesure .....	116
3.5.2	Erreur de monotonicité.....	116
3.5.3	Caractéristiques de conversion du CAN.....	117
3.5.4	Erreur d'offset et erreur de gain .....	118
3.5.5	Erreur de non-linéarités différentielle.....	119
3.5.6	Erreur de non-linéarités intégrale.....	120
3.5.7	Récapitulatif des performances du CAN.....	121
3.5.8	Extension du concept vers un CAN à n rampes .....	123
3.6	Nouvelles architectures de CAN pour les capteurs CMOS .....	124
3.6.1	Nouvelle courbe de conversion.....	124
3.6.2	Proposition de nouvelles architectures de CAN .....	125
3.7	Conclusion .....	127
	<b>Conclusion générale.....</b>	<b>129</b>

---

<b>Annexe A.....</b>	<b>135</b>
A.1 Technologies de capteurs au silicium.....	135
A.1.1 Capteurs CCD.....	135
A.1.2 Capteurs à micropistes de silicium.....	136
A.1.3 Capteurs à pixels hybrides.....	137
A.1.4 Capteurs à DEPFETs.....	138
A.1.5 Technologie de capteurs 3D.....	139
A.2 Substrats des capteurs CMOS.....	141
A.3 Principe de capture et de lecture d'images.....	142
A.3.1 Modes de capture des Capteurs CMOS.....	142
A.3.2 Cellules de mémorisation dans les pixels.....	144
A.3.3 Mode de lecture des Capteurs CMOS.....	145
<b>Annexe B.....</b>	<b>147</b>
B.1 Dessins physiques des pixels.....	147
B.2 Banc de test du circuit Mimosa 13.....	148
B.2.1 Photographie du banc de test.....	148
B.2.2 Carte électronique POWER_BOARD.....	149
B.2.3 Carte électronique M13 PROXY.....	150
B.2.4 Carte électronique M13 BOARD.....	151
<b>Annexe C.....</b>	<b>153</b>
<b>Bibliographie.....</b>	<b>157</b>
<b>Conférences et publications.....</b>	<b>165</b>

# Table des figures

Figure 1-1 : Structure de l'atome.....	8
Figure 1-2 : Table récapitulative des Fermions du Modèle Standard (MS). ....	9
Figure 1-3 : Complexe d'accélérateurs de particules du projet FAIR au GSI auprès duquel seront installées plusieurs expériences de physique. ....	11
Figure 1-4 : Diagramme de phase de la matière nucléaire. ....	13
Figure 1-5 : Représentation schématique des trajectoires des particules produites lors d'une collision d'un ion lourd sur une cible fixe. ....	15
Figure 1-6 : (a) Désintégration d'un méson $D_0$ , (b) désintégration d'un méson $D^+$ . ....	16
Figure 1-7 : Vue schématique du détecteur CBM. De gauche à droite dans le sens du faisceau figurent le MVD (Micro Vertex Detector) et le STS (Silicon Tracking System), le RICH (Ring Imaging Cherenkov Detector), les trois stations du TRD (Transition Radiation Detector), le TOF (Time Of Flight) composé de RPC (Resistive Plate Chambers) et enfin le calorimètre ECAL (Electromagnetic CALorimeter). ....	17
Figure 1-8 : Simulation des trajectoires des particules émises lors d'une collision Au+Au à 25 GeV/nucléon dans l'expérience CBM.....	18
Figure 1-9 : (a) Vue schématique préliminaire en 3 dimensions des stations de capteurs MVD et STS, (b) organisation des stations MVD et STS. ....	19
Figure 1-10 : (a) Implémentation physique des capteurs CMOS, (b) schéma de principe de la première station du MVD.....	22
Figure 1-11 : Structure générale du capteur CMOS. ....	23
Figure 1-12 : Organisation générale d'un capteur CMOS.....	25
Figure 1-13 : Organisation détaillée d'un capteur CMOS avec traitement analogique ou (et) numérique intégrés en mode lecture parallélisée.....	26
Figure 1-14 : Lien entre les paramètres des capteurs CMOS.....	28

Figure 2-1 : Représentation d'une "collision" entre une particule chargée et un atome. ....	35
Figure 2-2 : Perte d'énergie d'une particule minimum ionisante dans le silicium déterminée avec la formule de Bethe-Bloch [34]. ....	37
Figure 2-3 : Distribution de la perte d'énergie suivant la fonction de distribution de Landau pour une particule minimum ionisante [34]. ....	38
Figure 2-4 : (a) Spectre énergétique des photons émis par une source $^{55}\text{Fe}$ , (b) courbe d'absorption des photons en fonction de leur énergie [30, 34]. ....	39
Figure 2-5 : Coefficient d'atténuation massique des rayonnements électromagnétiques dans le silicium en fonction de leur énergie. ....	40
Figure 2-6 : Représentation de l'effet photoélectrique. ....	41
Figure 2-7 : (a) Vue en coupe d'une photodiode, (b) champ électrique dans la couche P'. ....	42
Figure 2-8 : (a) Coefficient de diffusion des porteurs [41] et (b) durée de vie des porteurs en fonction de la concentration de dopants [42]. ....	45
Figure 2-9 : Diffusion des électrons dans le substrat. ....	45
Figure 2-10 : Modèle de la photodiode. ....	47
Figure 2-11 : (a) Vue en coupe de la photodiode avec le transistor de "reset", (b) chronogramme présentant le fonctionnement du dispositif. ....	51
Figure 2-12 : (a) Vue en coupe de la photodiode intégrant une diode de polarisation continue, (b) chronogramme présentant le fonctionnement du dispositif. ....	53
Figure 2-13 : Modèle de la photodiode couplé à une diode de polarisation. ....	55
Figure 2-14 : (a) Vue en coupe du PhotoFET, (b) schéma équivalent du PhotoFET. ....	56
Figure 2-15 : Modèle petit signal du PhotoFET et de l'étage suiveur. ....	58
Figure 2-16 : (a) Vue en coupe du PhotoFET simplifié, (b) schéma électrique équivalent. ....	61
Figure 2-17 : Modèle petit signal du PhotoFET simplifié. ....	62
Figure 2-18 : Schéma électrique du Double Echantillonnage Corrélé à mémoires de courant connecté au PhotoFETs et au PhotoFETs simplifiés. ....	65
Figure 2-19 : Chronogrammes d'écriture du courant $I_{ph}$ dans les mémoires 1 et 2. ....	66
Figure 2-20 : (a) Dessin physique (layout) du capteur Mimosa 13, (b) organisation du capteur. ....	68
Figure 2-21 : Organisation détaillée du circuit Mimosa 13 (multiplexeur non représenté). ....	69
Figure 2-22 : (a) Séquences des phases de capture et de lecture d'images, (b) chronogrammes détaillés des signaux pilotant les pixels. ....	70

Figure 2-23 : Organisation du banc de test de Mimosa 13. ....	71
Figure 2-24 : Chaîne de lecture de MIMOSA 13. ....	72
Figure 2-25 : Schéma de l'amplificateur en courant et de l'amplificateur I/U. ....	73
Figure 2-26 : Signal $I_{\text{pix}}$ délivré par une colonne de pixels. ....	75
Figure 2-27 : Signal de sortie unipolaire positive de l'étage différentiel. ....	75
Figure 2-28 : (a) Histogramme des données $S_{n-1}(j)$ délivrées par les mémoires 1 des pixels, (b) histogramme des données $S_n(j)$ délivrées par les mémoires 2, (c) histogramme CDS. ....	76
Figure 2-29 : Distribution de la contribution en bruit totale (avec CDS), (a) des pixels à PhotoFET, (b) des pixels à PhotoFETs simplifiés. ....	79
Figure 2-30 : Signal de sortie unipolaire positive de l'étage différentiel, (a) du PhotoFET et (b) du PhotoFET simplifié. ....	80
Figure 2-31 : Distribution du signal délivré par les pixels ayant collectés des charges, (a) pixels à PhotoFETs, (b) pixels à PhotoFETs simplifiés. ....	82
Figure 2-32 : (a) Photodiode classique, (b) photodiode tolérante aux radiations. ....	88
Figure 2-33 : (a) Vue d'un transistor MOS, (b) représentation en deux dimensions du transistor à grille fermée. ....	89
Figure 3-1 : Exemple d'architecture de capteur CMOS pour la détection de vertex. ....	94
Figure 3-2 : Représentation des contraintes liées à la conception des CAN dédiés aux capteurs CMOS. ....	96
Figure 3-3 : Synoptique d'un CAN Wilkinson. ....	101
Figure 3-4 : Synoptique d'un CAN de type SAR. ....	102
Figure 3-5 : Synoptique du CAN à double rampe. ....	104
Figure 3-6 : Schéma du convertisseur N/A 4 bits à capacités commutées. ....	105
Figure 3-7 : Simulation temporelle du comportement du CNA à capacités commutées. ....	106
Figure 3-8 : Schéma du comparateur. ....	108
Figure 3-9 : Schéma de l'amplificateur différentiel du comparateur. ....	109
Figure 3-10 : Schéma du comparateur commuté. ....	110
Figure 3-11 : Simulation du comparateur pour évaluer son offset et valider son fonctionnement. ....	111
Figure 3-12 : Simulation Monte-Carlo de l'offset du comparateur. ....	111

Figure 3-13 : Simulation finale du CAN à double rampe.....	112
Figure 3-14 : (a) Dessin physique du circuit WILIAM, (b) synoptique du circuit. ....	113
Figure 3-15 : Banc de test du circuit WILIAM.....	115
Figure 3-16 : Caractéristiques de sortie mettant en évidence les erreurs de monotonicité.....	116
Figure 3-17 : Caractéristiques min et max traitée du CAN à double rampe. ....	117
Figure 3-18 : Caractéristiques moyenne traitée du CAN à double rampe. ....	117
Figure 3-19 : Caractéristique DNL du CAN à double rampe.....	119
Figure 3-20 : Caractéristique INL du CAN à double rampe. ....	120
Figure 3-21 : Comparaison entre les CAN SAR, Wilkinson et à double rampe. ....	123
Figure 3-22 : Nouvelle courbe de conversion proposée pour les CAN employés dans les capteurs CMOS dédiés à la détection de vertex.....	124
Figure 3-23 : Architecture de CAN à réseaux d'interrupteurs intégrés. ....	125
Figure 3-24 : Architecture de CAN à CNA 2 bits à capacités commutées.....	126
Figure A-1 : Vue schématique en coupe d'un capteur CCD à lecture parallélisée.....	135
Figure A-2 : Vue schématique en coupe d'un détecteur à micropistes de silicium.....	136
Figure A-3 : Vue schématique en coupe d'un capteur à pixels hybrides.....	137
Figure A-4 : Vue schématique en coupe du DEPFET.....	138
Figure A-5 : Vue en coupe d'un capteur d'infrarouges en technologie 3D.....	139
Figure A-6 : Comparatif entre les capteurs 2D et 3D.....	140
Figure A-7 : (a) Vue en coupe d'un substrat avec couche épitaxiée, (b) vue en coupe d'un substrat Hires, (c) vue en coupe du substrat de la technologie SOI.....	141
Figure A-8 : Mode de capture d'images dans les capteurs CMOS.....	143
Figure A-9 : Méthode de capture d'images avec des pixels à plusieurs mémoires.....	144
Figure A-10 : Représentation de la lecture parallélisée et série d'une matrice de pixels.....	145

---

Figure B-1 : (a) Dessin physique du pixel intégrant le PhotoFET, (b) dessin physique du pixel intégrant le PhotoFET simplifié.....	147
Figure B-2 : Vue en coupe d'un pixel.....	148
Figure B-3 : Photographie du banc de test de Mimosa 13.....	148
Figure B-4 : (a) Synoptique et (b) photographie de la carte POWER_BOARD. ....	149
Figure B-5 : (a) Synoptique et (b) photographie de la carte M13 PROXY. ....	150
Figure B-6 : (a) Synoptique et (b) photographie de la carte M13 BOARD. ....	151
Figure C-1 : (a) Organisation physique du CAN, (b) dessin physique du contrôleur numérique. ....	153
Figure C-2 : (a) Dessin physique du CNA, (b) dessin physique du comparateur. ....	154



# Table des tableaux

Tableau 2-1 : Table récapitulative des caractéristiques des éléments du banc de test. ....	74
Tableau 2-2 : Résultats de mesure du facteur d'atténuation des piédestaux. ....	78
Tableau 2-3 : Résultats de mesure du facteur d'atténuation du bruit FPN. ....	78
Tableau 2-4 : Résultats de mesure de la contribution en bruit totale (avec CDS). ....	79
Tableau 2-5 : Résultats de mesure de la contribution en bruit (sans CDS). ....	81
Tableau 2-6 : Résultats de mesure du CCF et de l'ENC. ....	83
Tableau 2-7 : Caractéristiques des chaînes de lecture à PhotoFETs simplifiés ou non. ....	84
Tableau 3-1 : Résultats de simulations du CNA 4 bits à capacités commutées. ....	107
Tableau 3-2 : Résultats de mesure, erreurs d'offset et de gain du CAN à double rampe. ....	118
Tableau 3-3 : Récapitulatif des caractéristiques mesurées et simulées du CAN. ....	121



# Introduction générale

Dans nos sociétés contemporaines, les besoins quotidiens d'outils de communication, d'information et de transport motivent des travaux de recherches et de développements sur des appareils tels que le téléphone, le téléviseur, l'automobile... Actuellement, ces instruments implémentent des systèmes électroniques et microélectroniques pour améliorer leur qualité de service. L'électronique employée dans ces appareils a débuté par l'invention de la diode par John Ambrose Fleming en 1904. Ce composant fut également nommé : valve à oscillation, valve thermoïonique ou tube à vide. En 1906, Lee De Forest ajoute une électrode à la diode pour créer la triode qui permet l'amplification de signaux électriques. Ces inventions sont considérées comme la naissance de l'électronique [1]. L'effet transistor ne fut découvert qu'en 1948 par les américains John Bardeen, William Shockley et Walter Brattain, chercheurs de la compagnie Bell Téléphone. Or, le premier transistor en silicium a été fabriqué en 1954. Cette réalisation constitua la base des microcircuits électroniques numériques et analogiques employant la technologie à semi-conducteurs en silicium [2].

Outre les applications dans les appareils grands publics, la technologie à semi-conducteurs est employée dans des expériences de physique des particules et de physique nucléaire. Ces expériences permettent de vérifier ou de remettre en cause des théories élaborées par des scientifiques et sont généralement composées d'accélérateurs et de détecteurs de particules. Ces instruments d'une grande complexité sont actuellement capables d'identifier des phénomènes de physique à l'échelle submicronique. Or, les ambitions des programmes scientifiques requièrent l'amélioration des performances de mesure de ces outils. Ceci se traduit par des efforts de recherches, de développements et de constructions qui s'étalent généralement sur une période de 20 à 30 ans. Ainsi, plusieurs milliers de chercheurs et d'ingénieurs, qui excellent dans des domaines tels que la physique, la microélectronique et l'informatique, participent à des projets "pharaoniques".

Dans les expériences de physique, les accélérateurs sont employés pour obtenir des collisions de faisceaux de particules : protons, électrons, ... Pour caractériser un état final résultant de la collision des faisceaux, on mesure les caractéristiques de chacune des particules produites à l'aide d'un assemblage de détecteurs : chambres à muons, calorimètres électromagnétiques, détecteurs de traces, détecteur de vertex,... Par exemple, les informations délivrées par le détecteur de vertex permettent de déterminer la position des vertex qui correspondent aux lieux de désintégration de particules. Par l'analyse des trajectoires et l'identification des particules créées, les physiciens peuvent identifier les événements physiques engendrés lors des collisions et statuer sur leur interprétation.

Les technologies à base de semi-conducteurs, tels que les capteurs à pixels hybrides ou à micropistes de silicium, sont déjà employées pour réaliser des détecteurs de vertex. Les capteurs CCD "Charge Coupled Device" sont généralement employés pour l'imagerie (photographie, caméras,...) mais ils peuvent également être utilisés dans les détecteurs de vertex. Actuellement, les capteurs CMOS<sup>1</sup> d'images ou MAPS "Monolithic Active Pixel Sensor" constituent une alternative aux technologies précédentes. Ces capteurs CMOS offrent un meilleur compromis entre les paramètres de vitesse de lecture, de résolution spatiale<sup>2</sup>, de consommation électrique, de tenue aux rayonnements et de budget de matière. Tous ces paramètres de ce type de capteurs dépendent de l'expérience de physique dans laquelle ils prendront place, notamment en fonction des phénomènes physiques à observer, de la surface de mesure à couvrir et de la proximité du capteur avec le point d'interaction où les phénomènes de physique ont lieu. Pour répondre aux besoins spécifiques des détecteurs de vertex, les capteurs CMOS dédiés intègrent avantageusement sur un même substrat, des pixels sensibles aux particules ionisantes (alpha, bêta, rayons X, ...) et des microcircuits d'amplification et de traitements des signaux. Ce concept architectural est réalisable par l'utilisation de la technologie CMOS qui est couramment employée par l'industrie pour la fabrication de circuits électroniques numériques, analogiques et mixtes. En implémentant des éléments de détection de particules ionisantes et des microcircuits de traitement, les capteurs CMOS appartiennent à la famille des SoC "System on Chip". Actuellement, des recherches sont conjointement menées pour optimiser les performances des pixels et des microcircuits de traitement. En effet, les cahiers des charges des détecteurs de vertex imposent des contraintes considérables sur les différents paramètres des capteurs CMOS.

---

<sup>1</sup> CMOS : Complementary Metal Oxide Semiconductor.

<sup>2</sup> Résolution spatiale : précision sur la position du point de passage d'une particule électriquement chargée à travers la matrice de pixels du capteur CMOS.

Lors de l'application des capteurs CMOS dans les détecteurs de vertex, ces capteurs devront être capables d'effectuer quelques centaines à plusieurs dizaines de milliers de mesures de la position de la trajectoire des particules par seconde avec une précision de l'ordre du micromètre. Pour atteindre cette résolution spatiale, des travaux sont menés pour accroître la densité de pixels par unité de surface ( $\text{cm}^2$ ) et augmenter le rapport signal-à-bruit des microcircuits intégrés dans les pixels. Il s'agit de trouver un compromis entre la densité de pixels par  $\text{cm}^2$  et le rapport signal-à-bruit des microcircuits, tout en veillant à maintenir la vitesse de lecture et à ne pas augmenter la consommation électrique. Un avantage offert par la technologie CMOS est la possibilité de réduire l'épaisseur du capteur à quelques dizaines de micromètres. Ceci garantit une déviation minimale des particules lorsque celles-ci traversent les capteurs. Le grand nombre d'impacts de particules de hautes énergies auxquelles sont soumis les capteurs peuvent engendrer des dysfonctionnements irréversibles des microcircuits intégrés. Ce problème a initié de nombreuses recherches pour rendre les microcircuits et les éléments sensibles aux particules des capteurs CMOS tolérants aux rayonnements intenses. Les contraintes énoncées précédemment sont propres à chaque détecteur de vertex et définissent le cahier des charges des capteurs CMOS.

Actuellement, le potentiel technologique des capteurs CMOS offre la flexibilité nécessaire pour élaborer des architectures de pixels et de microcircuits dédiées aux détecteurs de vertex. Lors de leur conception, les pixels sensibles aux particules ionisantes requièrent une attention particulière pour que le capteur puisse remplir le cahier des charges imposé par son intégration dans les détecteurs de vertex. Généralement, les pixels sont constitués d'une photodiode et d'un microcircuit de prétraitement de signal en mode tension. Notons que la photodiode associée à un microcircuit de prétraitement en mode tension est déjà couramment employée pour la détection de lumière visible et pour la détection de particules minimum ionisantes. Lorsqu'une particule traverse le pixel, la photodiode délivre un signal électrique qui subit un premier jeu d'opérations (amplification, réduction du bruit, ...) par le microcircuit de prétraitement intégré dans les pixels. La sensibilité des pixels aux particules ionisantes, et implicitement celle du capteur, sera dépendante des choix architecturaux de la photodiode et du microcircuit de prétraitement.

Les travaux effectués sur l'amélioration de la résolution spatiale et sur l'augmentation de la vitesse de lecture sont à l'origine d'une nouvelle approche de détection en mode courant utilisant une structure originale intégrée nommée : le PhotoFET. Ce dernier convertit les charges libérées dans la couche sensible du capteur lors du passage d'une particule ionisante en variation amplifiée de courant. Le PhotoFET offre une solution alternative pour améliorer la réponse des capteurs CMOS.

Associés à la matrice de pixels, des microcircuits analogiques et numériques intégrés dans les capteurs CMOS traitent les informations délivrées par les pixels et renvoient, en sortie du capteur, des informations compatibles avec des systèmes d'acquisition de données. En raison de la densité de pixels par  $\text{cm}^2$  et de la vitesse de lecture, un capteur CMOS renvoie un flux de données équivalent à plusieurs centaines de Gbits par seconde. L'envoi aux systèmes d'acquisitions des données sous forme de signaux analogiques impose l'emploi de circuits analogiques rapides et gourmands en énergie. Ce problème est résolu par l'intégration dans le capteur d'un microcircuit numérique de sparsification des données et de "suppression de zéros" qui supprime les informations inutiles délivrées par les pixels. Ces systèmes numériques réduiront le flux de données sortant du capteur de 1 à 2 ordres de grandeur suivant le cas. L'implémentation de ce filtre au sein du capteur permet d'augmenter la densité de pixels par  $\text{cm}^2$  et donc d'améliorer la résolution spatiale tout en maintenant un flux de données en sortie du capteur proche du Gbit/s. L'utilisation de Convertisseurs Analogique-Numérique (CAN) compacts, de basse consommation et rapides devient donc incontournable dans les capteurs pour interfacer la matrice de pixels et le microcircuit de suppression de zéros. Ainsi, le capteur CMOS devient un système complexe intégrant des microcircuits analogiques et numériques dans un volume réduit et il sera capable de répondre aux besoins spécifiques de chaque application : imagerie de lumière visible, microscopie électronique, détecteurs de vertex.

Les capteurs CMOS ont été proposés par l'équipe "Capteurs CMOS" du laboratoire IPHC pour constituer les détecteurs de vertex des expériences de physique subatomique telles que l'expérience STAR<sup>1</sup> et l'expérience CBM<sup>2</sup>. Le cahier des charges de cette dernière est très ambitieux, notamment en termes de vitesse de lecture (10  $\mu\text{s}$  soit 100 K lectures par secondes) et en tolérance aux rayonnements intenses non ionisants<sup>3</sup> ( $>10^{13}$  neq/ $\text{cm}^2/\text{an}$ ) et ionisants ( $>1$  MRad). Dans le cadre des études menées sur l'augmentation de la vitesse de lecture et l'amélioration de la résolution spatiale pour atteindre les objectifs requis par CBM, de nouvelles architectures de PhotoFETs et de CAN à doubles rampes ont été proposées et seront présentées dans ce manuscrit.

---

<sup>1</sup> STAR : Solenoidal Tracker At RHIC, expérience de physique des particules au laboratoire BNL "Brookhaven National Laboratory", New York, United States of America.

<sup>2</sup> CBM : Compressed Baryonic Matter, expérience de physique nucléaire au laboratoire GSI "Gesellschaft für Schwerionenforschung mbH", Darmstadt, Allemagne.

<sup>3</sup> Rayonnement non ionisant : exprimé en neutron équivalent par  $\text{cm}^2$  (neq). 1 neq exprime le dégât causé par un neutron de 1 MeV, avec  $1 \text{ eV} \approx 1,6 \times 10^{-19}$  Joule.

Après cette introduction, nous présenterons le projet FAIR, acronyme de Facility for Antiproton and Ion Research et l'expérience de physique nucléaire CBM. Nous détaillerons ensuite le cahier de charges des capteurs CMOS proposés par notre laboratoire pour constituer le détecteur de vertex MVD (Micro Vertex Detector) de l'expérience CBM. Nous terminerons ce chapitre par une explication détaillée des différentes contraintes de conception liées à l'application aux détecteurs de vertex.

Le deuxième chapitre de ce mémoire de thèse s'inscrit dans le cadre des études menées sur l'augmentation de la vitesse de lecture et de la sensibilité aux particules ionisantes des capteurs CMOS. Nous proposons et décrivons une architecture originale sensible aux particules ionisantes nommée PhotoFET. Les résultats de la caractérisation de PhotoFETs intégrés dans un capteur CMOS seront présentés. Ces résultats permettent de statuer sur la compatibilité des PhotoFETs avec leur application à la détection de particules ionisantes.

Le troisième chapitre présentera une architecture originale d'un CAN hybride entre un CAN à approximations successives et un CAN de type Wilkinson. Ce CAN à doubles rampes permet de convertir un signal analogique délivré par un pixel vers un code binaire (4 bits). Il devra satisfaire des caractéristiques draconiennes pour être intégrable dans les capteurs CMOS employés pour la détection de particules.

Finalement, nous ferons le point sur l'ensemble des travaux réalisés. Puis nous présenterons les travaux restant à réaliser et donnerons des perspectives pour l'orientation des travaux à venir.



# Chapitre 1

## Capteurs CMOS pour l'expérience CBM

### 1.1 Introduction

Initialement, les capteurs CMOS ont été développés pour l'imagerie de lumière visible. Par la suite, des travaux réalisés par le groupe « Capteurs CMOS » de l'IPHC de Strasbourg ont démontré que ces capteurs trouvent un grand champ d'applications pour la détection des particules ionisantes : électrons, photons, protons, ... Ainsi, les capteurs CMOS ont été proposés en vue de leur intégration dans le détecteur de vertex de l'expérience CBM planifié auprès du futur accélérateur FAIR du GSI – Darmstadt (Allemagne).

L'identification des phénomènes physiques attendus par le programme scientifique de CBM requiert la construction d'un détecteur de particules de nouvelle génération. Ceci impose la conception de capteurs rapides, hautement granulaires, et tolérants aux rayonnements. La collaboration CBM a retenu les capteurs CMOS pour constituer le détecteur de vertex, car ils offrent un meilleur compromis technologique que les CCD ou que les pixels hybrides ; notamment en termes de vitesse de lecture, de budget de matière, de résolution spatiale, de consommation et de tolérance aux rayonnements. Ces paramètres sont consignés dans un cahier des charges élaboré par la collaboration CBM. Les efforts de recherche pour adapter les capteurs CMOS au détecteur de vertex de CBM se concentrent sur la vitesse de lecture, la tolérance aux rayonnements et sur le budget de matière.

Dans ce chapitre, nous présentons le contexte d'application des capteurs CMOS : des concepts de base de la physique des particules à l'implémentation des capteurs dans le détecteur l'expérience CBM. Une présentation générale de l'expérience illustrera les objectifs de son programme scientifique. L'explication de la méthode de mesure des phénomènes physiques sera suivie d'une description de l'architecture générale des capteurs.

Ce chapitre se conclura par une présentation des différents liens entre les paramètres des capteurs CMOS.

## 1.2 Physique de la matière

Des études de physique ont démontré que la matière qui nous compose et qui nous entoure est formée principalement d'atomes, eux-mêmes constitués de plusieurs particules élémentaires<sup>1</sup> décrites par le Modèle Standard (MS). A partir du siècle dernier, le MS a été établi au fur et à mesure des découvertes expérimentales et des travaux théoriques. Le MS décrit trois forces dominantes à l'échelle microscopique qui agissent sur les douze particules élémentaires et leurs antiparticules. Simultanément, il explique la plupart des phénomènes physique qui ont présidé à l'évolution de l'Univers dans ses premiers instants [3].

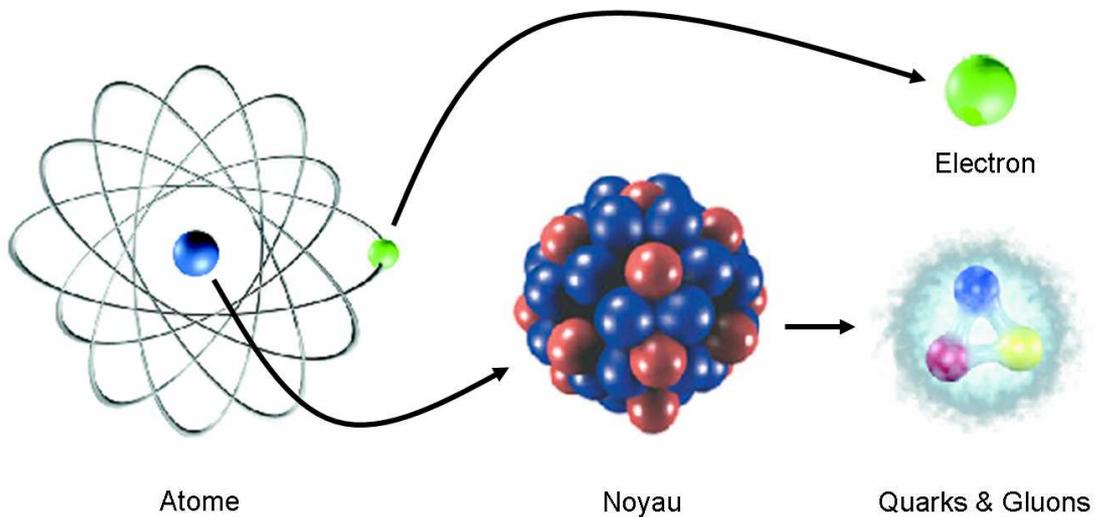


Figure 1-1 : Structure de l'atome.

L'atome, présenté schématiquement par la figure 1-1, a une dimension de l'ordre de  $10^{-10}$  m. Il contient un noyau atomique et des électrons. La dimension du noyau est de l'ordre de  $10^{-14}$  m et les électrons sont des particules élémentaires sans dimension dans le MS. Le type de l'atome est défini par le nombre de nucléons<sup>2</sup> contenus dans le noyau atomique. Par exemple : le noyau d'hydrogène contient 1 proton, celui du silicium  $^{28}\text{Si}$  renferme 14 protons et 14 neutrons et le noyau de l'atome d'uranium 238 ( $^{238}\text{U}$ ) est composé de 92 protons et 146 neutrons. Les nucléons sont constitués de 3 quarks dits de valence. Actuellement, les quarks sont considérés comme des particules de matière élémentaires sans dimensions, tout comme les électrons [3]. Quarks et électrons sont des fermions répertoriés par le MS.

<sup>1</sup> Élémentaire : indique que la particule ne peut être divisée en éléments plus petits.

<sup>2</sup> Nucléon : désigne les composants du noyau atomique : protons et neutrons dont les dimensions sont de l'ordre de  $10^{-15}$  m.

Le MS décrit trois familles de fermions, dont chacune est composée de deux quarks et de deux leptons. Ces particules élémentaires sont définies par leur charge électrique, par leur masse<sup>1</sup> et par leur spin<sup>2</sup>. Notons que les quarks disposent d'une caractéristique supplémentaire : la charge de couleur<sup>3</sup>. Quant aux neutrinos, ce sont des particules électriquement neutres dont la masse très faible reste à déterminer [4].

	Quarks		Leptons		
	Charge électrique	Symbole	Charge électrique	Symbole	
Famille 1	+2/3 (u) Haut 1 à 5 MeV/c <sup>2</sup>	-1/3 (d) Bas 5 à 9 MeV/c <sup>2</sup>	-1 (e <sup>-</sup> ) Electron 511 KeV/c <sup>2</sup>	0 (ν <sub>e</sub> ) Neutrino électronique	
Famille 2	+2/3 (c) Charmé ~ 1,3 GeV/c <sup>2</sup>	-1/3 (s) Etrange 80 à 155 MeV/c <sup>2</sup>	-1 (μ <sup>-</sup> ) Muon ~ 106 MeV/c <sup>2</sup>	0 (ν <sub>μ</sub> ) Neutrino muonique	
Famille 3	+2/3 (t) Top ~ 174 GeV/c <sup>2</sup>	-1/3 (b) Beauté ~ 4,3 GeV/c <sup>2</sup>	-1 (τ <sup>-</sup> ) Tau ~ 1,78 GeV/c <sup>2</sup>	0 (ν <sub>τ</sub> ) Neutrino tau	Masse

**Figure 1-2 : Table récapitulative des Fermions du Modèle Standard (MS).**

Dans l'Univers, les fermions de la famille 1 forment majoritairement la matière ordinaire qui nous entoure. Les éléments des familles 2 et 3 se désintègrent rapidement (leur durée de vie est très courte à l'échelle d'une vie humaine). Ces particules sont produites lors de la rencontre des rayons cosmiques avec l'atmosphère, lors de certaines réactions nucléaires ou par des expériences de physique. Le MS décrit également l'antimatière, car pour chaque fermion, il existe une antiparticule. Par exemple, le positon est un anti-électron dont la masse est identique à celle de l'électron mais de charge électrique positive. De plus, il existe des antiquarks qui peuvent être combinés en antiprotons et antineutrons. Or, ces particules ne peuvent exister durablement car l'antimatière s'annihile avec la matière en libérant la totalité de l'énergie mise en jeu sous forme de rayonnements [3, 4].

<sup>1</sup> Masse : exprimée en eV/c<sup>2</sup>, avec 1 eV égal à 1.6 × 10<sup>-19</sup> joules et c est la vitesse de la lumière dans le vide (égale à 299792458 m/s).

<sup>2</sup> Spin : moment angulaire intrinsèque des particules.

<sup>3</sup> Charge de couleur : nombre quantique lié à l'Interaction Forte entre les quarks.

Le MS décrit également trois forces connues sous le nom d'Interaction Electromagnétique, d'Interaction Forte et d'Interaction Faible. Chacune d'elles est associée à des bosons de jauge qui sont les vecteurs de ces forces.

- L'Interaction Electromagnétique est véhiculée par le plus connu des bosons : le photon. Celui-ci intervient dans tous les phénomènes observables à l'échelle humaine, excepté ceux liés à la gravité. L'Interaction Electromagnétique a une portée infinie et, est responsable de l'attraction entre les électrons et le noyau atomique et donc de la cohésion des atomes.

- L'Interaction Forte est transmise par les gluons. Au nombre de 8, ils sont les particules médiatrices de l'Interaction Forte. Celle-ci a une portée de l'ordre de  $10^{-15}$  m et, est responsable de la cohésion du noyau atomique, du confinement des quarks, ... Elle est décrite formellement par une théorie qui s'appelle "Chromodynamique quantique".

- L'Interaction Faible est véhiculée par trois bosons :  $W^-$ ,  $W^+$  et  $Z^0$ . Elle est responsable de la désintégration  $\beta$  et d'autres réactions impliquant des particules comme les neutrinos.

Le MS prédit également l'existence du boson de Higgs pour expliquer l'origine de la masse des particules élémentaires. Or cette particule n'a pas encore été découverte et concentre de grands efforts de recherche pour sa mise en évidence, notamment avec les expériences ATLAS et CMS au LHC<sup>1</sup> [5].

Le noyau atomique illustre parfaitement la complexité des mécanismes physiques. En effet, les protons du noyau sont soumis à une force électromagnétique répulsive qui devrait entraîner l'éclatement du noyau. Or, l'Interaction Forte génère une attraction entre tous les nucléons du noyau. Un équilibre entre les deux forces assure la stabilité du noyau.

A une échelle encore plus réduite, l'Interaction Forte assure la cohésion des hadrons<sup>2</sup>, ceci malgré la répulsion électromagnétique entre des quarks ayant des charges électriques de même signe. Elle a pour particularité de s'intensifier lorsque les quarks s'éloignent l'un de l'autre. Ce phénomène indique que les quarks tendent à se confiner en hadrons et ne peuvent rester isolés naturellement. L'existence de la matière telle que nous la connaissons est donc le fruit d'un équilibre subtil [5].

L'Interaction Forte et la structure de la matière recèle encore beaucoup de mystères. Le projet FAIR au GSI-Darmstadt en Allemagne, est l'un des grands projets européens de la décennie à venir où certaines questions des plus fondamentales pourront être abordées.

---

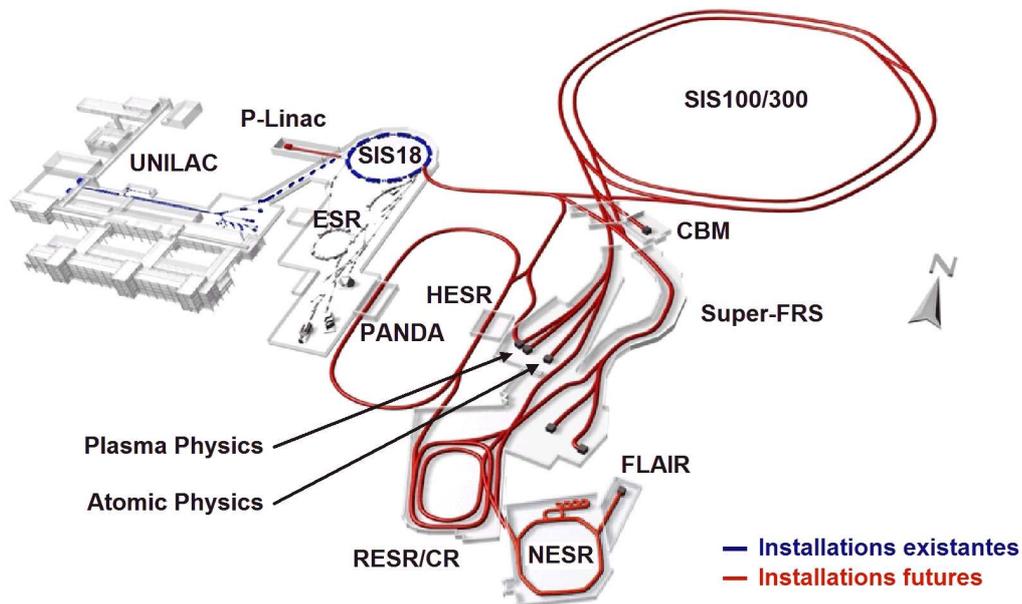
<sup>1</sup> LHC : Large Hadron Collider : accélérateur de particules au CERN, Organisation Européenne pour la Recherche Nucléaire à Genève en Suisse.

<sup>2</sup> Hadron : particules composites que l'on retrouve sous forme de baryons constitués de trois quarks et de gluons et sous forme de mésons composés d'un quark, d'un antiquark et de gluons.

## 1.3 Contexte d'implémentation des capteurs CMOS

### 1.3.1 Le projet FAIR

Dans le cadre d'une coopération internationale, le GSI "Gesellschaft für Schwerionenforschung mbH" construit un complexe d'accélérateurs de particules nommés FAIR, acronyme de "Facility for Antiproton and Ion Research". Avec cet outil, le laboratoire GSI disposera d'infrastructures permettant d'étudier la matière au niveau de l'atome, du noyau atomique, et des constituants subatomiques tels que les quarks et les gluons [6].



**Figure 1-3 : Complexe d'accélérateurs de particules du projet FAIR au GSI auprès duquel seront installées plusieurs expériences de physique.**

La figure 1-3 présente les installations existantes et envisagées au GSI : **UNILAC** : accélérateur linéaire ; **P-Linac** : accélérateur de protons, **SIS18** : synchrotron d'ions lourds ; **ESR**, **HESR** et **NESR** : anneaux de stockage pour les particules ; **RESR/CR** : anneaux d'accumulation et collection de particules ; **SIS100/300** : synchrotron à double anneaux ; **Super FRS** : séparateur de fragments lourds. Associés à ces infrastructures, nous distinguons : **PANDA** : expérience étudiant la structure de la matière hadronique avec des faisceaux d'antiprotons, **CBM** : expérience étudiant les propriétés de la matière baryonique très dense et de la chromodynamique quantique, **FLAIR** : dispositif permettant d'effectuer des expériences avec des faisceaux d'ions lourds et d'antiprotons de basse énergie, ainsi que plusieurs expériences de physique atomique et de physique des plasmas. L'achèvement de la construction des installations futures est prévu en 2015 [6].

Lors des expérimentations, des particules sensibles aux champs électriques et magnétiques circuleront dans les tubes à vide du complexe d'accélérateurs. Elles seront accélérées à l'aide de champs électriques générés par des cavités accélératrices de SIS18 ou SIS100/300. De puissants aimants permettront d'acheminer les particules des faisceaux dans un tube à vide jusque dans la zone d'interaction, où leurs collisions feront l'objet d'études spécifiques menées à l'aide de divers appareillages expérimentaux : CBM, PANDA, ...

Avec ces outils, les scientifiques mèneront des expériences dans des domaines variés de la physique : physique atomique, physiques nucléaire, physique des plasmas [6]. Ces expériences auront des retombés, notamment dans le monde médical en offrant de nouvelles possibilités thérapeutiques en oncologie par l'exploitation de faisceaux d'ions [7].

### **1.3.2 Physique étudiée avec l'expérience CBM**

L'expérience CBM, acronyme de "Compressed Baryonic Matter experiment", est l'une des principales expériences planifiées au GSI. Le programme scientifique de CBM a pour objectifs principaux : l'exploration de la transition de phase de la matière nucléaire vers le plasma de quarks et de gluons dans la région des hautes densités baryoniques et la recherche de signaux de la restauration de la Symétrie Chirale. Ce programme porte sur des questions fondamentales de la Chromodynamique quantique, comme celles concernant le confinement des quarks ou l'origine de la masse des hadrons. Il présente, en outre, un grand intérêt au plan astrophysique, notamment pour l'étude de la stabilité des étoiles à neutrons et de la dynamique des supernovas [8].

Pour atteindre les objectifs du programme scientifique, les ions lourds circulant dans les accélérateurs de particules seront accélérés à des énergies de 2 à 45 GeV/nucléon et seront dirigés sur une cible fixe pour produire des collisions entre des noyaux atomiques. La sensibilité aux phénomènes recherchés dépend de l'épaisseur de la cible et des deux paramètres fondamentaux de l'accélérateur : la luminosité des faisceaux et l'énergie des particules. Un choix optimal des paramètres de la cible et des faisceaux permettra d'obtenir un nombre d'interactions satisfaisant sans saturer les appareillages de mesure.

Par exemple, une cible épaisse ou de densité élevée se traduit par un taux d'interactions élevé dont les nombreuses particules produites lors des collisions aura tendance à saturer les appareillages de mesure. De plus, les mesures sont biaisées car certaines particules produites vont interagir avec les noyaux de la cible. A l'inverse, une cible fine ou de densité faible risque de ne pas permettre d'atteindre la statistique requise.

La chromodynamique quantique prédit que, dans des conditions extrêmes de température et/ou de densité baryonique, la matière ordinaire doit subir une transition de phase vers un nouvel état de la matière où les quarks et les gluons sont déconfinés : le plasma de quarks et de gluons. Ceci est illustré par la figure 1-4 qui montre le diagramme de phase de la matière nucléaire en fonction de la température et de la densité baryonique nette<sup>1</sup> [9-11].

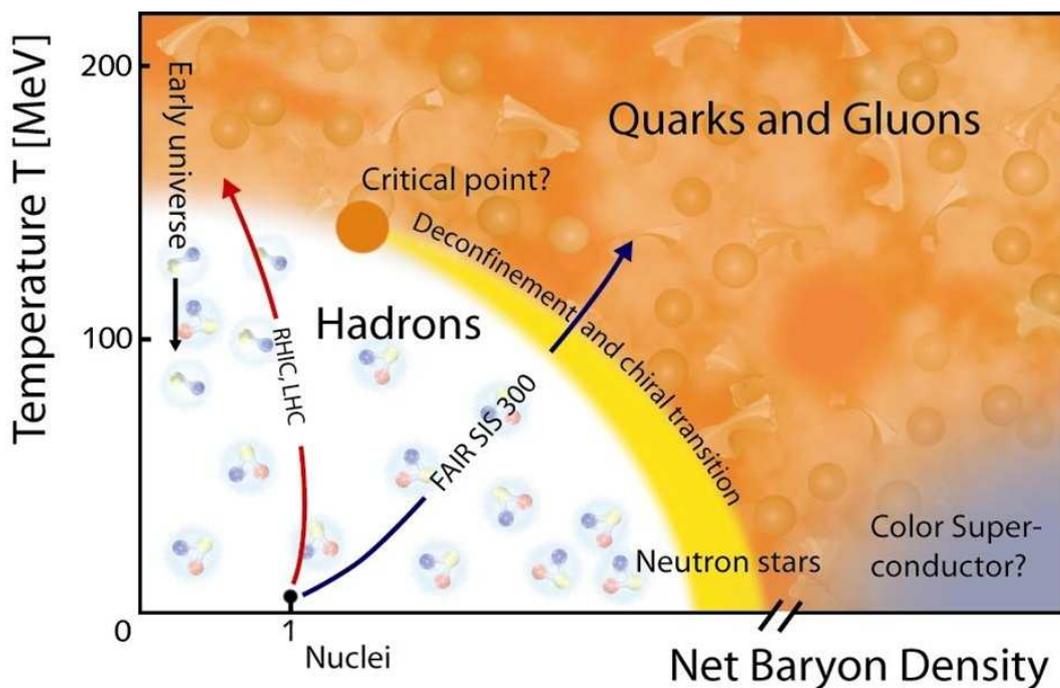


Figure 1-4 : Diagramme de phase de la matière nucléaire.

Ce diagramme de phase suggère deux voies complémentaires pour explorer la transition de phase de la matière hadronique vers le plasma quarks-gluons.

<sup>1</sup> Densité baryonique nette : (Net Baryon Density), reflète la différence entre le nombre de baryons et d'antibaryons dans un système nucléaire.

La première consiste à apporter de l'énergie sous forme thermique dans le volume de la collision noyau-noyau. Cette stratégie est celle adoptée dans les expériences auprès du collisionneur RHIC<sup>1</sup> et par l'expérience ALICE au LHC. Pour une énergie thermique élevée (de l'ordre de 200 GeV), une partie des nucléons de la collision se dissolvent. Leur énergie de liaison et une partie de leur énergie cinétique sont remises en jeu dans la collision, contribuant à créer de nombreuses paires particules-antiparticules. Ceci augmente la température du milieu, alors que la densité baryonique reste proche de celle de la matière ordinaire. Dans de telles conditions expérimentales, la chromodynamique quantique prédit une transition douce (cross-over) de la phase hadronique à celui de plasma de type [9].

Le programme scientifique de CBM permettra d'explorer le diagramme de phase dans la région des températures modérées et des densités baryonique atteignant jusqu'à 10 fois la densité de la matière nucléaire ordinaire.

Pour étudier le diagramme de phase dans cette région, les ions d'un faisceau ayant une énergie de 10-35 GeV/nucléon seront projetés sur une cible fixe de quelques centaines de  $\mu\text{m}$  d'épaisseur pour produire des collisions noyau-noyau. Les baryons projectiles et cibles seront fortement comprimés, notamment à cause de la vitesse hautement relativiste des projectiles. On distingue deux régions dans le volume des particules en collision. L'une rassemble les particules du faisceau qui sont diffusées. Elle se situe à faible angle polaire et porte le nom de région de fragmentation. Quant à la région située au voisinage du plan perpendiculaire au faisceau dans le centre de masse de la collision (région centrale), elle concentre les particules résultant de la production de paires quark-antiquark. Par conséquent, c'est dans la région de fragmentation que la densité baryonique est la plus élevée. La concentration de particules relativement modeste dans cette région se traduit par une température sensiblement plus faible que dans la région centrale.

Le programme de CBM ayant pour objectif d'étudier la région d'espace de phase où la densité est élevée et la température modérée, on s'intéressera plus particulièrement aux particules produites avec un angle polaire (trajectoire-faisceau) faible à modéré. L'appareillage expérimental de CBM a été conçu pour identifier et déterminer les propriétés de ces particules avec une précision poussée.

---

<sup>1</sup> RHIC : Relativistic Heavy Ion Collider, grand collisionneur d'ions au Brookhaven National Laboratory, New York, USA.

Dans ces conditions expérimentales, la chromodynamique quantique prédit une transition de phase de premier ordre de la matière nucléaire. Ainsi, les chercheurs s'attendent à observer une transformation brutale de la matière hadronique vers un plasma de quarks et de gluons. Avec l'étude de la transition de phase à haute densité baryonique, l'expérience CBM permettra notamment de rechercher le point critique qui marque la frontière entre les transitions de phase brutale et les transitions de phase progressive et d'en étudier les propriétés. De la même manière, l'expérience explorera les signaux éventuels de la restauration de la symétrie chirale pour les hautes densités baryonique [9].

### 1.3.3 Identification des phénomènes physiques

L'étude des phénomènes physiques mis en jeu lors d'une collision noyau-noyau nécessite la détection de l'ensemble des particules produites. Avec la figure 1-5, nous illustrons le parcours des particules produites lors de la collision.

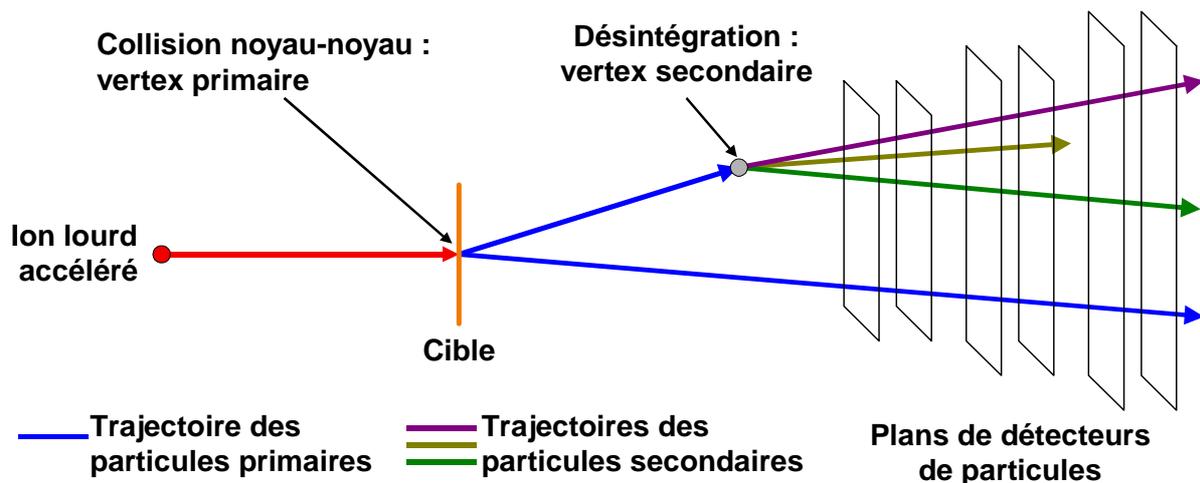


Figure 1-5 : Représentation schématique des trajectoires des particules produites lors d'une collision d'un ion lourd sur une cible fixe.

Cette figure nous montre deux exemples : une trace d'une particule primaire qui sera reconstruite par le détecteur de particules et une particule primaire se désintégrant en plusieurs particules secondaires au niveau du vertex de désintégration.

Pour l'étude des phénomènes de physique mis en jeu, les chercheurs s'intéressent aux particules primaires massives tel que les mésons D qui témoignent des premiers instants de l'histoire de la collision. Or, ces particules primaires se désintègrent rapidement. En effet,

elles parcourent une distance de l'ordre de la centaine de  $\mu\text{m}$  pour se désintégrer en particules secondaires tel que le présente les figures 1-6 (a) et (b).

Méson : particule composée d'une paire quark-antiquark.

Pion : méson formé d'un quark U et d'un antiquark D ou vice-versa ( $u\bar{d}$  ou  $d\bar{u}$ ).

Kaon : méson formé d'un quark U et d'un antiquark S ou vice-versa ( $u\bar{s}$  ou  $s\bar{u}$ ).

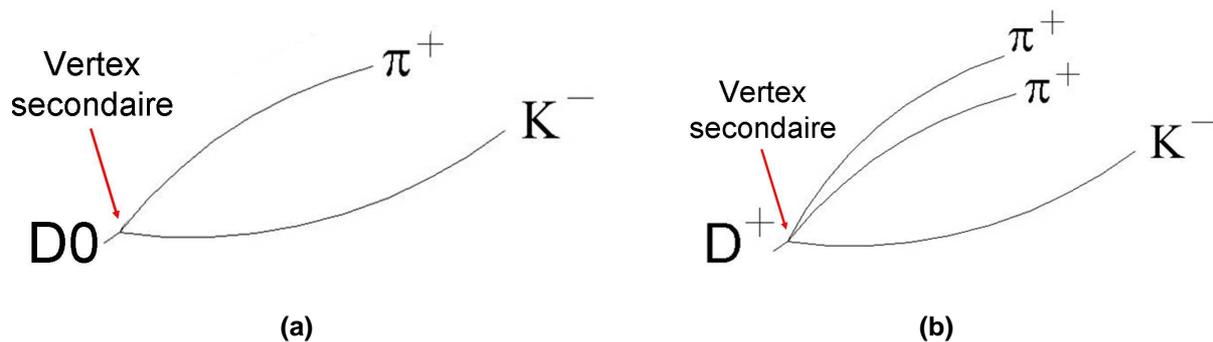


Figure 1-6 : (a) Désintégration d'un méson  $D^0$ , (b) désintégration d'un méson  $D^+$ .

La reconstruction des vertex secondaires et l'identification des particules primaires tel que les mésons D nécessitent la mesure des impulsions (moment ou quantité de mouvement) et la reconstruction des trajectoires des particules secondaires (pions  $\pi^+$ , kaons  $K^-$ ,...). Ces dernières sont obtenues par le traitement des informations délivrées par le détecteur de particules de CBM. Or, le contexte expérimental du programme scientifique de CBM plaide pour la construction d'un détecteur de particules de nouvelle génération, principalement en raison du nombre élevé de collisions [10].

### 1.3.4 Le détecteur CBM

Le détecteur CBM est composé de plusieurs types d'éléments de détection (i.e. sous-détecteurs). Ceux-ci devront fonctionner à des taux atteignant jusqu'à  $10^7$  collisions noyau-noyau par seconde. Des taux aussi élevés sont indispensables pour accumuler un échantillon suffisant de particules relativement rares, comme les mésons D.

Les conditions d'expérimentation ont suscité des développements de détecteurs susceptibles de répondre aux exigences de l'expérience CBM, en termes de nombre de mesures par seconde, de tenue aux rayonnements et de précision sur la position de la trajectoire des particules primaires et secondaires [11].

L'appareillage expérimental composant le détecteur est illustré par la vue schématique de la figure 1-7.

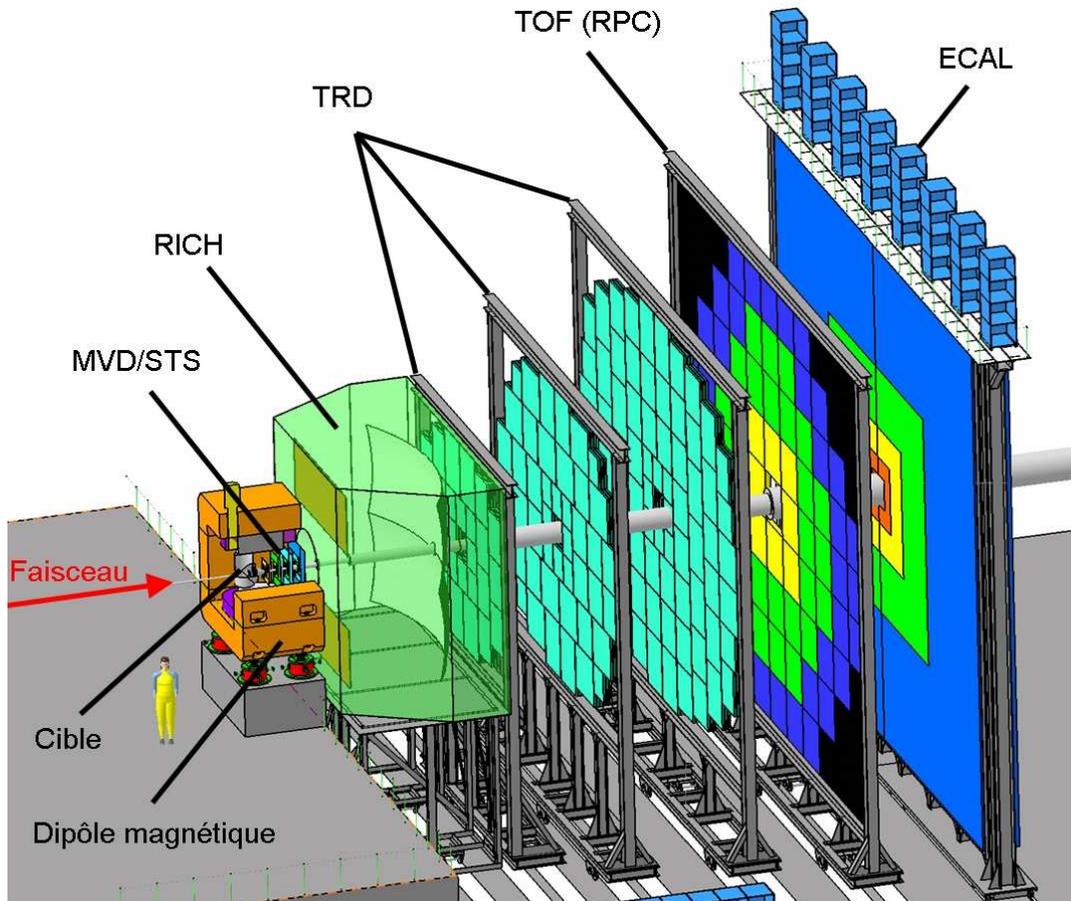
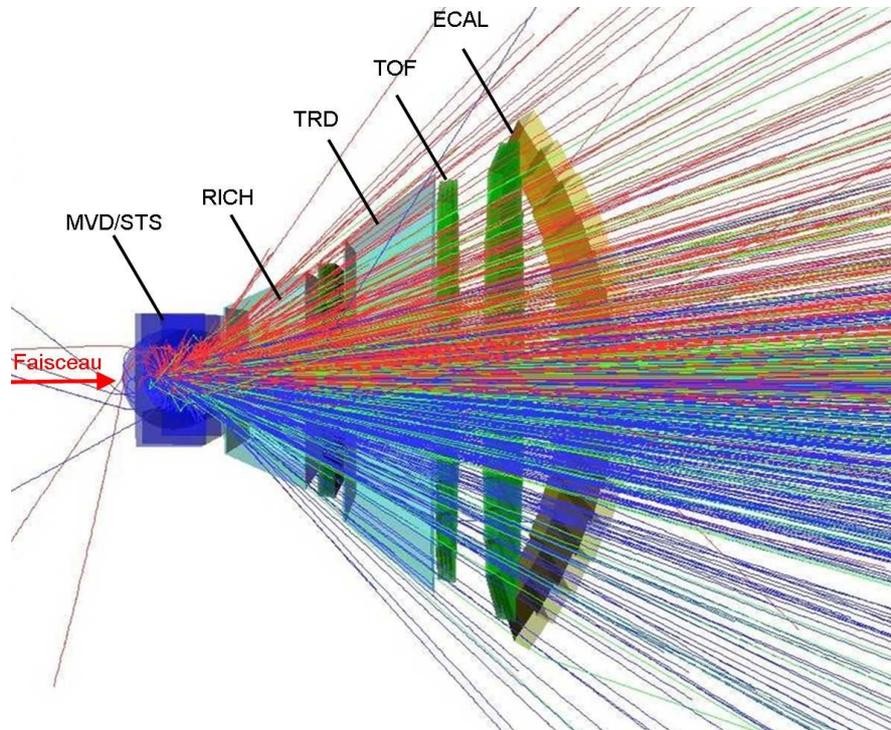


Figure 1-7 : Vue schématique du détecteur CBM. De gauche à droite dans le sens du faisceau figurent le MVD (Micro Vertex Detector) et le STS (Silicon Tracking System), le RICH (Ring Imaging Cherenkov Detector), les trois stations du TRD (Transition Radiation Detector), le TOF (Time Of Flight) composé de RPC (Resistive Plate Chambers) et enfin le calorimètre ECAL (Electromagnetic CALorimeter).

Dans sa configuration actuelle, le détecteur CBM est composé de plusieurs éléments de détection sensibles aux particules chargées. Le trajectomètre MVD/STS est utilisé pour déterminer les impulsions et les trajectoires des particules chargées et pour déterminer la position des vertex secondaires. Le détecteur RICH identifiera des pions mais également des électrons provenant de la désintégration de mésons  $\omega$ ,  $\rho$  et  $\phi$ . Le détecteur TRD permettra de reconstruire des traces de particules chargées et identifiera les électrons et positons de haute énergie. En mesurant la vitesse (temps de vol) des hadrons, le détecteur TOF participera à leur identification par recoupement avec la détermination de leur impulsion réalisée par le MVD/STS. Enfin, ECAL sera utilisé pour identifier les électrons et les photons et déterminer leur énergie. Ces composants sont décrits en détails dans la référence [12].

Représentant une simulation effectuée à l'aide du logiciel GEANT4, la figure 1-8 illustre la production de particules dans une collision.



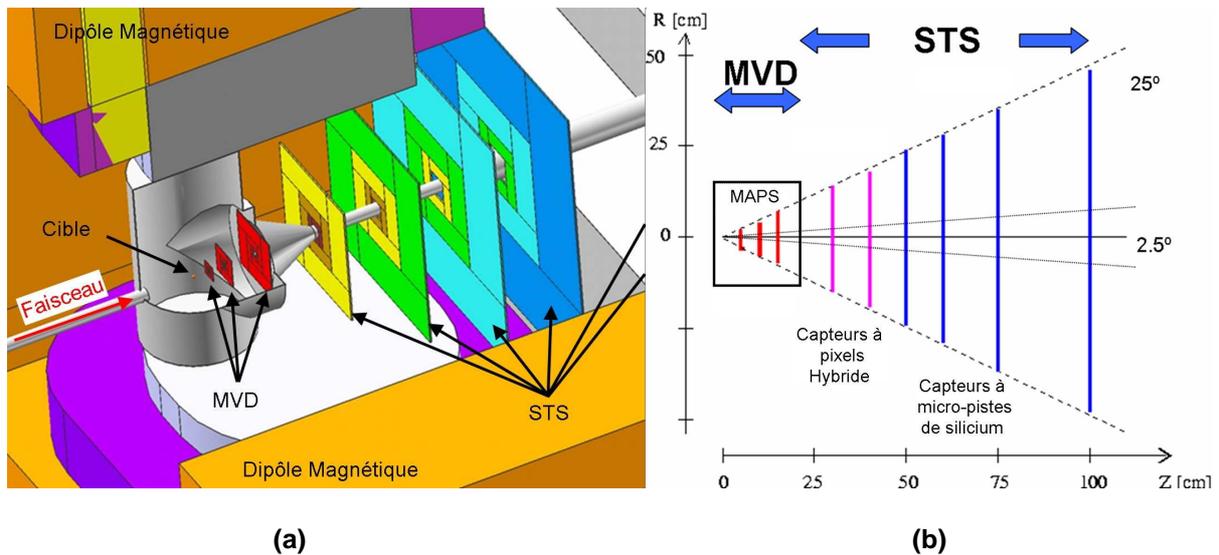
**Figure 1-8 : Simulation des trajectoires des particules émises lors d'une collision Au+Au à 25 GeV/nucléon dans l'expérience CBM.**

Cette simulation reproduit en détail les trajectoires, le type et le nombre de particules émises lors d'une collision entre un ion d'or accéléré à 25 GeV/nucléon et une cible d'or. Le résultat de la simulation prédit la production d'un millier de particules atteignant les sous-détecteurs : protons (vert), pions  $\pi^+$  et  $\pi^-$  (rouge et bleu), Kaons  $K^+$  et  $K^-$ , électrons et des positons, ... Les simulations permettent d'affiner les paramètres de l'appareillage et d'optimiser le programme de reconstruction des phénomènes physiques afin d'atteindre les objectifs du programme scientifique de CBM [13].

### 1.3.5 Le trajectomètre MVD/STS

Le trajectomètre de haute résolution MVD/STS (Micro Vertex Detector et Silicon Tracking System) est utilisé pour la reconstruction des trajectoires et des impulsions des particules chargées. Il est constitué de 9 stations planaires en silicium plongées dans un champ magnétique généré par un dipôle magnétique. Un champ de 1 Tesla dévie les trajectoires des particules chargées, permettant de mesurer leurs impulsions. A partir des trajectoires et des valeurs d'impulsions mesurées, le trajectomètre contribuera à déterminer la position et la nature des vertex secondaires et primaire de chaque collision.

La figure 1-9 (a) présente une vue schématique partielle en trois dimensions du détecteur MVD/STS installé dans le dipôle magnétique. Les 9 stations de capteurs MVD/STS mesureront les positions des points de passage des particules au niveau des plans de capteurs, participant ainsi à la trajectométrie des particules chargées au plus près de la cible.



**Figure 1-9 : (a) Vue schématique préliminaire en 3 dimensions des stations de capteurs MVD et STS, (b) organisation des stations MVD et STS.**

Les capteurs du détecteur STS couvrent une surface totale d'environ  $1,5 \text{ m}^2$  et effectuent la trajectométrie des particules chargées dans un intervalle de 30 cm à 1 m de distance de la cible. Les choix technologiques ont abouti à une organisation du sous-détecteur STS en 2 stations de capteurs à pixels hybrides (en rose sur la figure 1-9 (b)) complétées par 4 stations de capteurs à micropistes de silicium (en bleu sur la figure 1-9 (b)).

Le détecteur MVD est constitué de trois stations de capteurs à pixels installées au plus près de la cible (5, 10 et 20 cm) et couvrant une surface totale de  $\sim 150 \text{ cm}^2$ . Il est placé dans le vide pour éviter des collisions parasites entre les particules issues des collisions et les molécules de l'air. Ces choix sont motivés par le grand nombre de particules produites lors d'une collision centrale (cf. figure 1-8) et par la précision requise sur la position des trajectoires de ces particules. Comparativement, le potentiel technologique des capteurs à micropistes de silicium ne permet pas de remplir le cahier des charges du détecteur en terme de résolution spatiale [14]. Pour constituer un détecteur MVD performant, les capteurs des 3 stations devront respecter un cahier des charges ambitieux tant en termes de tolérance aux rayonnements, que de consommation, que de budget de matière des capteurs, que de nombre de mesures par seconde et que de résolution spatiale sur la trajectoire des particules ionisantes [15].

### 1.3.6 Caractéristiques du détecteur MVD

Le cahier des charges (CDC) du détecteur MVD a été défini par les membres de la collaboration CBM à l'aide de simulations de physique. Le CDC a conduit au choix technologique des capteurs devant équiper le MVD.

Le positionnement des vertex secondaires doit être effectué avec une précision de l'ordre de 50  $\mu\text{m}$ . Pour atteindre cet objectif, la résolution spatiale des capteurs doit être inférieure à 10  $\mu\text{m}$ .

Un budget de matière non maîtrisé des capteurs affecterait les performances du détecteur en raison des effets provoqués par la diffusion multiple des particules lorsque celles-ci traversent la matière du détecteur. Ainsi, le budget de matière de la première station du détecteur ne doit pas dépasser l'équivalent de 300  $\mu\text{m}$  de silicium [15].

La consommation des capteurs doit être inférieure à 1 W par  $\text{cm}^2$  pour minimiser le budget de matière du système de refroidissement [14].

Lorsque l'expérience CBM fonctionnera au taux ultime de  $10^7$  collisions par seconde, la première station du détecteur sera traversée par  $2 \times 10^9$  particules par  $\text{cm}^2$  et par seconde. Cette valeur constitue un défi extrême pour les capteurs et leurs systèmes d'acquisition. Dans les premières phases du programme d'exploitation de l'expérience, le taux de collisions sera typiquement de l'ordre de  $10^5$  collisions par seconde, ce qui autorisera d'ores et déjà une étude poussée de la production de mésons D. Avec ce taux de collision de  $10^5$  Hz, la collaboration a défini que le MVD doit être capable de reconstruire les trajectoires des particules  $10^5$  fois par seconde, ce qui permettra l'identification de chaque particule ionisante.

Enfin, le flux élevé de particules créées lors des collisions impose de fortes contraintes sur la tolérance aux rayonnements des capteurs du MVD situés à proximité de la cible. En effet, ils seront exposés à une dose équivalente de rayonnements non ionisants de  $10^{13-15}$  neq/ $\text{cm}^2/\text{an}$  et de rayonnement ionisants pouvant atteindre plusieurs M Rad [15].

Pour construire un MVD conforme au CDC, le choix de la collaboration CBM s'est porté sur l'utilisation de capteurs à pixels à base de silicium. Actuellement, les technologies de capteurs en silicium éprouvées pour la détection de particules sont : les capteurs à micropistes de silicium, les capteurs à pixels hybrides et les capteurs CCD (Charge Coupled Device). Or, des technologies émergentes sont en cours de développement avec leur gamme de performances spécifiques : les capteurs à DEPFETs (DEPLETED Field Effect Transistor), les capteurs 3D et les capteurs CMOS.

Hormis les CMOS, toutes les technologies précédemment citées sont décrites dans leurs grandes lignes dans l'**Annexe A.1**.

Les micropistes de silicium n'ont pas été retenues car leur résolution spatiale est insuffisante et qu'elles ne sont pas adaptées à de fortes densités d'impact [16]. Les capteurs à pixels hybrides sont exclus car leur résolution spatiale est trop faible. De plus, bien que les paramètres de vitesse de lecture et de tolérance aux rayonnements soient satisfaisants, le budget de matière des capteurs à pixels hybrides est trop élevé [17]. La technologie CCD n'a pas été retenue, car les capteurs ne peuvent supporter la dose de rayonnements et leur fonctionnement est trop lent par rapport aux critères du CDC [18].

La technologie des DEPFETs permet de concevoir des capteurs offrant une résolution spatiale de quelques  $\mu\text{m}$  et une vitesse de fonctionnement conforme aux attentes du CDC. Mais elle nécessite des circuits de pilotage et de lecture connectés aux éléments de détection. Ainsi, le budget de matière du dispositif complet dépasse les limites fixées [19]. Les capteurs 3D reposent sur une technologie récente et non aboutie, ce qui interdit leur utilisation pour le démarrage de l'expérience [20].

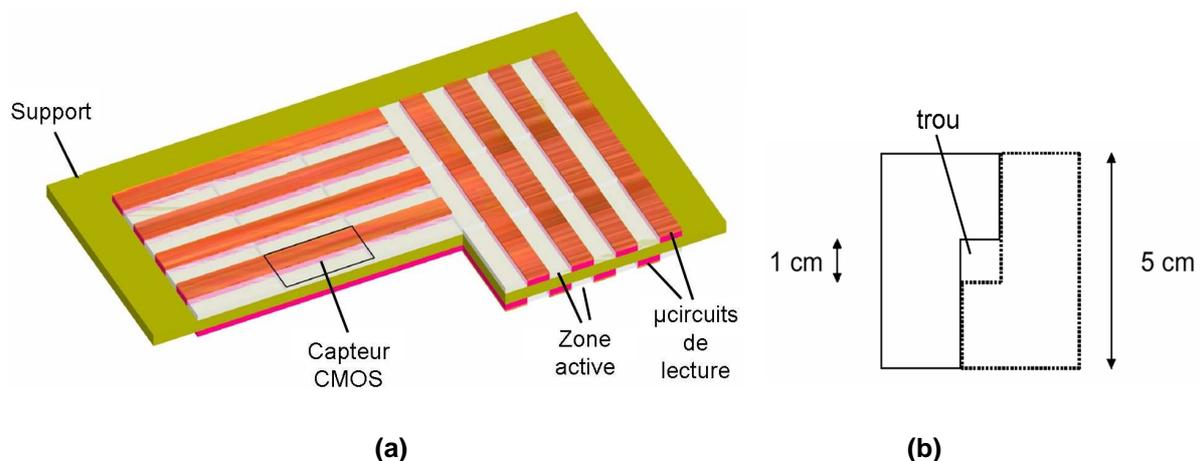
Les capteurs CMOS constituent une sérieuse alternative aux technologies précédemment citées car ils présentent le meilleur compromis entre les paramètres de vitesse de lecture, de résolution spatiale, de consommation, de tenue aux rayonnements et de budget de matière. Ils offrent une résolution spatiale de l'ordre du micromètre sur la trajectoire de particules. L'utilisation de la technologie CMOS permet également de concevoir des capteurs de particules effectuant  $10^5$  lectures par seconde. Un atout supplémentaire des capteurs CMOS est leur efficacité de détection des particules ionisantes supérieure à 99,5%. Leur tolérance aux rayonnements pouvant atteindre  $10^{13}$  neq/cm<sup>2</sup> répond au minimum requis par l'expérience CBM. De plus, les capteurs assurent une détection des particules fiable après une exposition à une dose de rayonnements ionisants de 1 MRad [21, 22]. Ils peuvent aisément être amincis à environ 50  $\mu\text{m}$  [23]. La maîtrise du volume du système de refroidissement implémenté dans le détecteur induit une limite de consommation de 500 mW par cm<sup>2</sup>.

Le choix des capteurs devant équiper le MVD s'est ainsi porté sur les capteurs CMOS. Or, pour satisfaire pleinement les exigences du CDC, des efforts de recherches conséquents sont mis en œuvre pour améliorer prioritairement la tolérance aux rayonnements, la vitesse de lecture et accessoirement les autres paramètres des capteurs. Les recherches et développements sur les capteurs ont été confiés au groupe Capteur CMOS de l'IPHC de Strasbourg [15].

## 1.4 Capteur CMOS pour le détecteur MVD

### 1.4.1 Implémentation des capteurs CMOS dans le MVD

Chaque station du MVD contient des capteurs CMOS dont la géométrie est définie en fonction de leur proximité avec la cible. Le concept de détecteur proposé actuellement pour constituer la première station du MVD (situé à 5 cm de la cible) est illustré par les figures 1-10.



**Figure 1-10 : (a) Implémentation physique des capteurs CMOS, (b) schéma de principe de la première station du MVD.**

Les capteurs CMOS seront disposés sous forme de réglettes sur un support qui intégrera un système de refroidissement à micro-canaux. Les capteurs sont composés d'une zone active sensible aux particules et d'un microcircuit de lecture intégré. La zone active est constituée d'une matrice de pixels permettant de mesurer la position du point de passage d'une particule ionisante. L'implémentation de capteurs sur chaque face du support crée un module assurant un taux de couverture de 100% par les zones actives, disposées en quinconce de part et d'autre du support.

Représenté par la figure 1-10 (b), l'assemblage de deux modules placés en tête-bêche constitue une station du MVD. Le trou au centre de l'assemblage permet de laisser passer le faisceau transmis et les fragments des collisions.

La première station du MVD sera composée de capteurs contenant chacun une matrice de 392 colonnes  $\times$  128 lignes de pixels, soit 50176 pixels de dimensions  $25 \mu\text{m} \times 25 \mu\text{m}$ . Dans cette configuration, il faudra 48 capteurs CMOS pour constituer un module de détection, soit 96 capteurs pour la première station du MVD [12].

## 1.4.2 Généralités sur les capteurs CMOS

Les capteurs CMOS ou M.A.P.S (Monolithic Active Pixel Sensor), initialement développés pour l'imagerie de lumière visible, ont été adaptés à la détection de particules ionisantes. Ces capteurs permettent de couvrir un grand champ d'applications : imagerie de lumière visible, microscopie électronique, détecteur de particules ionisantes, ...

Le capteur CMOS est un circuit intégrant sur un même substrat des microcircuits numériques de contrôle, des microcircuits de lecture analogique et des microcircuits de détection sensibles aux particules ionisantes (nommés pixels). Pour illustrer l'architecture générale des capteurs CMOS, la figure 1-11 nous montre une vue en coupe d'un capteur traversé par une particule ionisante. Pour représenter l'ordre de grandeur des structures électroniques intégrées dans les capteurs, nous comparons, ci-dessous, la dimension d'un pixel ( $17\ \mu\text{m} \times 17\ \mu\text{m}$ ) à celle d'un cheveu.

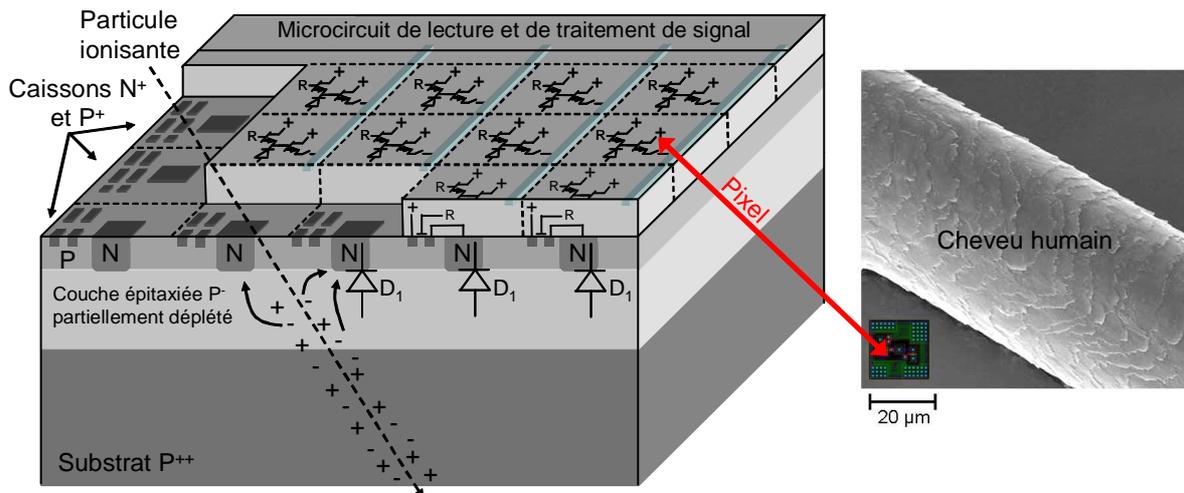


Figure 1-11 : Structure générale du capteur CMOS.

La technologie CMOS est proposée avec plusieurs type de substrat : substrat avec couche épitaxiée, substrat de type Hi-res, ou substrat SOI (Silicon On Insulator). Ces substrats sont présentés dans leurs grandes lignes dans l'**Annexe A.2**. Dans la suite du manuscrit, nous étudierons des capteurs CMOS fabriqués avec des substrats à couche épitaxiée et des substrats de type Hi-res.

Illustré par la figure 1-11, le pixel est constitué d'une structure à trois transistors et d'une photodiode  $D_1$  qui est sensible aux particules ionisantes. Les transistors permettent de polariser la photodiode en inverse et de transférer le signal qu'elle délivre aux microcircuits

de lecture. La photodiode  $D_1$  collecte des charges électriques libérées dans la couche épitaxiée lors du passage ou de l'absorption d'une particule. Simultanément, elle convertit les charges en un signal électrique. L'information contenue dans le signal représente l'impact d'un photon ou le passage d'une particule ionisante à travers le capteur.

Les charges libérées par une particule se propagent dans la couche épitaxiée par diffusion thermique. Ainsi, 20 à 30% du nombre total d'électrons libérés sont collectées par la photodiode du pixel siège (traversé par la particule). 70 à 80 % des charges libérées se propagent aux pixels adjacents du pixel siège par diffusion. Le groupe de pixels récupérant les charges libérées est nommé "amas". L'analyse des signaux analogiques délivrés par les pixels ( $10 \mu\text{m} \times 10 \mu\text{m}$  à  $40 \mu\text{m} \times 40 \mu\text{m}$ ) d'un amas permet de reconstruire la position de l'impact ou du passage d'une particule incidente avec une précision de 1 à 3  $\mu\text{m}$ . En effet, un calcul de barycentre en fonction du nombre de charges collectées par chaque pixel d'un même amas, permet de positionner l'impact d'une particule incidente avec une précision bien supérieure à celle résultant de la taille des pixels ( $\text{pas}/\sqrt{12}$ ) [21, 24].

La sensibilité à la sortie d'un pixel à "3 transistors" est de l'ordre de 15  $\mu\text{V}$  par électron collecté. Ainsi, lorsqu'une photodiode collecte 20% de  $\sim 1000$  électrons libérés dans une couche épitaxiée de 10 à 15  $\mu\text{m}$  d'épaisseur, le pixel siège renvoi un signal de  $\sim 3$  mV. Des mesures ont démontré que la contribution en bruit des microcircuits du pixel ramenée à l'entrée de la photodiode  $D_1$  s'élève à  $\sim 10$  électrons. Une normalisation scientifique nomme cette contribution en bruit : "Equivalent Noise Charge (ENC)" [25]. Le rapport signal-à-bruit du pixel siège est de l'ordre de 20 à 30. Il est inférieur pour les pixels adjacents.

L'exploitation des signaux délivrés par les pixels est rendue possible par l'intégration dans le capteur de microcircuits de lecture, de contrôle, et de traitement de signal. Ce principe de détection a déjà démontré son efficacité pour des applications dans l'imagerie de lumière visible et pour la détection de particules minimum ionisantes (M.I.P.) [24].

### **1.4.3 Architecture générale des capteurs CMOS**

Initialement, les capteurs CMOS étaient composés d'une matrice de pixels, d'un microcircuit numérique de contrôle et d'amplificateurs analogiques. Actuellement, les applications des capteurs requièrent l'intégration de fonctionnalités complexes au sein même de ces capteurs. En effet, l'implémentation d'amplificateurs, de microcircuits de réduction des bruits électroniques, de Convertisseurs Analogique-Numériques (CAN), de traitements numériques, ... est indispensable pour obtenir des capteurs assez rapides (temps de lecture

de l'ordre de  $10\mu\text{s}$ ). Les capteurs pourront également être employés pour des applications dont la consommation électrique doit être minimisée [22, 26]. Ainsi, la technologie CMOS offre une souplesse intéressante pour bien adapter l'architecture des capteurs CMOS à chaque application.

Pour illustrer les ressources architecturales permises par la technologie CMOS, la figure 1-12 présente l'organisation générale d'un capteur CMOS.

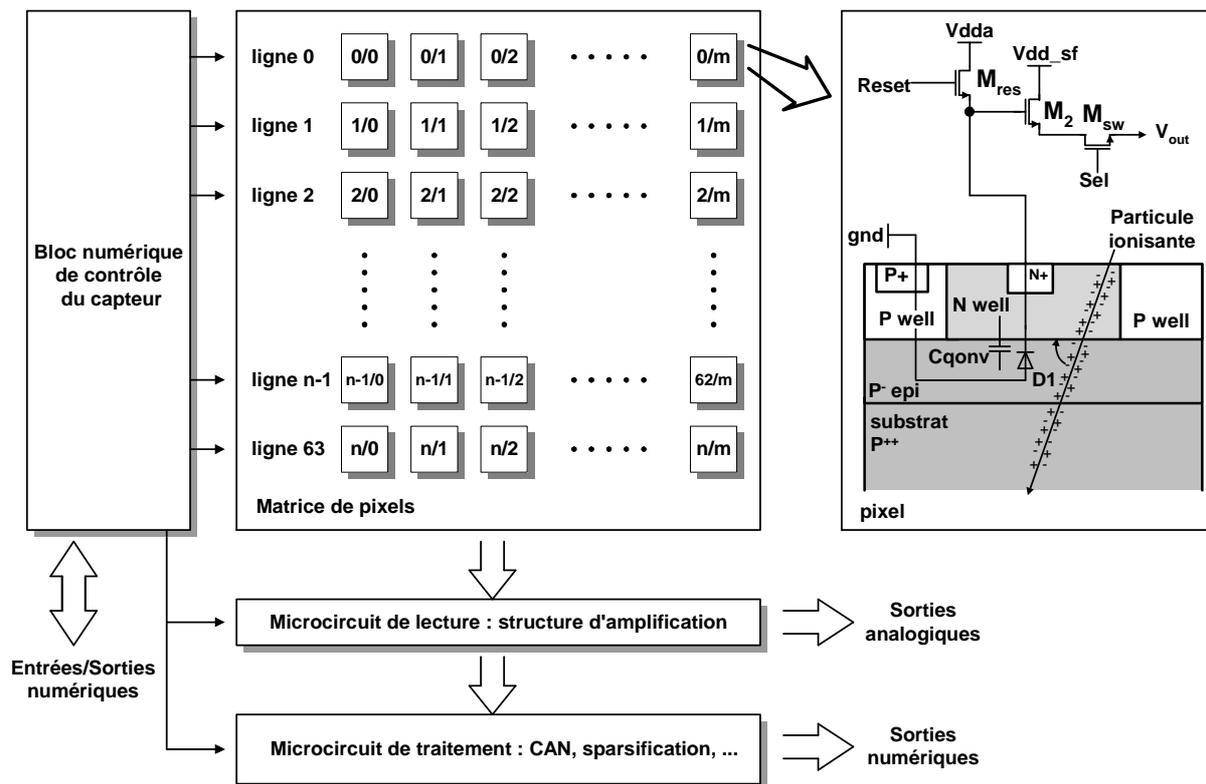


Figure 1-12 : Organisation générale d'un capteur CMOS.

Ce capteur est constitué d'une matrice de  $m \times n$  pixels couplée à un microcircuit de lecture analogique. Les circuits intégrés dans les pixels et les microcircuits de lecture peuvent être réalisés en mode tension ou courant. Les microcircuits de lecture effectuent un premier traitement (amplification, double échantillonnage corrélé, ...) des signaux délivrés par les pixels. Notons que ces traitements de signaux simplifient l'extraction des informations utiles (signature laissée par une particule ionisante) contenues dans les signaux émis par les pixels. Désormais, ces traitements sont également intégrables au sein des pixels [27].

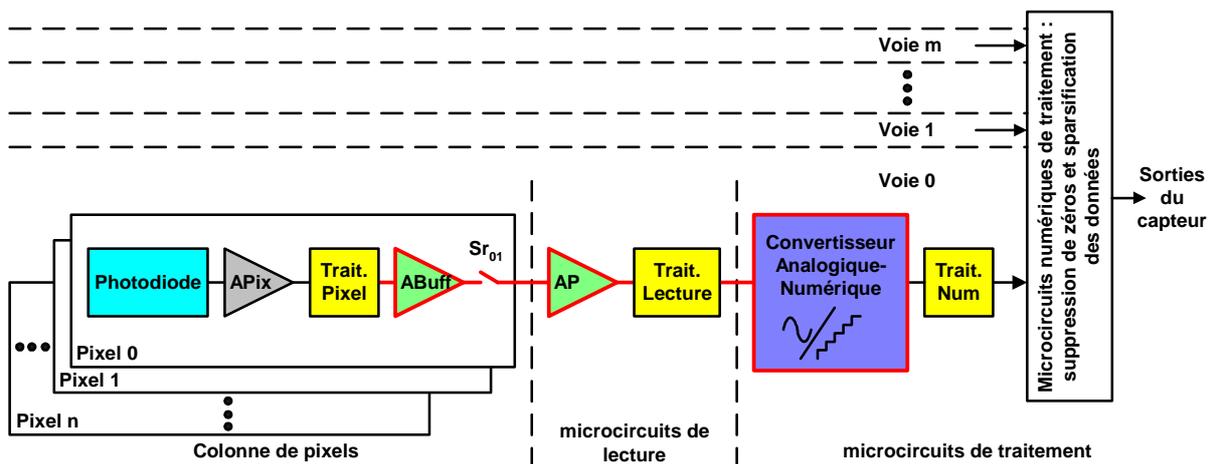
L'extraction des informations utiles qui indiquent la position de l'impact d'une particule ionisante, plaide pour l'intégration de circuits numériques de "suppression de zéros" et de sparsification dans le capteur [26]. Dans le cadre des recherches effectuées à l'IPHC, ces

microcircuits numériques réduiront le flux de données renvoyées par le capteur de 1 à 2 ordres de grandeur. Leur intégration justifie l'implémentation de CAN pour interfacer le microcircuit de lecture avec les microcircuits numériques. Enfin, le bloc de contrôle numérique pilote la matrice de pixels, les microcircuits de lecture et de traitement. Véritable chef d'orchestre, ce bloc définit les modes de captures d'images, les modes de lecture des signaux fournis par les pixels et synchronise tout les microcircuits du capteur.

Selon les commandes fournies par le bloc de contrôle, le capteur pourra effectuer des captures d'images en mode "cliché" ou "volet roulant" que nous décrivons en détails dans l'**Annexe A.3**. Ce contrôleur numérique permettra une lecture totale ou partielle (groupe de pixels), ainsi que le choix entre une lecture série et une lecture parallélisée des signaux délivrés par les pixels (présentées dans l'**Annexe A.3**) [28]. Pour approfondir l'explication de l'architecture des capteurs, nous présenterons une chaîne de lecture : du pixel aux voies de sorties des capteurs.

### 1.4.4 Chaîne de lecture des capteurs CMOS

Nous présentons dans la figure 1-13, une architecture de capteur CMOS envisageable pour le détecteur de vertex. Elle contient  $m$  chaînes de lecture : de la photodiode jusqu'aux microcircuits numériques de traitement des données.



**Figure 1-13 : Organisation détaillée d'un capteur CMOS avec traitement analogique ou (et) numérique intégrés en mode lecture parallélisée.**

La dissociation des trajectoires des particules par le MVD nécessite environ  $10^5$  lectures par seconde, c'est pourquoi, le capteur CMOS intègrera une architecture de lecture parallélisée. Ainsi, nous étudierons des architectures de capteur CMOS ayant une voie de

lecture par colonne de pixels, comme nous le présentons par la figure 1-13. Les amplificateurs, les CAN et les interconnexions représentées en rouge peuvent être des structures différentielles ou unipolaires. Les traitements : Trait. Pixel, Trait. Lecture, Trait. Num représentent les endroits de la chaîne où nous pouvons intégrer des traitements de Double Echantillonnage Corrélé (CDS). Dans le cas des capteurs CMOS, le traitement CDS réduira les contributions en bruit de basse fréquence de 40 à 60 dB selon le cas. Ces bruits proviennent des microcircuits (photodiodes, APiX, ABuff, AP) situés respectivement en amont des traitements CDS dans la chaîne de lecture [27].

Les signaux délivrés par les photodiodes des pixels seront amplifiés par APiX (gain 3 à 5). L'intégration d'un traitement de signal analogique (Trait. Pixel) de type CDS réduira le bruit FPN (bruit spatial fixe correspondant aux différences des piédestaux des pixels) et le bruit 1/f. L'amplificateur ABuff permet de transmettre le signal électrique prétraité du pixel vers le microcircuit de lecture.

L'amplificateur AP (gain 2 à 10) amplifiera le signal délivré par les pixels et transmettra un signal de plusieurs millivolts à une centaine de millivolts au Trait. Lecture [29]. L'intégration d'un CDS au niveau du Trait. Lecture relâchera les contraintes sur le CAN, qui convertira un signal dénué du bruit FPN et des offsets provenant des amplificateurs ABuff et AP. En l'absence de Trait. Pixel et de Trait. Lecture, les signaux convertis en code binaire peuvent subir un traitement de type CDS au niveau de Trait. Num. Or, cette solution requiert une conversion Analogique-Numérique sur 12 bits, en particulier pour atténuer les bruits de basse fréquence de plusieurs dizaines de dB [30]. Ceci est incompatible avec des capteurs limités en temps de lecture, en consommation et en budget de matière.

Enfin, un microcircuit numérique de traitement des données (suppression de zéros et sparsification des données) analysera les données numériques et extraira les positions des pixels stimulés par une particule ionisante. Grâce aux opérations effectuées par le microcircuit numérique de traitement des données, le capteur CMOS transmettra uniquement des informations utiles qui permettront de positionner les trajectoires des particules. Lors de la conception de la chaîne de lecture, il convient de choisir précisément le nombre d'étages d'amplification et le nombre de systèmes de traitement.

### 1.4.5 Problématique de conception des capteurs CMOS

En raison du cahier des charges ambitieux du MVD, la conception de l'architecture des capteurs a motivé plusieurs axes de recherches : augmentation de la vitesse de lecture (soit du nombre de mesures par seconde) et de la tolérance aux rayonnements, amincissement du capteur et intégration d'un microcircuit numérique de traitement des données.

Lors de la conception des capteurs, il faut tenir compte de plusieurs paramètres supplémentaires : sensibilité des photodiodes, intégration du microcircuit de traitement des données, densité de pixels par  $\text{cm}^2$ , consommation et contributions en bruit des microcircuits analogiques. Tous ces paramètres sont interdépendants, de sorte que la modification d'une caractéristique du capteur influe directement et indirectement sur d'autres caractéristiques.

Seul un graphique peut représenter la complexité des liens qui relie chaque paramètre des capteurs. Dans la figure 1-14, nous retrouvons (en noir) les paramètres des capteurs liés au cahier des charges du MVD et les caractéristiques propres aux capteurs (en gris).

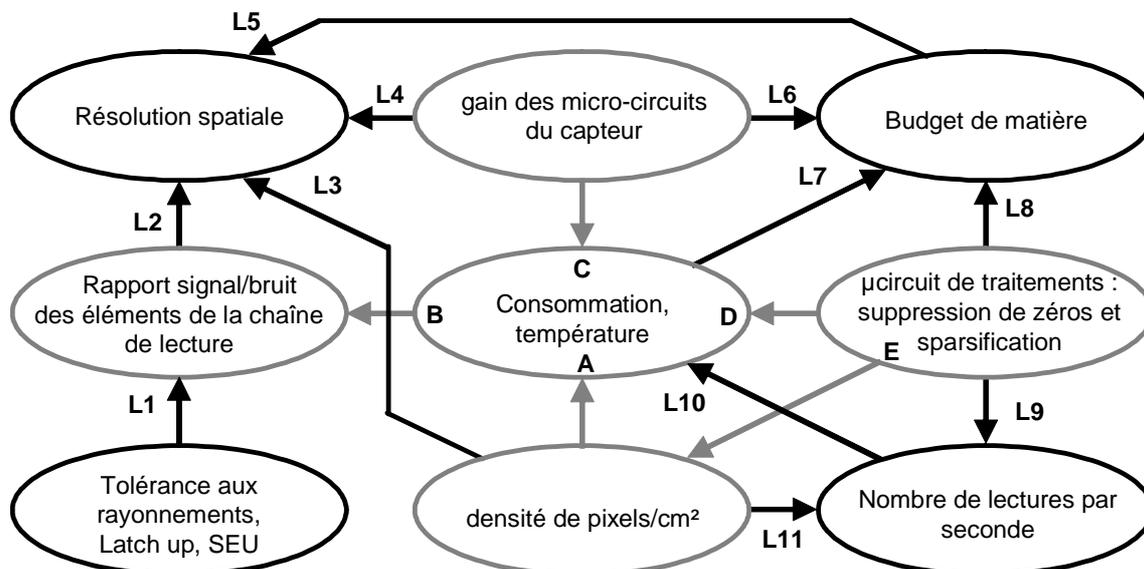


Figure 1-14 : Lien entre les paramètres des capteurs CMOS.

L1 : l'exposition du capteur aux rayonnements diminue le rapport signal-à-bruit de la chaîne de lecture. En effet, l'exposition des capteurs à des neutrons provoque la création de centres de recombinaison parasite (pièges) qui réduisent le nombre de charges collectées. Un second effet survient lorsque des particules ionisantes irradient le capteur et engendre l'augmentation du courant de fuite de la photodiode [22]. Notons que les hadrons chargés (protons,  $\pi^{\pm}$ ) sont à la fois des rayonnements ionisants et non ionisants influant par les deux

effets sur le rapport signal-à-bruit de la chaîne de lecture. Enfin, des travaux de recherche sont initiés pour réduire les effets du Latch-up et du single event upset (SEU) sur des capteurs CMOS soumis à des rayonnements intenses.

**L2** : la réduction des contributions en bruit des microcircuits du capteur (pixels, amplificateurs, ...) permet d'augmenter le rapport signal-à-bruit de la chaîne de lecture et la précision de lecture du nombre de charges collectées par chaque pixel. Ceci se traduit par l'amélioration de la résolution spatiale et de l'efficacité de détection.

**L3** : la densité de pixel par  $\text{cm}^2$  joue un rôle crucial sur la résolution spatiale. Des études ont démontré que des capteurs intégrant pixels de  $20 \mu\text{m} \times 20 \mu\text{m}$  ont une résolution bien meilleure que  $10 \mu\text{m}$ .

**L4** : la résolution spatiale dépend de la sensibilité des photodiodes et des différents gains des microcircuits d'amplification. L'augmentation des gains se traduit positivement par un rapport signal-à-bruit total de la chaîne de lecture accru, mais négativement si l'augmentation de la taille des transistors entraîne une dimension plus élevée des pixels.

**L5** : l'augmentation du budget de matière (volume du capteur ou ajout d'un système de refroidissement) accroît la diffusion multiple des particules et influence donc la précision de mesure.

**L6** : l'augmentation des gains des microcircuits du capteur se traduit par l'intégration de transistors plus volumineux. Ceci accroît le volume occupé par le capteur pour finalement affecter indirectement la résolution spatiale.

**L7** : une consommation insuffisamment maîtrisée nécessite l'installation d'un système de refroidissement actif qui augmente le budget de matière.

**L8** : l'intégration de circuits de traitement des données requiert l'intégration de circuits d'amplification et de conversion Analogique-Numérique des signaux délivrés par les pixels. Ceci se traduit par l'augmentation de l'encombrement des capteurs CMOS

**L9** : l'implémentation de circuits de traitement des données permet de réduire le flux de données en sortie du capteur ou d'augmenter la vitesse de lecture pour un flux de données identique à celui d'un capteur dénué de circuits de traitement.

**L10** : l'augmentation du nombre de lectures effectuées par le capteur nécessite une vitesse accrue des microcircuits intégrés (amplificateurs, CAN, ...). Le capteur étant plus "rapide", la consommation et la température du capteur seront plus élevées.

**L11** : l'augmentation de la densité de pixels par  $\text{cm}^2$  accroît la quantité de données transférées de la matrice de pixels vers les circuits de lecture. Or, la vitesse de transfert des données est bornée par un maximum pour une consommation donnée. Il faut trouver un compromis entre ces deux paramètres en fonction des critères du CDC.

**A** : l'intégration d'un plus grand nombre de pixels par  $\text{cm}^2$  entraîne une augmentation de la consommation.

**B** : les contributions en bruit thermique des éléments sensibles aux particules des capteurs sont dépendantes de la température, qui elle-même dépend de la consommation.

**C** : l'ajout de circuits de gain pour augmenter la sensibilité se traduit par une consommation supplémentaire et induit une température accrue du capteur.

**D** : l'intégration de microcircuits de traitement augmente la consommation, la température et donc indirectement la contribution en bruit des microcircuits analogiques.

**E** : la réutilisation des bénéfices ajoutés par ces microcircuits de traitement permet aux capteurs d'intégrer un plus grand nombre de pixels pour un flux de données de sortie du capteur identique à celui d'un capteur dénué de microcircuits de traitement.

Les liaisons (L1...L11, A...E) du graphe de la figure 1-14 mettent en évidence un conflit central entre vitesse de lecture et résolution spatiale du capteur. Ainsi, les liaisons ayant un effet de premier ordre sur les performances globales des capteurs sont L1-L3, L5, L7, L9 et L11.

Il convient donc de travailler individuellement sur chaque paramètre en veillant à ne pas induire un effet néfaste sur la performance globale du capteur. Un compromis entre tous les paramètres permettra d'obtenir un capteur capable de détecter et dissocier au mieux les particules ionisantes créées dans le programme expérimental de CBM.

## 1.5 Conclusion

L'expérience CBM représente une étape importante de la progression des connaissances scientifiques sur les propriétés de l'Interaction Forte et sur la matière nucléaire dans des conditions extrêmes.

Pour atteindre les objectifs du programme scientifique de CBM, les sous-détecteurs sont soumis à des CDC particulièrement ambitieux. Lors des collisions, la durée de vie courte de particules, telles que les mésons D, se traduit par une distance de quelques centaines de  $\mu\text{m}$  seulement entre le point de collision et le vertex de désintégration de ces particules. L'identification des mésons D, qui renseigne sur l'histoire des collisions, nécessite la reconstruction des vertex de désintégration à partir des trajectoires de particules secondaires mesurées avec les sous-détecteurs. La détection de vertex n'est réalisable qu'avec des capteurs à pixels offrant une résolution spatiale suffisante pour identifier les mésons D issus des collisions.

Parmi les technologies émergentes déjà relativement éprouvées, les capteurs CMOS offrent le meilleur compromis entre la résolution spatiale, la consommation, le budget de matière, la tolérance aux rayonnements et la vitesse de lecture. C'est pourquoi, ce type de capteurs a été retenu par la collaboration CBM pour constituer le MVD. Or, pour satisfaire les objectifs fixés par le cahier des charges, les performances globales des capteurs CMOS sont en cours d'optimisation par notre équipe à l'IPHC. Ceci se traduit par des travaux d'études sur la technologie CMOS et de développements de nouvelles architectures intégrées. En effet, nous concevons, réalisons et testons des éléments sensibles aux rayonnements ionisants et des microcircuits numériques et analogiques de traitement qui permettent l'extraction des informations utiles : signaux électriques indiquant le passage d'une particule. Ces microcircuits renferment des systèmes tels que des amplificateurs, des CAN, et des systèmes de traitement numérique (suppression de zéros et sparsification, ...). Chaque microcircuit est conçu pour augmenter la vitesse de fonctionnement du capteur et la tolérance aux rayonnements, tout en maintenant une consommation et une résolution spatiale conforme au cahier des charges du détecteur de particules MVD.

Dans le cadre des travaux menés sur l'amélioration des paramètres de vitesse de lecture et de consommation, nous présenterons dans le chapitre suivant une architecture de capteur CMOS en mode courant. Celle-ci repose sur l'utilisation d'un élément sensible aux particules : le PhotoFET.



# Chapitre 2

## Capteurs CMOS en modes tension et courant

### 2.1 Introduction

Actuellement, la résolution spatiale des capteurs CMOS satisfait les exigences définies dans le CDC du détecteur MVD. En revanche, des efforts de recherches et développements sont concentrés sur l'amélioration de la vitesse de lecture, de la sensibilité, de la tenue aux rayonnements et sur la réduction du budget de matière des capteurs. Ces travaux de R&D se traduisent par une succession de réalisations et de campagnes de tests.

Généralement, les capteurs CMOS intègrent une architecture classique en mode tension pour détecter les particules ionisantes : la photodiode couplée à 3 transistors NMOS [24]. Compte tenu des imperfections de ce dispositif, une nouvelle structure a été proposée. Elle est constituée d'une photodiode à polarisation continue : "Self biased diode". Ces architectures délivrent des signaux électriques de faible amplitude. Une amplification est donc indispensable pour augmenter le rapport signal à bruit et la sensibilité des pixels. Par conséquent, nous avons proposé le PhotoFET, dans lequel un transistor PMOS est intégré dans la photodiode pour amplifier le signal délivré par celle-ci. La sortie de ce dispositif est un courant contenant les informations relatives aux impacts des particules. Cette structure a également été développée pour augmenter la vitesse de lecture des capteurs.

La conception et la fabrication d'un ASIC nous a permis de mesurer les performances des PhotoFETs (sensibilité, bruit, dispersion DC, ...). L'extraction des caractéristiques des PhotoFETs exposés à une source de rayon X de 5,9 keV nous permet de prédire leurs performances lorsqu'ils seront exposés à des particules minimum ionisantes.

Pour comprendre le fonctionnement du PhotoFET, ce chapitre débute par un rappel des interactions entre des particules ionisantes et des semi-conducteurs à silicium.

## 2.2 Interactions des semi-conducteurs avec les rayonnements ionisants

### 2.2.1 Création de paires électron-trou dans le silicium

Les mécanismes de détection de particules ionisantes reposent sur des phénomènes d'ionisation du milieu de silicium qu'elles traversent. Des approches théoriques confirmées par des mesures définissent précisément l'énergie nécessaire pour faire transiter un électron de la bande de valence vers la bande de conduction et créer une paire électron-trou [31].

Dans le cas d'une transition directe, l'énergie  $E_g$  nécessaire pour libérer un électron représente la différence d'énergie séparant la bande de conduction et la bande de valence. Cette différence d'énergie est nommée : bande interdite. Pour le silicium cristallin, la valeur admise pour cette dernière est  $E_g$  égale à 1,12 eV.

Dans le cas d'une transition indirecte entre la bande de valence et la bande de conduction, l'énergie  $E_{eh}$  requise pour libérer un électron est supérieure à  $E_g$ . Ceci provient de la libération d'un phonon, c.à.d. d'un quanta d'énergie représentant l'énergie vibratoire du réseau atomique (par analogie au photon qui est un quanta d'énergie électromagnétique). Une approximation de l'énergie  $E_{eh}$  fut obtenue par une approche nommée "assumption of uniform population" établie par Shockley et complétée par Klein [31]. La relation s'écrit :

$$E_{eh} = \frac{6}{5} \cdot E_{th} + E_g \quad (2-1)$$

où  $E_{th}$  est le seuil d'énergie minimal requis pour assurer la création de paires électron-trou.

D'après ses observations, Klein a déterminé une valeur de  $E_{th}$  égale à  $1,5 \times E_g$ , ainsi  $E_{eh} = 2,8 \times E_g$ . Ceci est proche des observations réalisées avec plusieurs semi-conducteurs, mais ces dernières indiquent que  $E_{eh}$  s'écrit :

$$E_{eh} = 2,73 \times E_g + E_r \quad (2-2)$$

où  $E_r$  est le seuil de perte due à l'émission d'un phonon et égal à  $\sim 0,5$  eV.

Une nouvelle méthode complexe nommée "scattering rate assumption" permet d'évaluer précisément l'énergie  $E_{eh}$ . En employant cette approche, l'énergie  $E_{eh}$  vaut 3,6 eV pour le silicium cristallin [31, 32]. Nous utiliserons cette valeur d'énergie dans les paragraphes suivants, qui décrivent les interactions entre les particules ionisantes et les semi-conducteurs.

## 2.2.2 Détection de particules minimum ionisantes

### 2.2.2.1 Interaction entre une particule ionisante et un atome

Lorsqu'une particule électriquement chargée (proton, pion, muon, électron, ... ayant une énergie de l'ordre de 1 MeV à plusieurs GeV) traverse un corps de silicium, celle-ci perd majoritairement son énergie par ionisation du milieu et minoritairement par interaction photo-nucléaire et par rayonnement de freinage (Bremsstrahlung).

La perte d'énergie par ionisation s'opère lorsque la particule incidente entre en "collision" avec les électrons des atomes de silicium. Ces électrons apparaîtront à la particule comme étant quasi-libres. Donc, lorsque la particule passe à proximité des électrons, elle éjecte ces derniers de leurs orbites par un mécanisme nommé : ionisation primaire [30].

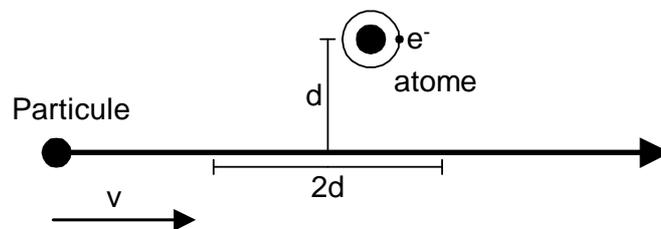


Figure 2-1 : Représentation d'une "collision" entre une particule chargée et un atome.

Considérons une particule incidente de numéro atomique  $Z_p$  et de charge  $Z_p \times q$ , dont la vitesse  $v$  est suffisamment élevée pour que l'atome (cible) de numéro atomique  $Z_a$  de charge  $Z_a \times q$  reste stationnaire lors du passage (collision) de la particule.

La quantité de mouvement  $\Delta_p$  délivrée à l'atome est déterminée avec le produit du temps  $t_p$  (nécessaire à la particule pour parcourir la distance  $2d$ ) par la force d'interaction  $F$  à la distance  $d$ . Soit  $F$  la force de Coulomb exprimée en Newton :

$$F = \frac{1}{4 \cdot \pi \cdot \epsilon_0} \times \frac{Z_a \cdot Z_p \cdot q^2}{d^2} \quad (2-3)$$

où  $\epsilon_0$  est la permittivité du vide :  $8,85 \times 10^{-12} \text{ C}^2/\text{N}\cdot\text{m}^2$ ,  $q$  est la charge d'un électron ( $1,6 \times 10^{-19} \text{ C}$ ) et  $d$  est la distance entre la particule et l'atome.

Ainsi, la quantité de mouvement  $\Delta_p$  exprimée en N.s reçue par l'atome s'écrit :

$$\Delta_p = F \times t_p = F \times \frac{2 \cdot d}{v} = \frac{1}{2 \cdot \pi \cdot \epsilon_0} \times \frac{Z_a \cdot Z_p \cdot q^2}{d \cdot v} \quad (2-4)$$

En supposant que l'atome de masse  $m_a$  reste stationnaire lors du passage de la particule, nous pouvons exprimer l'énergie  $E_{pa}$  transférée de la particule vers l'atome :

$$E_{pa} = \frac{(\Delta_p)^2}{2 \cdot m_a} = \frac{Z_a^2 \cdot Z_p^2 \cdot q^4}{2 \cdot (2 \cdot \pi \cdot \epsilon_0)^2 \cdot d^2 \cdot \beta^2 \cdot c^2 \cdot m_a} \quad (2-5)$$

où  $\beta = v/c$  est le facteur de Lorentz,  $v$  est la vitesse de la particule en m/s et  $c$  est la vitesse de la lumière, 299792458 m/s. L'énergie  $E_{pa}$  est exprimée en Joule ( $1 \text{ eV} \approx 1,6 \times 10^{-19}$  Joule).

La différence entre la masse d'un noyau atomique et celle de l'électron est considérable. Ainsi, nous pouvons considérer que l'énergie  $E_{pa}$  peut être réduite à l'énergie de transfert  $E_{pe}$  entre la particule et l'un des électrons de masse  $m_e$  de l'atome. Cette énergie  $E_{pe}$  s'écrit :

$$E_{pe} = \frac{(\Delta_p)^2}{2 \cdot m_e} = \frac{Z_p^2 \cdot q^4}{2 \cdot (2 \cdot \pi \cdot \epsilon_0)^2 \cdot d^2 \cdot \beta^2 \cdot c^2 \cdot m_e} \quad (2-6)$$

Cette équation est employée pour déterminer l'énergie perdue par une particule ionisante rencontrant l'un des électrons d'un atome isolé. Par conséquent, nous présentons dans le paragraphe suivant une méthode pour déterminer la perte d'énergie d'une particule dans un corps de silicium.

### 2.2.2.2 Interaction entre une particule ionisante et un corps de silicium

Lorsqu'une particule ionisante traverse un matériau, la perte d'énergie totale de la particule peut se calculer avec la formule de Bethe et Bloch (équation 2-7). Cette relation est valable, si la masse de la particule est supérieure à la masse de l'électron et si l'énergie cédée par la particule ne représente qu'une très faible fraction de son énergie.

L'équation 2-7 représente la perte d'énergie moyenne  $dE$  d'une particule incidente qui parcourt une distance  $dx$  dans un corps. Le résultat s'exprime en  $\text{MeV} \cdot \text{g}^{-1} \cdot \text{cm}^2$  [33].

$$-\frac{dE}{dx} = K \cdot Z_p^2 \cdot \frac{Z_a}{A} \cdot \frac{1}{\beta^2} \cdot \left[ \frac{1}{2} \cdot \ln \left( \frac{2 \cdot m_e \cdot c^2 \cdot \beta^2 \cdot \gamma^2 \cdot T_{\max}}{I^2} \right) - \beta^2 - \frac{\delta(\beta \cdot \gamma)}{2} \right] \quad (2-7)$$

où  $K = 4 \cdot \pi \cdot N_A \cdot Y_e^2 \cdot m_e^2 \cdot c^2$

$N_A$ , le nombre d'Avogadro :  $6,022 \times 10^{23} \text{ mol}^{-1}$

$Y_e$ , le "rayon" de l'électron :  $Y_e = q^2 / 4 \cdot \pi \cdot \epsilon_0 \cdot m_e^2 \cdot c^2$  :  $2,817939 \text{ fm}$

$m_e \times c^2$ , masse de l'électron  $\times c^2$  :  $0,511 \text{ MeV}$

$Z_p$ , le nombre atomique de la particule incidente.

$Z_a$ , le nombre atomique du corps absorbant.

A, la masse atomique du corps absorbant.

$\beta = v/c$ , avec  $v$  la vitesse de la particule en m/s.

$\gamma$ , le facteur de Lorentz.

I, l'énergie moyenne d'ionisation exprimée en eV.

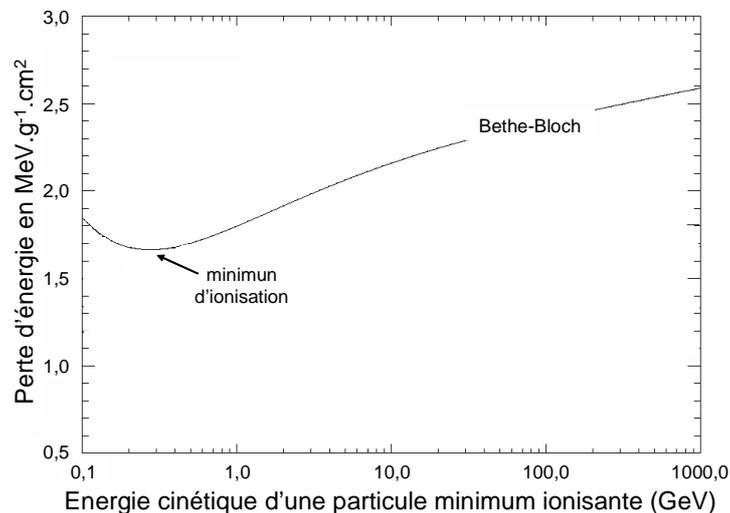
$\delta(\beta \cdot \gamma)$ , le facteur de correction de l'effet de la densité du corps absorbant par rapport à la perte d'énergie par ionisation.

$$T_{\max} = \frac{2 \cdot m_e \cdot \beta^2 \cdot c^2 \cdot \gamma^2}{1 + 2 \cdot \frac{m_e}{m_p} + \left(\frac{m_e}{m_p}\right)^2} \quad (2-8)$$

où  $T_{\max}$  est l'énergie maximale pouvant être transférée (quelques MeV),  $m_p$  la masse de la particule incidente et  $m_e$  la masse de l'électron.

La courbe représentée dans la figure 2-2 est obtenue à partir de la formule de Bethe et Bloch. Nous remarquons que l'énergie transmise par une particule ionisante (muon, pion, proton, ...) atteint un minimum d'ionisation. Dans la littérature, ces particules sont nommées : particules minimum ionisantes, dont l'acronyme usuel est M.I.P.

Après le minimum d'ionisation, la perte d'énergie croît en raison d'effets relativistes (contractions des longueurs, dilatation du temps, ...) qui augmentent la probabilité d'interaction [33].

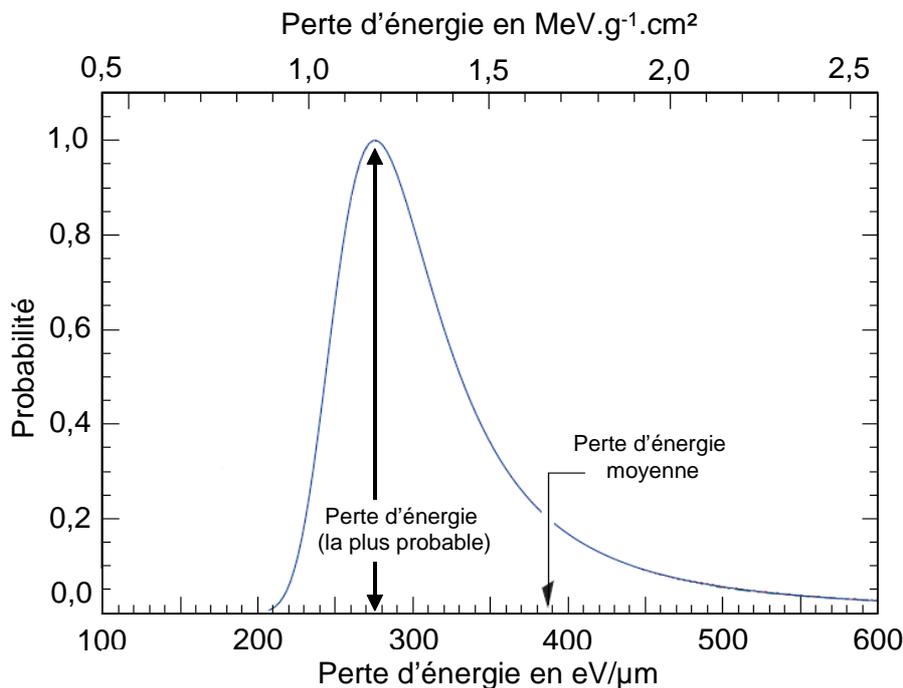


**Figure 2-2 : Perte d'énergie d'une particule minimum ionisante dans le silicium déterminée avec la formule de Bethe-Bloch [34].**

Au minimum d'ionisation, la perte minimale d'énergie vaut  $1,66 \text{ MeV} \cdot \text{g}^{-1} \cdot \text{cm}^2$ . Cette valeur correspond à une perte d'énergie moyenne de la particule dans le silicium de  $388 \text{ eV}/\mu\text{m}$ .

A partir de l'énergie  $E_{eh}$  nécessaire pour créer une paire électron-trou dans le silicium, nous obtenons une valeur moyenne de  $\sim 107$  paires électron-trou par  $\mu\text{m}$  créées lorsqu'une particule minimum ionisante traverse la couche active en silicium du capteur CMOS [33, 34].

En raison de la nature probabiliste de la perte d'énergie par ionisation dans un milieu, cette perte suit une loi de Poisson. La distribution de la perte d'énergie est présentée dans la figure ci-dessous.



**Figure 2-3 : Distribution de la perte d'énergie suivant la fonction de distribution de Landau pour une particule minimum ionisante [34].**

D'après la courbe représentée dans la figure 2-3, nous remarquons que la valeur la plus probable de la perte d'énergie d'une particule minimum ionisante traversant un corps de silicium est de  $\sim 276$  eV/ $\mu\text{m}$ . Le pic de la perte d'énergie est communément nommé le pic de Landau. Désormais, nous pouvons déterminer une valeur la plus probable de 76 paires électron-trou créées par le passage d'une particule minimum ionisante dans le silicium [34].

Lors de nos simulations, nous utilisons une valeur de 80 paires électron-trou par  $\mu\text{m}$ . Ainsi, une particule ionisante libère typiquement de l'ordre de 900 électrons dans une couche active de silicium épaisse de 11  $\mu\text{m}$ .

### 2.2.3 Détection des photons : Rayons X

Pour déterminer les performances des capteurs CMOS, nous exposons ces derniers à des particules minimum ionisantes de haute énergie (de l'ordre du GeV) créées et accélérées dans les installations expérimentales du CERN à Genève, de DESY à Hambourg, ... Or, nous ne disposons pas d'un accès permanent à ce type d'installations. C'est pourquoi, au laboratoire IPHC, nous caractérisons les capteurs en exposant ces derniers à des rayons X délivrés par une source de fer  $^{55}\text{Fe}$ .

Nous employons cette méthode de caractérisation car un photon de 5,9 keV libère typiquement 1640 électrons dans la couche épitaxiée du capteur. Cette valeur est du même ordre de grandeur que le nombre d'électrons libérés par une particule minimum ionisante dans une couche épitaxiée dont l'épaisseur est de l'ordre d'une dizaine de micromètre.

La figure 2-4 (a) indique que la source de fer émet des rayons X d'énergies de 5,9 keV et de 6,49 keV. Les pics  $K_\alpha$  et  $K_\beta$  représentent respectivement  $\sim 24,4\%$  et  $\sim 2,9\%$  des photons émis par la source de fer en fonction de leur énergie. Le pic "escape peak" provient des photons de fluorescence qui sont générés par l'absorption des rayons X. Ces photons de fluorescence seront suffisamment énergétiques pour libérer des électrons supplémentaires aux électrons libérés par les rayons X dans le silicium [35, 36].

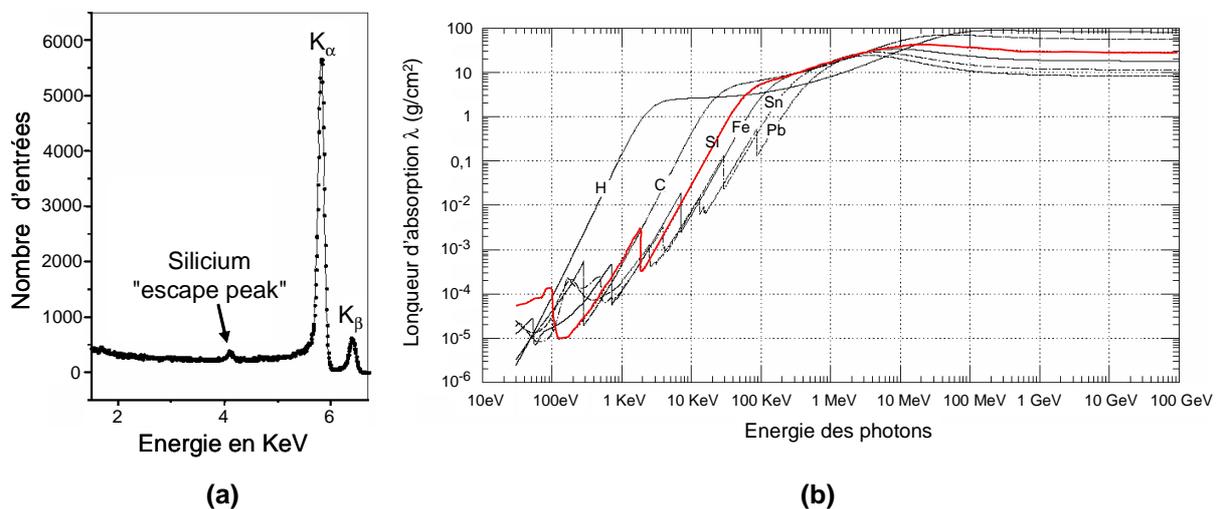
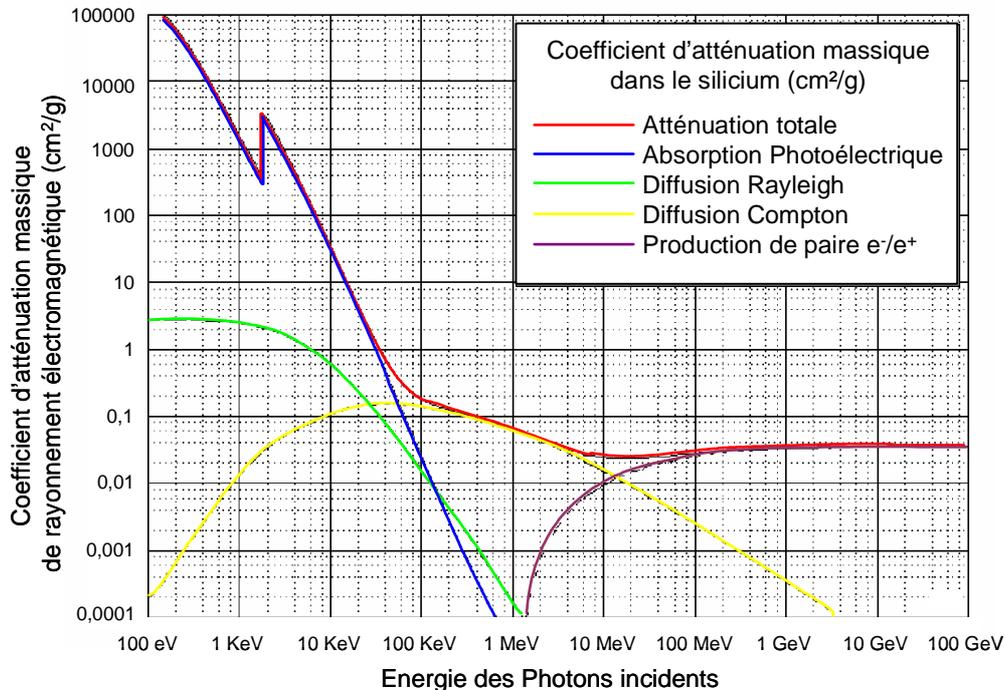


Figure 2-4 : (a) Spectre énergétique des photons émis par une source  $^{55}\text{Fe}$ , (b) courbe d'absorption des photons en fonction de leur énergie [30, 34].

Dans la littérature, les longueurs d'absorption des photons X d'énergie 5,9 keV et 6,49 keV sont respectivement de  $\sim 27\ \mu\text{m}$  et de  $\sim 35,4\ \mu\text{m}$  dans le silicium [30, 34]. Ainsi, les photons X pourront interagir dans la totalité du volume de la couche épitaxiée des capteurs dont l'épaisseur est de l'ordre d'une dizaine de  $\mu\text{m}$ .

Les interactions photon-matière s'opèrent suivant quatre mécanismes, dont les coefficients d'atténuation massiques des rayonnements électromagnétiques sont présentés dans la figure ci-dessous.



**Figure 2-5 : Coefficient d'atténuation massique des rayonnements électromagnétiques dans le silicium en fonction de leur énergie.**

La diffusion Rayleigh représente une interaction photon-matière où seule une énergie minimale est transférée au milieu. Ainsi, les atomes seront excités par l'absorption d'un photon de basse énergie mais ne seront pas ionisés.

L'effet Compton décrit la collision entre un photon et un électron faiblement lié à l'atome auquel il cède une partie de son énergie. Un photon secondaire sera diffusé dans une direction différente du photon incident et aura une énergie plus faible.

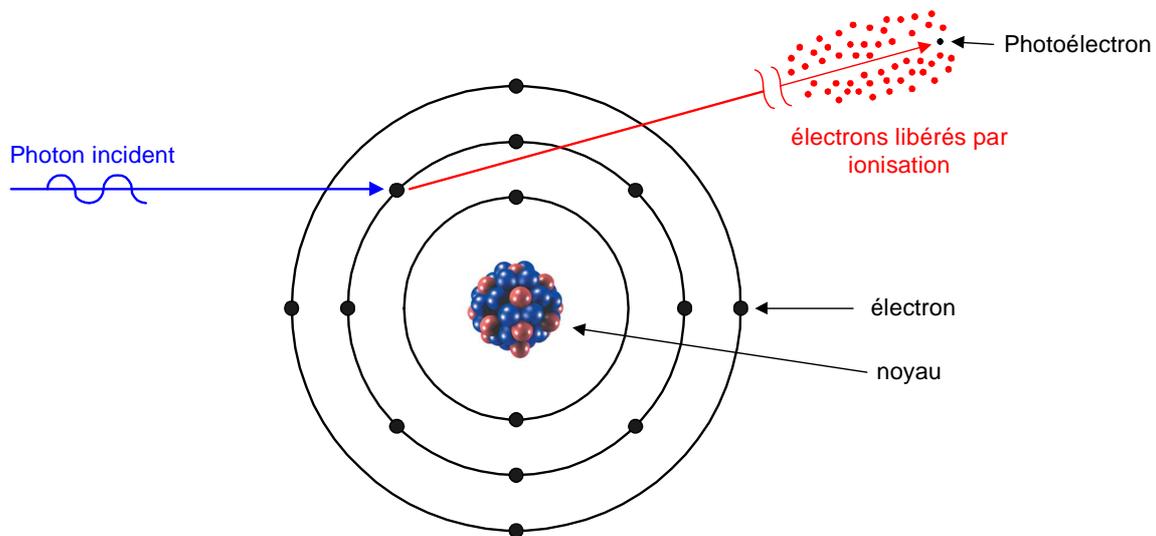
La production de paires électron-positon peut se produire lorsqu'un photon d'une énergie supérieure à  $2m_e c^2$ , soit 1,022 MeV, interagit avec un matériau. L'excédent énergétique se transformera en énergie cinétique pour les particules créées. Ce processus ne s'opère qu'en présence de particules chargées tels que les noyaux des atomes ou les électrons [30,37].

D'après les courbes présentées sur la figure 2-5, l'effet photoélectrique est le principal mécanisme d'interaction des photons de 5,9 keV et de 6,49 keV avec le silicium. Cet effet représente la collision entre un photon et un électron des couches internes d'un atome.

L'énergie  $E_{ph}$  du photon incident est transférée à l'électron qui est alors éjecté de sa couche orbitale. Une fraction de l'énergie  $E_{ph}$  est utilisée lors du processus d'éjection. L'excédent sera transmis à l'électron sous forme d'énergie cinétique  $E_{cin}$ .

L'énergie  $E_{cin}$  acquise par le photoélectron est transférée au milieu par des ionisations ultérieures en créant des paires électron-trou. Après la libération du photoélectron d'une couche électronique interne, un électron périphérique vient occuper la place vacante. Cette transition provoque l'émission d'un photon de fluorescence qui est susceptible de produire un nouvel effet photoélectrique ou d'éjecter un autre électron de la couche électronique interne de l'atome : effet Auger [30, 37].

Le nuage d'électrons secondaires créé par le photoélectron, est généralement espacé d'une distance inférieure à  $1 \mu\text{m}$  au point d'interaction initial [37].



**Figure 2-6 : Représentation de l'effet photoélectrique.**

Dans le cas des rayons X émis par la source de fer, l'énergie cinétique  $E_{cin}$  du photoélectron sera respectivement  $\sim 5,9 \text{ keV}$  et  $\sim 6,49 \text{ keV}$ . Disposant de la valeur de l'énergie  $E_{eh}$ , nous recalculons le nombre de paires électron-trou en fonction de l'énergie des photons X incidents. Pour des photons de  $5,9 \text{ keV}$ , l'effet photoélectrique engendrera typiquement la création de 1640 paires électron-trou. Dans le cas d'un photon de  $6,49 \text{ keV}$ , le nombre de paires électron-trou créées sera typiquement de 1803.

Nous constatons que le nombre de paires électron-trou créées dans le silicium lors de l'ionisation par des rayons X est du même ordre de grandeur que la réponse du silicium aux particules minimum ionisantes. Par conséquent, nous pouvons calibrer en laboratoire les capteurs CMOS par une exposition aux rayons X. Ceci permet d'estimer précisément la réponse des capteurs CMOS exposés aux particules minimum ionisantes.

Dans le silicium cristallin des capteurs CMOS, les électrons libérés par ionisation peuvent être collectés par une jonction PN polarisée : la photodiode.

## 2.3 Élément de détection : la photodiode

### 2.3.1 Généralités sur la photodiode

#### 2.3.1.1 Constitution de la photodiode

La méthode de capture d'images dans les capteurs CMOS utilise la photodiode comme élément sensible aux particules ionisantes. Initialement, cette structure a été développée pour l'imagerie de lumière visible. Or, des expérimentations ont permis de démontrer que les capteurs intégrant des photodiodes détectent les particules minimum ionisantes [24].

La photodiode est composée d'une jonction PN, qui est dans notre cas : un caisson N en contact avec une couche semi-conductrice dopée P<sup>-</sup> hautement résistive (10 Ω.cm). Dans la figure 2-7 (a), nous présentons une photodiode constituée de deux plaques semi-conductrices superposées. Elle sera polarisée en inverse par l'application d'un potentiel positif  $V_d$  à ses bornes.

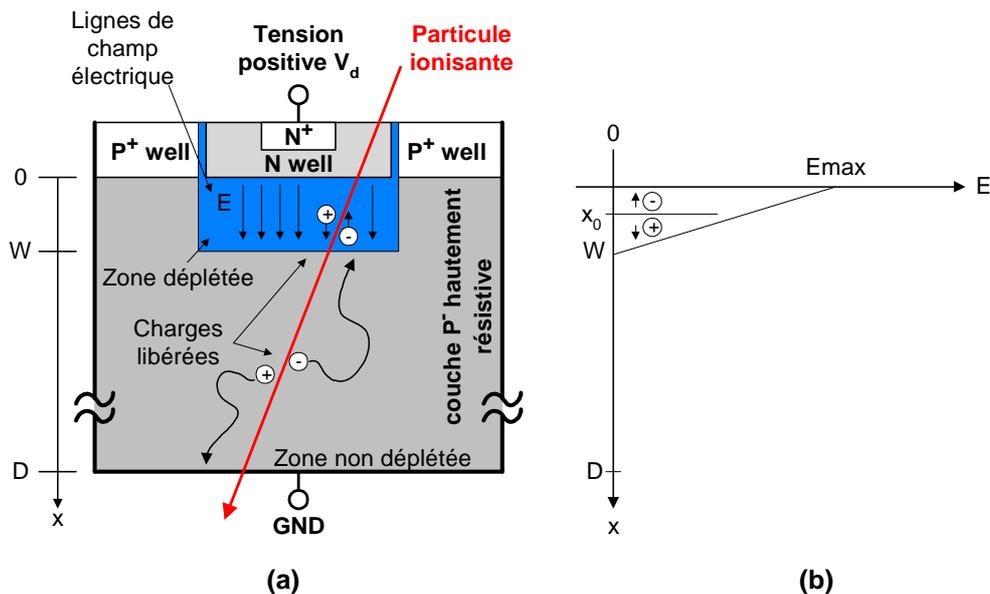


Figure 2-7 : (a) Vue en coupe d'une photodiode, (b) champ électrique dans la couche P<sup>-</sup>.

D'après la figure 2-7 (b), pour  $x \geq W$ , le champ électrique  $E$  dans la couche P<sup>-</sup> est nul. L'équation 2-9 exprime le champ électrique en fonction de la position  $x$  dans la couche P<sup>-</sup> et de la profondeur  $W$  de la zone de charge d'espace où zone déplétée pour  $0 \leq x \leq W$ .

$$E(x) = \left( -\frac{q \cdot Na}{\epsilon_{si}} \right) \cdot (x - W) \quad (2-9)$$

où  $Na$  est la concentration d'accepteurs (atomes de bore) dans la couche P<sup>-</sup>,  $\epsilon_{si}$  la permittivité du silicium ( $10^{-12}$  F/cm) et  $q$  la charge de l'électron.

La profondeur  $W$  de la zone de charge d'espace dépend du potentiel  $V_d$  appliqué aux bornes de la photodiode. Cette profondeur  $W$  est donnée par l'équation suivante :

$$W = \sqrt{\frac{2 \cdot \epsilon_{si}}{q} \cdot \left( \frac{1}{Na} + \frac{1}{Nd} \right) \cdot (V_{bi} + V_d)} \quad (2-10)$$

où  $V_{bi}$  est le potentiel de diffusion de la jonction PN et  $Nd$  la concentration de donneurs (atomes de phosphore) dans le caisson N par  $\text{cm}^3$ .

D'après la loi d'action des masses,  $n_i^2 = n \times p$ , avec  $n$  et  $p$ , qui sont respectivement la concentration d'électrons et de trous dans la couche hautement résistive P<sup>-</sup>. La valeur admise pour la densité intrinsèque de porteurs  $n_i$  est  $1,45 \times 10^{10} \text{ cm}^{-3}$  [30].

$$V_{bi} = \frac{k \cdot T}{q} \cdot \ln \left( \frac{Nd \cdot Na}{n_i^2} \right) \quad (2-11)$$

où  $T$  est la température en Kelvin et  $k$  la constante de Boltzmann égale à  $1,38 \times 10^{-23} \text{ J/K}$ .

Idéalement, la couche P<sup>-</sup> devrait être totalement déplétée pour récupérer les charges libérées en profondeur à l'aide du champ électrique  $E$ . Or, dans les circuits employant la technologie CMOS standard, les tensions d'alimentation autorisées sont de l'ordre de quelques volts. Ainsi, la profondeur de la zone de déplétion est de l'ordre de quelques micromètres.

Avec la technologie AMS 0,35  $\mu\text{m}$ , nous obtenons une profondeur de la zone déplétée de 1,87  $\mu\text{m}$  avec  $V_d = 3,2 \text{ V}$ , une température de 300 K, un potentiel de diffusion  $V_{bi} = 713 \text{ mV}$ , une concentration de donneurs  $Nd = 128 \times 10^{15} \text{ donneur/cm}^3$  et une concentration d'accepteurs  $Na = 1,5 \times 10^{15} \text{ accepteur/cm}^3$ .

Les valeurs numériques des concentrations  $Na$  et  $Nd$  ont été fournies par le fabricant de circuit intégré AMS [38]. Nous avons choisi  $V_d$  égale à 3,2 V pour respecter les limites fixées par le fabricant et placer la photodiode de la figure 2-7 (a) dans les mêmes conditions de polarisation que les photodiodes décrites dans les paragraphes suivants.

Lorsqu'une particule traverse le substrat, des paires électron-trou seront créées dans la couche P<sup>-</sup> et dans la zone de déplétion. La majorité des électrons libérés dans couche P<sup>-</sup> non déplétée se propageront jusqu'à la zone de déplétion par diffusion thermique. Soumis au champ électrique  $E$ , les électrons provenant de la couche P<sup>-</sup> et les électrons libérés dans la zone de déplétion diffuseront directement jusqu'au caisson N [39, 40].

### 2.3.1.2 Propagation des charges libérées dans la zone déplétée

Dans la zone déplétée, la vitesse de propagation des électrons et des trous en fonction de leurs positions instantanées  $x$  dans le silicium est définie par l'équation 2-12. Notons que le déplacement des électrons dans la zone déplétée est gouverné par le champ  $E$  mais également par la diffusion thermique pour les des électrons libérés à la frontière entre la zone déplétée et la couche  $P^-$ . Par conséquent, l'équation ci-dessous a des limites d'application et sera uniquement valable pour des électrons soumis au champ électrique  $E$ .

$$V_{(x)} = \mu \cdot \left( -\frac{q \cdot Na}{\epsilon_{si}} \right) \cdot (x - W) \quad (2-12)$$

où  $\mu$  est la mobilité des électrons et des trous dans le silicium, respectivement  $\mu_e=1350 \text{ cm}^2/\text{V}$  et  $\mu_h=480 \text{ cm}^2/\text{V}$  [38].

En intégrant l'équation 2-12, on peut déterminer le temps mis par une charge libérée en  $x_0$  pour atteindre une position  $x$  lorsque celle-ci est soumise au champ  $E$ .

$$t_{(x)} = \int_{x_0}^x \frac{1}{V_{(x)}} \cdot dx = \frac{\epsilon_{si}}{\mu \cdot q \cdot Na} \cdot \ln \left( \frac{W - x}{W - x_0} \right) \quad (2-13)$$

D'après l'équation 2-13, pour  $x_0 = W$  la durée de propagation des électrons est infinie car le champ électrique  $E_{(x=W)}$  est nul. Toutefois, l'effet de la diffusion thermique permet aux charges de se propager jusqu'au caisson  $N$  où elles subiront l'effet du champ électrique  $E$  pour  $x < W$ . Par exemple, pour traverser 99,99 % de la zone déplétée, la durée de propagation de l'électron jusqu'au caisson  $N$  vaut  $\sim 30 \text{ ps}$ .

### 2.3.1.3 Diffusion des charges dans la couche $P^-$

Dans la couche  $P^-$  non déplétée, les électrons peuvent être libérés par le passage d'un M.I.P. ou par l'effet photoélectrique provoqué par un photon  $X$ . Ces charges ne sont pas soumises au champ électrique  $E$ . Ainsi, elles se propagent par diffusion thermique. Le temps de propagation jusqu'au caisson  $N$  est typiquement de quelques dizaines de nanosecondes [40]. La longueur de diffusion  $L_{e,h}$  des porteurs libres (électrons et trous) peut être calculée à l'aide de la durée de vie  $\tau_{e,h}$  et du coefficient de diffusion  $D_{e,h}$  de ces porteurs.

$$D_{e,h} = \frac{k \cdot T}{q} \cdot \mu_{e,h} \quad (2-14)$$

$$L_{e,h} = \sqrt{D_{e,h} \cdot \tau_{e,h}} \quad (2-15)$$

où  $\mu_e, \tau_e$  et  $\mu_h, \tau_h$  sont respectivement la mobilité et la durée de vie des électrons et des trous.

D'après la figure 2-8 (a), le coefficient de diffusion  $D_e$  est de  $\sim 3,6 \times 10^9 \mu\text{m}^2/\text{s}$  dans une couche P<sup>-</sup> dont le dopage Na est de  $1,5 \times 10^{15}$  accepteur/cm<sup>3</sup>. Ceci est vérifié avec l'équation 2-14 avec  $\mu_e = 1350 \text{ cm}^2/\text{V}$ .

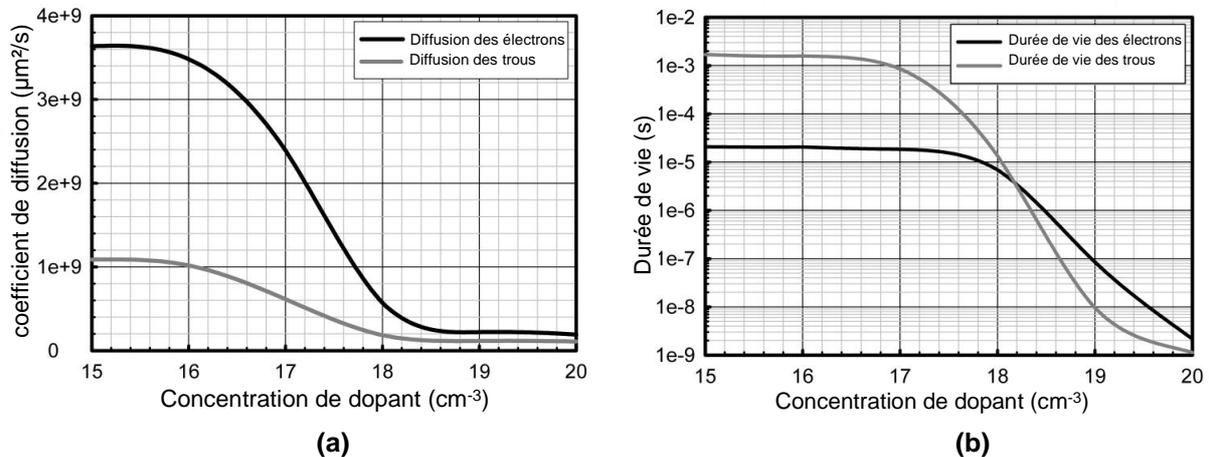


Figure 2-8 : (a) Coefficient de diffusion des porteurs [41] et (b) durée de vie des porteurs en fonction de la concentration de dopants [42].

D'après l'équation 2-15, la longueur de diffusion des électrons sera de  $\sim 268 \mu\text{m}$ , avec une durée de vie des électrons de  $\sim 20 \mu\text{s}$  (figure 2-8 (b)). Ainsi, les charges créées dans la couche P<sup>-</sup> non déplétée peuvent se propager vers plusieurs photodiodes voisines.

### 2.3.1.4 Collection de charge par plusieurs photodiodes

La figure 2-9 représente une vue en coupe partielle d'un capteur CMOS traversé par une particule minimum ionisante.

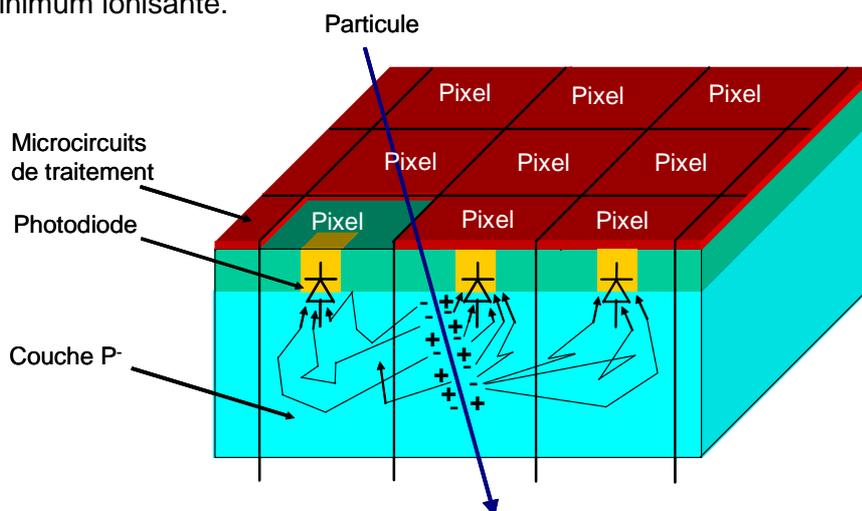


Figure 2-9 : Diffusion des électrons dans le substrat.

Le nombre de pixels collectant des charges dépend principalement de l'angle d'impact de la particule, des paramètres de dopages de la couche P<sup>-</sup> et de la température.

Le pixel ayant collecté le plus de charges libérées est nommée : pixel siège. Typiquement, il collecte 20 à 30 % du nombre total des charges libérées lorsqu'une particule minimum ionisante traverse le capteur CMOS. Les 70 à 80 % des charges restantes sont collectées par des pixels adjacents. L'ensemble constitué du pixel siège et des pixels adjacents est nommé : amas de pixels [24, 40].

### **2.3.1.5 Résolution spatiale des capteurs CMOS.**

A l'aide des capteurs CMOS, la résolution spatiale sur la position des impacts des particules (M.I.P., photon X, ...) peut être calculée avec une précision supérieure à celle obtenue par l'analyse de l'information délivrée par un seul pixel [24]. La position de l'impact d'une particule peut être déterminée par un calcul de barycentre suivi de l'application d'une fonction ETA sur les informations délivrées par les pixels d'un même amas.

Pour un substrat donné, avec un capteur composé de pixels de  $20\ \mu\text{m} \times 20\ \mu\text{m}$ , de  $30\ \mu\text{m} \times 30\ \mu\text{m}$  et de  $40\ \mu\text{m} \times 40\ \mu\text{m}$ , respectivement la résolution spatiale obtenue est de  $\sim 1,5\ \mu\text{m}$ ,  $\sim 2\ \mu\text{m}$  et  $\sim 3\ \mu\text{m}$ . Ces résultats ont été déterminés avec des capteurs dont la contribution en bruit totale ramenée sur l'entrée de la photodiode est d'environ 10 électrons.

Pour apprécier combien les bruits électroniques doivent être maintenus à des valeurs très faible, nous allons traiter un exemple de capteur disposant d'une couche P<sup>+</sup> épaisse de  $\sim 11\ \mu\text{m}$ . Les pixels d'un amas collecteront en moyenne une charge totale de 900 électrons lors du passage d'un M.I.P. Avec une contribution en bruit d'environ 10 électrons, le rapport signal à bruit du pixel siège est généralement compris entre  $\sim 18$  et  $\sim 27$  (avec environ 180 à 270 électrons collectés). Or, il s'agit là, de la valeur la plus probable. En effet, les fluctuations de Landau peuvent sensible modifier, en particulier réduire la charge collectée. Il faut donc veiller à ce que le bruit du pixel soit suffisamment faible pour que les particules demeurent détectables dans les cas les plus défavorables. De plus, le rapport signal à bruit des pixels adjacents sera généralement inférieur à celui du pixel siège de l'amas. Par conséquent, certains pixels adjacents délivreront un signal électrique noyé dans le bruit. Or les pixels dont le signal est du même ordre de grandeur que le bruit n'apporte rien au paramètre de résolution spatiale [24, 43].

La précision de mesure de la position des impacts dépendra de la dimension des pixels, des performances des microcircuits intégrés dans le pixel et des caractéristiques de bruit et de sensibilité de la photodiode. Cette dernière est un élément crucial de la chaîne de lecture des capteurs. Il conviendra de définir avec soins ses caractéristiques, notamment, en termes de sensibilité et de bruits électroniques.

## 2.3.2 Caractéristiques de la photodiode

### 2.3.2.1 Modèle électronique de la photodiode

Le modèle couramment utilisé pour décrire le comportement des photodiodes est constitué de la capacité de jonction, d'une source de courant de fuite, d'une source de bruit et d'une source de courant simulant les électrons collectés. Ce modèle permet de décrire le fonctionnement électrique de la photodiode lorsque celle-ci est stimulée par une particule ionisante. Dans la figure 2-10, précédent l'instant  $t_0$ , nous considérons que la capacité  $C_{\text{depl}}$  de la jonction PN est chargée avec un potentiel positif.

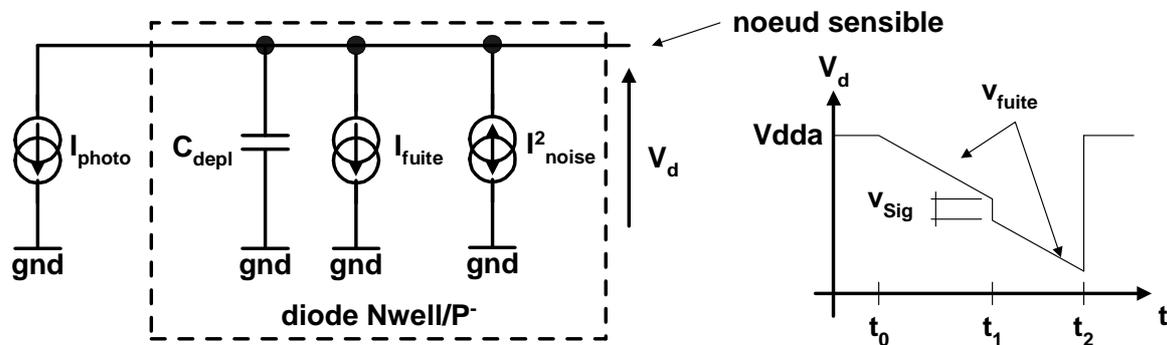


Figure 2-10 : Modèle de la photodiode.

A l'instant  $t_0$ , le nœud sensible est rendu flottant. La tension  $V_d$  diminuera continuellement ( $DV_{\text{fuite}}$ ) car le courant  $I_{\text{fuite}}$  décharge la capacité  $C_{\text{depl}}$ . Pour s'affranchir de ce problème, la photodiode devra être couplée à un système de polarisation décrit dans le paragraphe 2.4.

Lorsque des charges sont libérées par le passage d'une particule, un photo-courant  $I_{\text{photo}}$  déchargera la capacité  $C_{\text{depl}}$  induisant une chute de tension  $DV_{\text{sig}}$  de la tension  $V_d$  aux bornes de la photodiode [30, 44].

### 2.3.2.2 Capacité de la zone de charge d'espace

La capacité de la jonction PN est déterminée par l'équation suivante :

$$C_{\text{depl}} = \sqrt{\frac{q \cdot \epsilon_{\text{si}} \cdot Na}{2 \cdot \left( V_{\text{bi}} + V_d - \frac{2 \cdot k \cdot T}{q} \right)}} \cdot Ad \quad (2-16)$$

où  $Na$  est la concentration d'accepteurs dans la couche P,  $Ad$  la surface du caisson N en  $\text{cm}^2$  [45].

Dans la réalité, la capacité  $C_{\text{depl}}$  dépend également des capacités périphériques du caisson N. L'équation fournie par le fabricant de circuit intégré pour calculer la capacité  $C_{\text{depl}}$  s'écrit :

$$C_{\text{depl}} = \frac{W_J \cdot L_J \cdot C_J}{\left(1 + \frac{V_d}{V_{bi}}\right)^{M_J}} + \frac{2 \cdot (W_J + L_J) \cdot C_{\text{JSW}}}{\left(1 + \frac{V_d}{V_{bi}}\right)^{M_{\text{JSW}}}} \quad (2-17)$$

où  $C_J = 0,08 \text{ fF}/\mu\text{m}^2$  est la capacité par unité de surface d'une jonction PN,  $C_{\text{JSW}} = 0,51 \text{ fF}/\mu\text{m}^2$  la capacité qui dépend du périmètre de la jonction.  $W_J$  et  $L_J$  sont les dimensions du caisson N. Les paramètres  $M_J = 0,39$  et  $M_{\text{JSW}} = 0,27$  sont respectivement les coefficients de gradients de jonction pour la surface et le périmètre de la photodiode. Tous ces paramètres dépendent de la température de la jonction, leurs valeurs sont valables pour une température de 300 K [38].

D'après les équations 2-16 et 2-17, la valeur de la capacité dépend de la tension de polarisation inverse de la photodiode  $V_d$  et de la température. A 300 K, la capacité de la jonction vaut  $\sim 2 \text{ fF}$ , pour une photodiode dont les dimensions sont  $W_J = L_J = 1,5 \mu\text{m}$  et dont la tension de polarisation est  $V_d = 3,2 \text{ V}$ .

### 2.3.2.3 Courant de fuite de la photodiode

Le courant  $I_{\text{fuite}}$  représente le courant des porteurs de charges minoritaires circulant du caisson N vers la couche P [46]. Ce courant de fuite s'écrit :

$$I_{\text{fuite}} = -J_S - \frac{q \cdot n_i}{2 \cdot \tau_p} \cdot W \quad \text{avec } J_S = q \cdot \left( \frac{D_h \cdot P_{n0}}{L_h} + \frac{D_e \cdot N_{p0}}{L_e} \right) \quad (2-18)$$

où  $J_S$  le courant de saturation.

$D_e$  et  $D_h$  : les coefficients de diffusion des électrons et des trous.

$L_e$  et  $L_h$  : les longueurs de diffusion des électrons et des trous.

$\tau_p$  : la durée de vie des porteurs.

$N_{p0}$  et  $P_{n0}$  : la densité de porteurs minoritaires dans le caisson N et dans le substrat P.

$W$  : est l'épaisseur de la zone de déplétion.

Les paramètres ci-dessus dépendent de la température. Une élévation de la température de la jonction provoque l'augmentation du courant de fuite J.

Avec la technologie AMS 0,35  $\mu\text{m}$ , le courant  $I_{\text{fuite}}$  peut également être calculé à partir des informations délivrées par le fabricant de circuits intégrés :

$$I_{\text{fuite}} = J_S \cdot W_J \cdot L_J + J_{\text{SSW}} \cdot (2 \cdot W_J + 2 \cdot L_J) \quad (2-19)$$

où  $J_S = 0,06 \text{ fA}/\mu\text{m}^2$  est le courant par unité de surface,  $J_{\text{SSW}} = 0,27 \text{ fA}/\mu\text{m}$  est le courant par unité de périmètre et  $W_J$  et  $L_J$  les dimensions du caisson N. Tous ces paramètres dépendent de la température de la jonction, leurs valeurs sont valables uniquement pour une température de 300 K [38].

L'équation 2-19 permet de déterminer  $I_{\text{fuite}}$  pour une tension de polarisation inverse de la photodiode de 3,3V et une température de 300 K. Avec une photodiode dont les dimensions sont  $W_J = L_J = 1,5 \mu\text{m}$ , le courant de fuite est de  $\sim 1,76 \text{ fA}$ .

Dans le cas de la photodiode sans microcircuit de lecture (cf. figure 2-7 (a)), la décharge  $DV_{\text{fuite}}$  de la capacité  $C_{\text{depl}}$  par le courant  $I_{\text{fuite}}$  est exprimée par :

$$DV_{\text{fuite}} = \frac{I_{\text{fuite}}}{C_{\text{depl}}} \cdot dt \quad (2-20)$$

Avec  $I_{\text{fuite}} = 1,76 \text{ fA}$  et  $C_{\text{depl}} = 2 \text{ f}$ , nous obtenons  $DV_{\text{fuite}} \approx 867 \text{ mV/s}$ . Cette variation  $DV_{\text{fuite}}$  vaut  $\sim 8,67 \mu\text{V}$  pour un intervalle temporel  $dt$  de  $10 \mu\text{s}$  correspondant à la durée de lecture d'un capteur CMOS envisagé pour le détecteur MVD de l'expérience CBM.

### 2.3.2.4 Gain de conversion de la photodiode

La valeur  $DV_{\text{sig}}$  représente l'intégration des charges collectées par le caisson N après l'impact d'une particule à l'instant  $t_1$ . Avec l'équation 2-21, nous obtenons la relation qui lie le nombre de charges collectées, la capacité de jonction et le signal  $DV_{\text{sig}}$  :

$$DV_{\text{sig}} = \frac{I_{\text{photo}}}{C_{\text{conv}}} \cdot dt = \frac{q \cdot (\text{nombre d'électrons collectés})}{C_{\text{conv}}} \quad (2-21)$$

Avec la capacité de conversion  $C_{\text{conv}} = C_{\text{depl}} \approx 2 \text{ fF}$  et 100 électrons collectés par le caisson N d'un pixel adjacent,  $DV_{\text{sig}}$  vaut  $\sim 7,9 \text{ mV}$  [25].

Ainsi, nous déterminons le gain de conversion de la photodiode nommé C.V.F (Charge to Voltage conversion Factor) qui définit le rapport entre le nombre d'électrons collectés et la variation  $DV_{\text{sig}}$  du potentiel  $V_d$ . Avec  $DV_{\text{sig}} \approx 7,9 \text{ mV}$  et de 100 électrons collectés, nous déterminons un C.V.F de  $\sim 79 \mu\text{V}/\text{électron}$ .

### 2.3.2.5 Bruits électroniques de la photodiode

Le dernier élément du modèle de la photodiode est la source de bruit  $I_{noise}^2$ . Celle-ci est sensible à la température et à la bande passante du dispositif. Elle est composée du bruit de grenaille ("shot noise") et du bruit 1/f ("Flicker noise") de la photodiode [47].

Le bruit de grenaille provient des fluctuations du nombre de porteurs qui traversent la zone de déplétion de la photodiode. La densité spectrale<sup>1</sup> de ce bruit s'écrit :

$$I_{shot}^2(f) = 2 \cdot q \cdot I_{fuite}(f) \quad (2-22)$$

où  $I_{fuite}$  est le courant de fuite de la jonction PN, également dépendant de la température.

La contribution en bruit 1/f provient des imperfections du cristal qui génèrent des fluctuations de la mobilité et de la vitesse de recombinaison des porteurs.

$$I_{1/f}^2(f) = K_f \cdot \frac{I_{fuite}(f)^c}{f^{f_{be}}} \quad (2-23)$$

où  $K_f$  est une constante dépendante des caractéristiques physique de la photodiode, le coefficient  $c$  ( $0,5 < c < 2$ ) et le coefficient  $f_{be}$  ( $0,8 < f_{be} < 1,3$ ) [30]. On obtient ainsi :

$$I_{noise}^2(f) = I_{shot}^2(f) + I_{1/f}^2(f) \quad (2-24)$$

Dans le chronogramme de la figure 2-10, durant l'intervalle  $[t_0, t_2]$ , le nœud sensible de la photodiode est flottant. Cette période représente la durée d'intégration  $t_{int}$  entre deux lectures de la tension  $V_d$ . Le temps d'intégration  $t_{int}$  dépend du nombre de lectures que le capteur CMOS doit effectuer par seconde. Ce temps est typiquement de 10 à 100  $\mu s$  pour l'application des capteurs CMOS aux détecteurs de vertex. Ainsi, la contribution en bruit durant l'intervalle  $[t_0, t_2]$  provient majoritairement du bruit de grenaille.

La contribution en bruit échantillonnée dans la capacité de conversion  $C_{depl}$  s'écrit :

$$\overline{V_{noise}^2} = \frac{q \cdot I_{fuite}}{C_{conv}^2} \times t_{int} \quad (2-25)$$

Avec l'équation ci-dessus,  $I_{fuite} = 1,76$  fA,  $C_{conv} = C_{depl} = 2$  fF et  $t_{int} = 10$   $\mu s$ , à 300 K, la contribution en bruit du bruit de grenaille aux bornes de la photodiode vaut  $\sim 26$   $\mu V_{RMS}$ .

Selon l'équation 2-25, le bruit aux bornes de la photodiode dépend du temps d'intégration  $t_{int}$ . Par conséquent, pour augmenter le rapport signal à bruit de la photodiode, il est nécessaire de réduire le temps d'intégration [47].

<sup>1</sup> Densité spectrale de bruit : elle représente la densité de bruit présente dans un signal, rapporté à une bande passante de 1Hz.

## 2.4 Architectures en mode tension

### 2.4.1 Photodiode avec un transistor de "reset"

#### 2.4.1.1 Principe de fonctionnement du dispositif

Dans le paragraphe 2.3, nous indiquons que la photodiode doit être impérativement polarisée. Pour ce faire, dès l'implémentation de photodiodes dans les capteurs CMOS, celle-ci a été couplée à un transistor NMOS de polarisation [24].

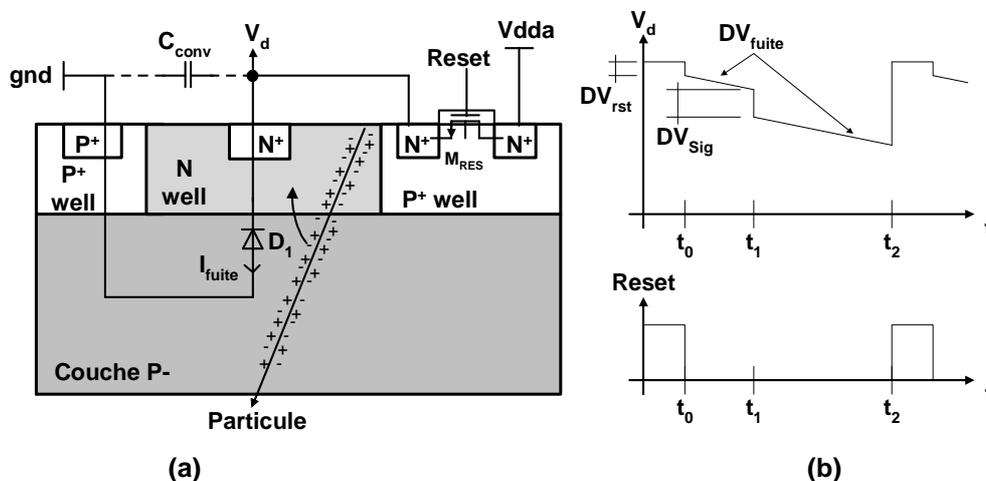


Figure 2-11 : (a) Vue en coupe de la photodiode avec le transistor de "reset",  
(b) chronogramme présentant le fonctionnement du dispositif

Durant l'intervalle  $[t_0-t_2]$ , le courant  $I_{fuite}$  décharge la capacité  $C_{conv}$ . En l'absence de réinitialisation du point de polarisation de la photodiode, celle-ci sature ( $V_d = 0V$ ). Ainsi, à l'instant  $t_2$ , la photodiode  $D_1$  est polarisée au potentiel  $V_{dda}$  à l'aide du transistor  $M_{RES}$ . La durée de l'intervalle  $[t_0, t_2]$  dépendra des valeurs du courant  $I_{fuite}$  et de la capacité  $C_{conv}$ .

#### 2.4.1.2 Gain de conversion

La capacité de conversion  $C_{conv}$  dépend de la capacité  $C_{depl}$ , de la longueur des interconnexions du nœud sensible, de la taille du transistor  $M_{RES}$ . Cette capacité sera de l'ordre d'une dizaine de fF [48]. Elle est exprimée par l'équation 2-26 :

$$C_{conv} = C_{depl} + C_{connect} + C_{bs,MRES} + C_{gs,MRES} \quad (2-26)$$

où  $C_{connect}$  est la capacité équivalente des lignes d'interconnexions entre la photodiode et la source du transistor  $M_{RES}$ ,  $C_{bs,MRES}$  et  $C_{gs,MRES}$  sont respectivement les capacités bulk-source et grille source du transistor  $M_{RES}$ .

La relation qui lie le signal  $DV_{sig}$  du potentiel  $V_d$  aux bornes de la photodiode avec le nombre de charges collectées est défini par l'équation 2-21. Avec  $C_{conv} \approx 10$  fF, le C.V.F vaut  $\sim 16 \mu\text{V}/\text{électron}$ , c.à.d.  $DV_{sig} \approx 1,6$  mV pour 100 électrons collectés. Avec un courant  $I_{fuite}$  de 1,76 fA (photodiode de  $1,5 \mu\text{m} \times 1,5 \mu\text{m}$ ), la valeur de la décharge de la tension de diode  $DV_{fuite}$  est désormais égale à  $\sim 0,18 \mu\text{V}/\mu\text{s}$ .

La contribution en bruit liée au bruit de grenaille calculée à l'aide de l'équation 2-25 vaut désormais  $\sim 5,3 \mu\text{V}_{\text{RMS}}$  pour un temps d'intégration de 10  $\mu\text{s}$ .

Par rapport au facteur de conversion de la photodiode isolée présenté dans le paragraphe 2.3.2.4, celui de la photodiode avec un transistor de "reset" est  $\sim 5$  fois plus faible. L'ajout du transistor de "reset" affecte donc considérablement la sensibilité de la photodiode.

### 2.4.1.3 Chute de tension de $V_d$ et bruit provoqué par le transistor $M_1$

A l'instant  $t_0$ , la chute de tension aux bornes de la photodiode sera égale à :

$$DV_{rst} = \frac{C_{gs,MRES}}{C_{conv} + C_{gs,MRES}} \times V_{res} \quad (2-27)$$

où  $V_{res}$  est la tension appliquée sur la grille du transistor  $M_1$  lors de la phase de réinitialisation. Avec  $C_{gs,MRES}$  de l'ordre du fF,  $C_{conv}$  de l'ordre de la dizaine de fF,  $V_{res} = 3,3$  V, la chute de tension générée en fin de la phase de polarisation  $t_0$  sera alors  $DV_{rst} \approx 300\text{mV}$ .

La contribution en bruit sur la tension  $DV_{rst}$  s'écrit :

$$\overline{V_{noise,res}^2} = \frac{k \cdot T}{C_{conv}} \quad (2-28)$$

où  $k$  est la constante de Boltzmann et  $T$  est la température en Kelvin. Avec  $C_{conv} = 10$  fF,  $T = 300$  K, la contribution en bruit est égale à  $\sim 650 \mu\text{V}_{\text{RMS}}$  [47].

### 2.4.1.4 Limites du dispositif

L'augmentation de la sensibilité des pixels passe par l'intégration d'un amplificateur au sein du pixel. Le nœud sensible est alors connecté sur l'entrée d'un circuit d'amplification. Or, la décharge continue de la capacité  $C_{conv}$  durant le temps d'intégration se traduit par une dérive du point de polarisation de la photodiode par rapport à celui de l'amplificateur.

Un étage de gain amplifie le signal utile mais aussi la différence entre les points de polarisation de l'amplificateur avec la photodiode. Ainsi, seul un gain faible de l'amplificateur (3 à 5) lui permettra de ne pas saturer.

## 2.4.2 Photodiode à polarisation continue

### 2.4.2.1 Principe général de fonctionnement

Pour stabiliser le point de polarisation de la photodiode, une diode de polarisation  $D_2$  remplace place du transistor de reset  $M_1$ . Ce dispositif est présenté dans la figure 2-12. La diode  $D_2$  compense continuellement le courant de fuite  $I_{fuite}$  de la photodiode. Ceci fixe le point de polarisation de la photodiode  $D_1$  à  $V_d = V_{init}$  proche de  $V_{dda}$  [49].

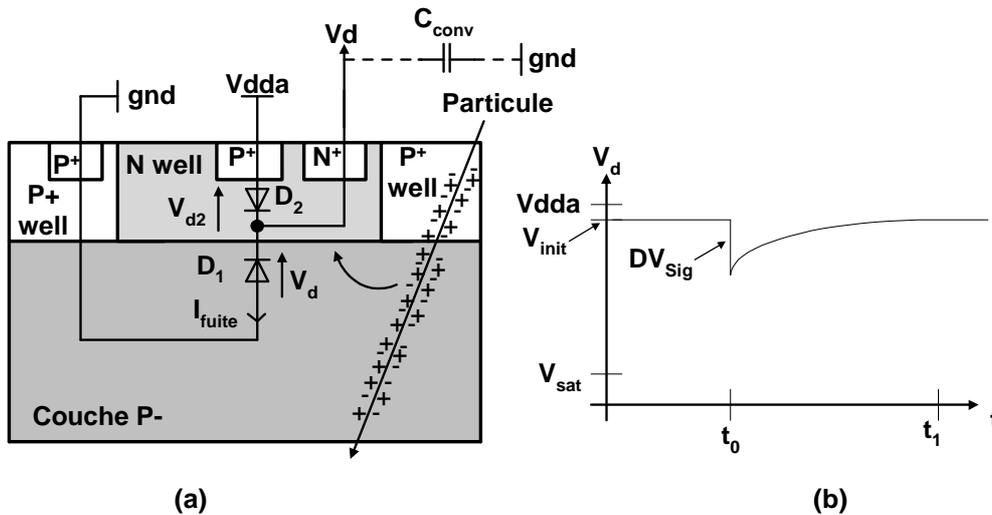


Figure 2-12 : (a) Vue en coupe de la photodiode intégrant une diode de polarisation continue, (b) chronogramme présentant le fonctionnement du dispositif.

Les charges libérées par le passage d'une particule ionisante déchargent la capacité  $C_{conv}$ . Cette dernière se rechargera avec le courant fourni par la diode  $D_2$ . Le temps de recharge ( $t_0$  à  $t_1$ ) est typiquement de l'ordre de la centaine à plusieurs centaines de millisecondes [49]. Le point de polarisation de la photodiode reviendra donc naturellement à un potentiel  $V_d = V_{init}$ . Lorsque la photodiode n'est pas soumise au passage d'une particule, le courant  $I_{d2}$  convoyé par  $D_2$  est défini par le courant de fuite  $I_{fuite}$ . Ceci permet de déterminer la tension  $V_{init}$  de la photodiode  $D_1$ .

$$I_{d2} = I_s \left[ \exp\left(\frac{q \cdot V_{d2}}{K \cdot T}\right) - 1 \right] \quad (2-29)$$

$$V_{init} = V_{dda} - \frac{K \cdot T}{q} \cdot \ln\left(\frac{I_{d2} + I_s}{I_s}\right) \quad (2-30)$$

où  $I_s$  est le courant de saturation de la diode  $D_2$  (de l'ordre de 0,1 fA pour une taille de  $D_2$  de  $800 \text{ nm} \times 800 \text{ nm}$ ),  $V_{d2}$  la tension aux bornes de la diode  $D_2$  de l'ordre de 50 à 100 mV. Avec  $I_s = 0,14 \text{ fA}$ , nous obtenons  $V_{d2} \approx 67 \text{ mV}$  pour un courant de fuite  $I_{fuite} = I_{d2} = 1,76 \text{ fA}$ .

### 2.4.2.2 Gain de conversion du dispositif

La capacité  $C_{conv}$  est définie par la relation suivante :

$$C_{conv} = C_{depl} + C_{connect} + C_{JN,D2} \quad (2-31)$$

où  $C_{depl}$  est la capacité de la jonction de la diode  $D_1$ ,  $C_{connect}$  la capacité équivalente des lignes d'interconnexions et des étages d'amplifications ( $\sim 5$  fF).  $C_{JN,D2}$  est la capacité de transition de la jonction PN de  $D_2$  et est exprimée par :

$$C_{JN,D2} = W_{D2} \cdot L_{D2} \cdot \sqrt{\frac{q \cdot \epsilon_{si}}{2} \cdot \frac{Nd}{V_{bi,D2} + V_{d2}}} \quad (2-32)$$

où  $V_{bi,D2} \approx 1$  V est la tension de jonction de la diode  $D_2$ ,  $W_{D2} = L_{D2} = 800$  nm les dimensions de la diode  $D_2$ . La capacité  $C_{JN,D2}$  est égale à 0,64 fF.

L'intégration de la diode  $D_2$  permet de s'affranchir des capacités parasites du transistor de reset. Par conséquent, la capacité de conversion  $C_{conv}$  du dispositif vaut  $\sim 8$  fF. Nous obtenons un gain C.V.F du dispositif de  $20\mu\text{V}/\text{électron}$  et d'une variation de signal  $DV_{SIG}$  de  $\sim 2$  mV pour 100 électrons collectés par la photodiode [30].

### 2.4.2.3 Saturation du dispositif

Lors de la succession de plusieurs impacts de particules dans une durée inférieure à une milliseconde, le potentiel  $V_d$  s'approche de la limite  $V_{sat}$  saturant le dispositif ( $D_1$  et  $D_2$ ). Respectant l'équation 2-29, lorsque  $V_d$  diminue, le courant traversant la diode  $D_2$  est désormais égal au courant de fuite auquel s'additionne le courant nécessaire pour recharger la capacité  $C_{conv}$ . Ainsi, la constante de temps  $\tau_{recharge}$  (rapport de l'impédance  $Z_{D2}$  de la diode  $D_2$  avec la capacité  $C_{conv}$ ) variera en fonction de  $V_{d2}$  et implicitement du potentiel  $V_d$ .

$$\tau_{recharge} = \frac{V_{d2}}{I_{d2}} \cdot C_{conv} = \frac{V_{dda} - V_d}{I_s \cdot \left[ \exp\left(\frac{q \cdot (V_{dda} \cdot V_d)}{k \cdot T}\right) - 1 \right]} \cdot C_{conv} \quad (2-33)$$

Pour  $I_{d2} = I_{fuite} = 1,76$  fA, la tension  $V_{d2}$  est égale à 67 mV et l'impédance  $Z_{D2} \approx 38$  G $\Omega$ . La constante de temps de recharge  $\tau_{recharge}$  vaut  $\sim 300$ ms. Après des impacts quasi simultanés de 100 particules dans un pixel siège collectant typiquement 270 électrons par impact (cf 2.3.1.5) et un C.V.F de  $20\mu\text{V}/\text{électron}$ , la chute de tension  $V_{d2}$  sera de  $\sim 0,54$  V et le courant  $I_{d2}$  vaudra  $\sim 150$  nA. Désormais,  $Z_{D2}$  sera égale à  $\sim 3,5$  M $\Omega$  et la constante de temps de recharge  $\tau_{recharge}$  sera alors de  $\sim 30$  ns. La photodiode pourra ainsi accumuler simultanément une centaine d'évènements dans un pixel siège avant de saturer.

### 2.4.2.4 Contribution en bruit du dispositif

Par rapport au montage employant une photodiode et un transistor de "reset", le modèle équivalent du dispositif inclu la source de bruit de la diode  $D_2$  :  $I_{\text{noise},D2}^2$ .

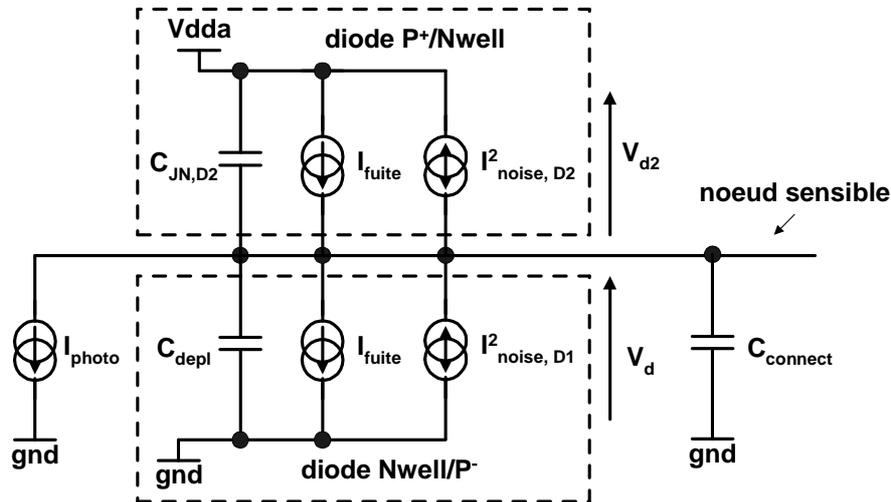


Figure 2-13 : Modèle de la photodiode couplé à une diode de polarisation.

En analysant le modèle, nous constatons que la densité spectrale de bruit ramenée sur le nœud sensible s'écrit :

$$V_{\text{noise,diode}}^2(f) = \frac{1}{C_{\text{conv}}^2 \cdot f^2} \cdot q \cdot I_{\text{fuite}} \quad (2-34)$$

où  $I_{\text{fuite}}$  est le courant de fuite de la photodiode,  $C_{\text{conv}}$  inclue  $C_{\text{depl}}$ ,  $C_{\text{JN},D2}$ ,  $C_{\text{connect}}$ .

En intégrant l'équation 2-34 avec une bande passante de 100 KHz (fréquence d'échantillonnage du signal  $V_d$ ), nous obtenons une contribution en bruit de  $\sim 7 \mu\text{V}_{\text{RMS}}$  avec  $I_{\text{fuite}} = 1,76 \text{ fA}$ . Ce bruit temporel est négligeable car la collection d'un électron provoque une variation du potentiel  $V_d$  de  $\sim 20 \mu\text{V}$ .

La photodiode avec transistor de "reset" ou diode de compensation est généralement connectée à un étage d'amplification : le "suiveur", dont le gain est inférieur à 1. Ce dernier ne présente pas la solution optimale pour maintenir un rapport signal à bruit élevé dès le début de la chaîne de lecture. Il faut donc remplacer ce circuit par un amplificateur de gain supérieur. Généralement, ceci requiert l'intégration dans le pixel d'amplificateurs à transistor PMOS et NMOS. Or, il est déconseillé d'implémenter des caissons N dans la zone sensible pour accueillir des transistors PMOS. Ces caissons N collecteraient une partie des charges libérées par le passage d'une particule et réduiraient la sensibilité du capteur CMOS.

En alternative, nous proposons une photodiode intégrant une première amplification dans son caisson N : le PhotoFET.

## 2.5 Architecture en mode courant

### 2.5.1 Le PhotoFET

#### 2.5.1.1 Principe de fonctionnement

Pour améliorer la sensibilité aux particules tout en respectant les contraintes de vitesse de lecture des capteurs CMOS, nous avons exploré la solution offerte par le PhotoFET. Ce dernier est un élément sensible aux particules ionisantes constitué d'une photodiode et d'un transistor PMOS. Il réalise avantageusement une amplification au sein de l'élément sensible aux particules ionisantes [50].

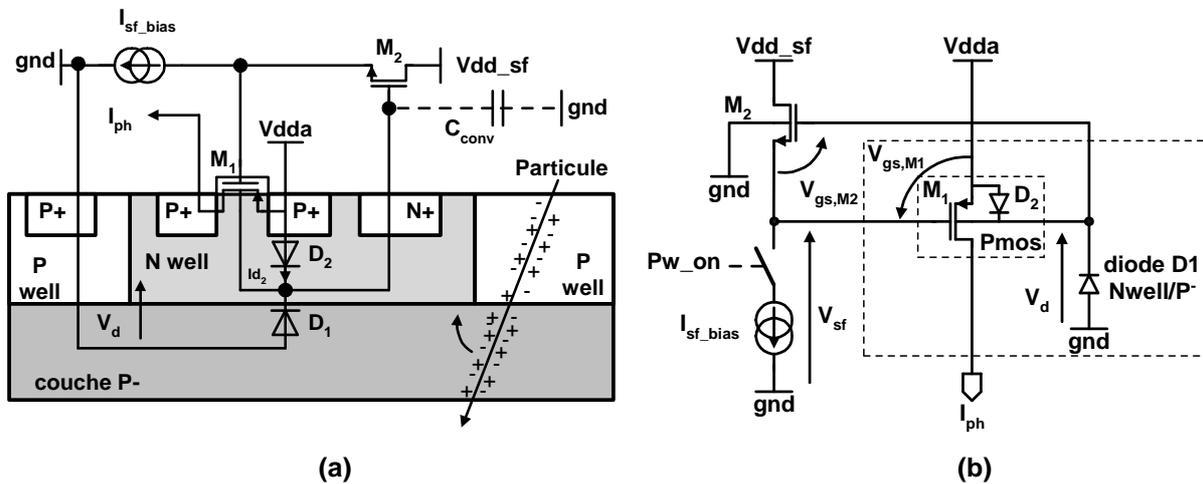


Figure 2-14 : (a) Vue en coupe du PhotoFET, (b) schéma équivalent du PhotoFET.

Les figures 2-14 (a) et (b) montrent que le PhotoFET intègre une photodiode  $D_1$  sensible aux particules, une diode  $D_2$  de polarisation continue et un transistor PMOS  $M_1$  qui amplifie le signal délivré par la photodiode  $D_1$  [50, 51]. Le transistor PMOS intégré dans le caisson N de la photodiode n'affecte pas la collection des charges. Celles-ci sont collectées par le caisson N et induisent une chute de potentiel aux bornes de la photodiode. Cette fluctuation de la tension  $V_d$  est provoquée par l'intégration des charges dans la capacité  $C_{conv}$ .

Le potentiel  $V_d$  de la photodiode modulera le courant du transistor PMOS  $M_1$  par la transconductance de bulk  $g_{mb,M1}$  et par la transconductance  $g_{m,M1}$ . La modulation par la transconductance  $g_{m,M1}$  est réalisée par l'implémentation d'une contre-réaction effectuée par un étage suiveur (transistor  $M_2$  et source de courant  $I_{sf,bias}$ ).

Le transistor représenté par l'interrupteur  $P_{w\_on}$  permet d'interrompre la circulation du courant  $I_{sf,bias}$  lorsque le pixel n'est pas adressé. Ceci supprimera la consommation de l'étage suiveur et permettra de réduire la consommation globale de la matrice de pixels.

Pour la suite de l'étude, nous considérons que le courant  $I_{ph}$  composé de  $I_{ph(DC)}$  qui est le courant de polarisation,  $I_{ph(sig)}$  la variation du signal liée aux charges collectées et  $I_{ph(noise)}$  la contribution en bruit totale du dispositif.

### 2.5.1.2 Point de polarisation DC

D'après la figure 2-14 (a), le point de polarisation de la photodiode  $D_1$  peut être déterminé avec l'équation 2-30. En effet, le comportement du dispositif ( $D_1$  et  $D_2$ ) est identique à celui de la photodiode à polarisation continue décrite dans le paragraphe 2.4.2.

Selon le schéma de la figure 2-14 (b), l'étage suiveur compense la tension de seuil  $V_{thM1}$ . Avec  $V_{gsM2}$  supérieur à  $V_{thM1}$ , le transistor  $M_1$  est en forte inversion. Ainsi, nous pouvons déterminer le courant DC  $I_{ph(DC)}$  délivré par le PhotoFET avec l'équation 2-36 [50].

$$V_{sf} = V_d - V_{gs,M2} \text{ et } V_{gs,M1} = V_{sf} - V_{dda} \Rightarrow V_{gs,M1} = -(V_{dda} - V_d + V_{gs,M2}) \quad (2-35)$$

$$I_{ph(DC)} = \frac{1}{2} \cdot K_{pp} \cdot \frac{W_{M1}}{L_{M1}} \cdot \left[ - \left( V_{dda} - V_d + \sqrt{\frac{2 \cdot I_{sf\_bias}}{K_{pn} \cdot \frac{W_{M2}}{L_{M2}}}} + V_{th,M2} \right) - V_{th,M1} \right]^2 \quad (2-36)$$

où  $K_{pp}$  et  $K_{pn}$  sont les facteurs de gain des transistors PMOS et NMOS en  $\mu A/V^2$ .  $W_{M1}$ ,  $L_{M1}$ ,  $W_{M2}$  et  $L_{M2}$  sont respectivement les dimensions des grilles des transistors  $M_1$  et  $M_2$ ,  $V_{th,M1}$  et  $V_{th,M2}$  sont les tensions de seuil des transistors  $M_1$  et  $M_2$ .

$K_{pp} = 58 \mu A/V^2$	$K_{pn} = 175 \mu A/V^2$	$V_{th,M1} = -0,6 \text{ V}$	$V_{th,M2} = 0,5 \text{ V}$
$W_{M1} = 0,8 \mu m$	$L_{M1} = 0,35 \mu m$	$W_{M2} = 0,8 \mu m$	$L_{M2} = 0,4 \mu m$
$V_{dda} = 3,3 \text{ V}$	$V_d = 3,1 \text{ V}$		

Le point de fonctionnement est obtenu pour un PhotoFET n'ayant pas collecté de charges. A partir des valeurs ci-dessus et de l'équation 2-36, nous obtenons  $I_{ph(dc)} = 10 \mu A$  avec  $I_{sf\_bias} = 20 \mu A$ . Notons que ce point de polarisation diffère pour chaque pixel. Ceci provient de la dispersion du dopage local des caissons N de la photodiode et des dispersions des longueurs et largeurs effectives des transistors  $M_1$  et secondairement  $M_2$ .

Les dispersions des points de fonctionnement de chaque PhotoFET représentent le bruit spatial fixe (bruit FPN : Fixed Pattern Noise) des pixels qui peut avoir une amplitude supérieure à celle du signal utile causé par l'impact d'une particule [51, 52].

### 2.5.1.3 Modèle "petit signal" du PhotoFET

Pour toutes les études suivantes, nous considérons que la transconductance  $g_{m,Mx}$  des transistors n et p est exprimée par l'équation suivante :

$$g_{m,Mx} = \sqrt{\frac{2 \cdot K_{p(n,p)} \cdot W_{Mx} \cdot I_{dsM(DC)}}{L_{Mx}}} \quad (2-37)$$

où  $K_{p(n,p)}$  est le facteur de gain des transistors n et p et  $I_{dsM(DC)}$ , le courant DC circulant entre le drain et la source des transistors.

La transconductance de substrat est définie par l'équation suivante :

$$g_{mb,Mx} = \left( \frac{\gamma}{2 \cdot \sqrt{2 \cdot \Phi_F - V_{bs}}} \right) \cdot g_{m,Mx} \quad \text{avec} \quad \gamma = \frac{\sqrt{2 \cdot \epsilon_{si} \cdot q \cdot N_{ch}}}{C_{ox}} \quad (2-38)$$

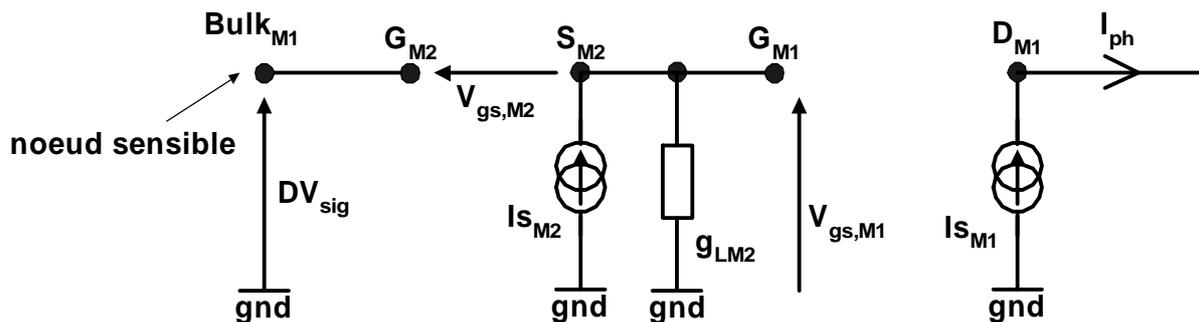
où  $\Phi_F$  est le potentiel de surface,  $V_{bs}$  la tension Bulk-source,  $C_{ox}$  la capacité d'oxyde mince de la technologie MOS, et  $N_{ch}$  la concentration de dopants dans le cristal de silicium au niveau du canal du transistor MOS.

La conductance drain-source s'écrit :

$$g_{ds,Mx} = \frac{1}{V_{e(n,p)} \cdot L_{Mx}} \quad (2-39)$$

où  $V_{e(n,p)}$  est la tension d'Early [53].

Le modèle petit signal du PhotoFET associé à l'étage suiveur nous permet de déterminer la réponse fréquentielle et le gain du dispositif.



$$\text{où } I_{s,M2} = g_{m,M2} \times V_{gs,M2} - G_{mb,M2} \times V_{gs,M1}$$

$$g_{LM2} = g_{ds,M2} + g_{ds,bias} + (C_{ds,M2} + C_{ds,bias} + C_{gs,M1}) \times p$$

$$I_{s,M1} = g_{m,M1} \times V_{gs,M1} + g_{mb,M1} \times DV_{sig}$$

$DV_{sig}$  est décrit par l'équation 2-21 en fonction du nombre de charges collectées et de  $C_{conv}$

$$\text{où } C_{conv} = C_{depl} + C_{jn,D2} + C_{connect} + C_{bs,M1} + C_{gd,M2} + C_{gs,M2}$$

Figure 2-15 : Modèle petit signal du PhotoFET et de l'étage suiveur.

A partir du modèle présenté en figure 2-15, nous déterminons l'expression du courant  $I_{ph}$  en fonction du nombre de charges collectées par la photodiode  $D_1$  :

$$I_{ph(sig)} = \left( g_{m,M1} \cdot \frac{g_{m,M2}}{g_{m,M2} + g_{mb,M2} + g_{L,M2}} + g_{mb,M1} \right) \cdot \left( \frac{q \cdot \text{nombre d'électron collectés}}{C_{conv}} \right) \quad (2-40)$$

Le courant délivré par le PhotoFET est proportionnel au nombre de charges collectées par le caisson N. Le gain du dispositif dépend de  $I_{ph(DC)}$  qui détermine  $g_{m,M1}$ . Comme  $I_{ph(DC)}$  est directement lié à  $I_{sf\_bias}$ , le gain du PhotoFET est réglable en contrôlant  $I_{sf\_bias}$ . De plus, par rapport aux éléments de détection présentés dans les paragraphes précédents, la sensibilité du dispositif est plus grande en raison de l'amplification opérée par le transistor PMOS [52].

La stimulation du PhotoFET avec 100 électrons provoque une variation de 1,58 mV du potentiel  $V_d$  de la diode  $D_1$ . Ceci nous permet de calculer  $C_{conv}$  égale à ~10,1 fF. Par simulation, nous obtenons  $I_{ph(sig)}$  égale à 65,5 nA pour 100 électrons collectés. A 300 K, le gain de conversion du PhotoFET sera de 655 pA/électron collecté avec  $I_{ph(DC)} = 17 \mu A$ ,  $g_{m,M1} = 42,9 \mu S$ ,  $g_{mb,M1} = 4,45 \mu S$ ,  $g_{m,M2} = 17,9 \mu S$ ,  $g_{mb,M2} = 2,8 \mu S$  et  $g_{L,M2}$  négligeable. Ces valeurs sont obtenues avec des dimensions du transistor  $M_1$  :  $W_{M1} = 0,8 \mu m$ ,  $L_{M1} = 0,35 \mu m$ .

La dynamique du signal en courant délivré par le PhotoFET n'est pas limitée par sa tension d'alimentation de 3,3 V. Ainsi, selon la valeur du courant de polarisation  $I_{sf\_bias}$ , la dynamique de sortie peut atteindre ~50  $\mu A$ . Par conséquent, le PhotoFET permettra détecter plusieurs impacts successifs de particules sans présenter de saturation.

### 2.5.1.4 Contribution en bruit du PhotoFET

Les contributions en bruit du PhotoFET proviennent de plusieurs composants bien distincts. La première est naturellement le bruit de la photodiode  $D_1$  et de la diode de compensation  $D_2$ . Nous avons donné une méthode de calcul de cette contribution avec l'équation 2-34. Nous obtenons ainsi la contribution en bruit de la photodiode et de la diode de compensation ramenée sur la sortie du PhotoFET.

$$\langle I_{ph,diode} \rangle = \sqrt{\int_0^{f_{up}} \left[ \left( g_{m,M1} \cdot \frac{g_{m,M2}}{g_{m,M2} + g_{mb,M2} + g_{L,M2}} + g_{mb,M1} \right)^2 \cdot V_{noise,diode}^2(f) \cdot df \right]} \quad (2-41)$$

où  $V_{noise,diode}^2(f)$  est la densité spectrale de bruit de la photodiode déterminée par l'équation 2-34 et  $f_{up}$  est la fréquence de coupure du montage. Cette dernière dépend de la charge capacitive placée sur la sortie du PhotoFET. Notons que la source de bruit  $V_{noise,diode}^2(f)$  et les transconductances  $g_{m,xx}$  et  $g_{L,xx}$  sont dépendantes de la température.

La contribution en bruit du transistor  $M_2$  de l'étage "suiveur" est donnée par l'équation :

$$\langle I_{ph,M2} \rangle = \sqrt{\int_0^{f_{up}} \left[ \left( g_{m,M1} \cdot \frac{1}{g_{m,M2} + g_{mb,M2} + g_{L,M2}} \right)^2 \cdot \frac{8}{3} \cdot k \cdot T \cdot g_{m,M2} \cdot df \right]} \quad (2-42)$$

La source de courant de l'étage "suiveur" est réalisée par un transistor NMOS nommé  $M_{bias}$ . La contribution en bruit liée au transistor  $M_{bias}$  s'écrit :

$$\langle I_{ph,Mbias} \rangle = \sqrt{\int_0^{f_{up}} \left[ \left( g_{m,M1} \cdot \frac{1}{g_{m,M2} + g_{mb,M2} + g_{L,M2}} \right)^2 \cdot \frac{8}{3} \cdot k \cdot T \cdot g_{m,Mbias} \cdot df \right]} \quad (2-43)$$

Enfin, les contributions en bruit temporelles et en  $1/f$  du transistor PMOS  $M_1$  sont données par les équations suivantes :

$$\langle I_{ph,M1} \rangle = \sqrt{\int_0^{f_{up}} \left[ \frac{8}{3} \cdot k \cdot T \cdot g_{m,M1} \cdot df \right]} \quad (2-44)$$

$$\langle I_{ph,M1(1/f)} \rangle = \sqrt{\int_0^{f_{up}} \left[ g_{m,M1}^2 \cdot \frac{K_a}{C_{ox}^2 \cdot W_{M1} \cdot L_{M1}} \cdot \frac{1}{f^\alpha} \cdot df \right]} \quad (2-45)$$

où  $\alpha \approx 1$  et  $K_a$  est un paramètre de bruit dépendant de la technologie employée [54].

D'après les équations 2-41 à 2-45, les contributions en bruit dominantes proviennent de l'étage suiveur ( $M_2$ ,  $M_{bias}$ ) et du transistor PMOS  $M_1$ . A une température de 300 K, la contribution en bruit totale  $I_{ph(noise)}$  du PhotoFET vaut  $\sim 10,4 \text{ nA}_{RMS}$ . Ceci correspond à une contribution en bruit ramenée sur l'entrée de la photodiode du PhotoFET de 16 électrons. Ces valeurs simulées sont obtenues avec  $I_{ph(DC)} = 17 \text{ } \mu\text{A}$  et une bande passante de 150 MHz. Cette bande passante a été définie en fonction des caractéristiques du microcircuit dans lequel le PhotoFET injecte son courant  $I_{ph}$ .

La contribution en bruit de la photodiode est minime par rapport aux contributions en bruit ajoutées par les transistors. Les dimensions optimales du transistor PMOS du PhotoFET ont été obtenues lors de simulations servant à trouver un compromis entre le gain de conversion et les contributions en bruit du PhotoFET.

Les résultats de simulations indiquent que les dimensions optimales sont  $L_{M1} = 0,35 \text{ } \mu\text{m}$  et  $W_{M1} = 0,8 \text{ } \mu\text{m}$ . Pour un transistor PMOS dont la dimension  $W_{M1}$  est supérieure à  $0,8 \text{ } \mu\text{m}$ , le gain de conversion diminue. Ceci provient de l'augmentation de la taille du caisson N qui doit accueillir le transistor. Par exemple,  $C_{conv} \approx 11 \text{ fF}$  lorsque  $W_{M1}$  est égale à  $1 \text{ } \mu\text{m}$  et  $C_{conv} \approx 20 \text{ fF}$  lorsque  $W_{M1} = 3 \text{ } \mu\text{m}$ .

Pour réduire les contributions en bruit du PhotoFET, notamment celles induites par le suiveur, une architecture simplifiée a été considérée. Elle fait l'objet du paragraphe suivant.

## 2.5.2 Le PhotoFET simplifié

### 2.5.2.1 Principe de fonctionnement

La conception des PhotoFETs simplifiés a été motivée par la suppression de l'étage suiveur. Pour assurer une polarisation DC satisfaisante du PhotoFET, nous avons implémenté une structure RC. Cette structure est un filtre passe-haut qui permet également de moduler le courant  $I_{ph}$  en fonction des variations du potentiel de la photodiode [52]. Cette nouvelle architecture est présentée en figures 2-16 :

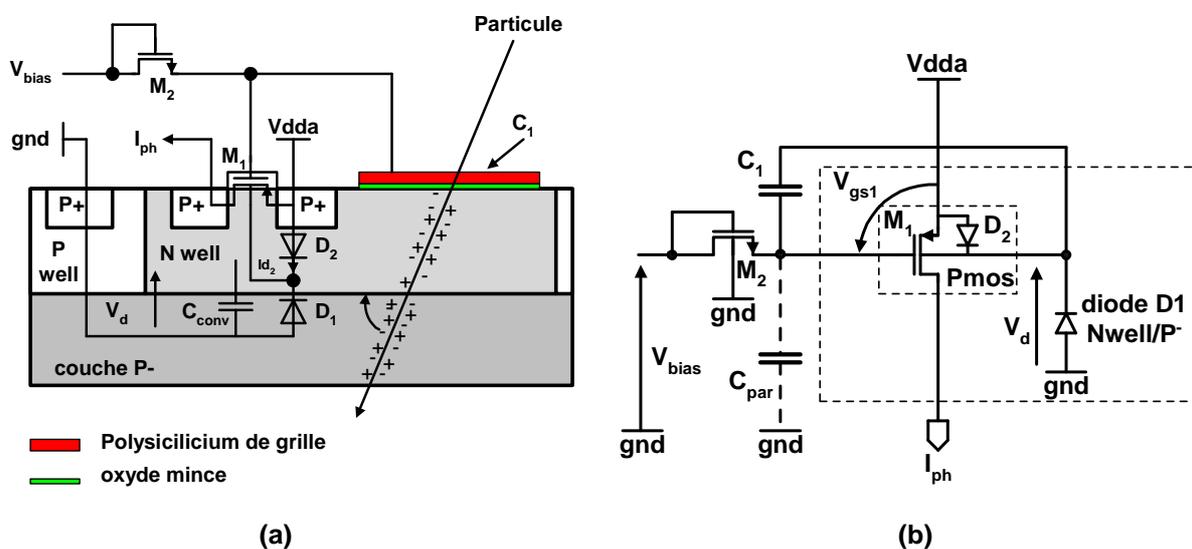


Figure 2-16 : (a) Vue en coupe du PhotoFET simplifié, (b) schéma électrique équivalent.

La photodiode génère un signal électrique lors de la collection des charges libérées par le passage d'une particule. Ce signal est transmis par la capacité de couplage  $C_1$  à la grille du transistor PMOS  $M_1$ . Cette capacité  $C_1$  est réalisée à l'aide d'une couche de polysilicium, une couche d'oxyde mince et avec le caisson N. En couplant  $C_1$  avec le transistor NMOS  $M_2$ , nous obtenons un filtre passe-haut. Ainsi, le potentiel  $V_{bias}$  fixera le point de polarisation de grille du transistor PMOS [55].

En choisissant une différence de potentiel  $V_{bias} - V_{dda}$  supérieure à la tension de seuil  $V_{thM1}$ , le transistor  $M_1$  sera en forte inversion. De plus, au sein de la structure de PhotoFET simplifié, le potentiel  $V_d$  de la photodiode  $D_1$  modulera le courant  $I_{ph}$  par la transconductance et par la transconductance de bulk du transistor  $M_1$ . Cette structure permettra de détecter les particules tout en s'affranchissant du suiveur nécessaire au PhotoFET présentée dans le paragraphe 2.5.1.

### 2.5.2.2 Point de polarisation du dispositif

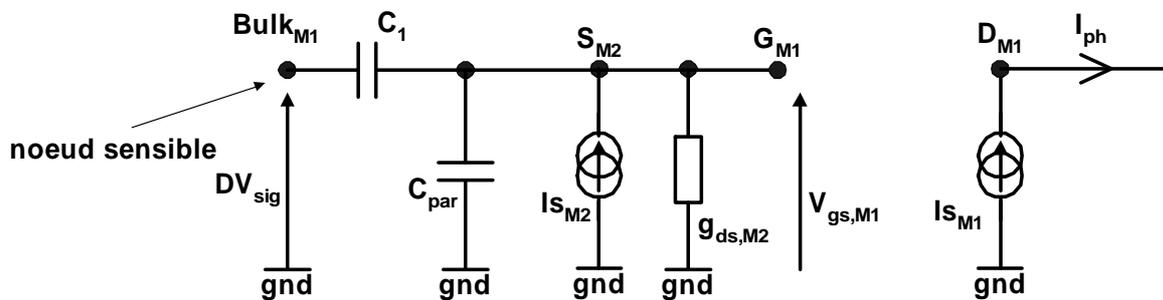
Avec un courant statique "quasi" nul (de l'ordre de l'atto A) traversant la grille du transistor  $M_1$ , le potentiel de la grille du transistor  $M_1$  est défini par  $V_{bias}$ . La capacité  $C_1$  sera chargée avec une tension égale à  $V_d - V_{bias}$ . Ainsi, le point de polarisation DC du transistor  $M_1$  sera indépendant de la tension  $V_d$  aux bornes de la photodiode  $D_1$ . Par conséquent, le courant  $I_{ph(DC)}$  est fixé par le potentiel  $V_{bias}$ .

$$I_{ph(DC)} = \frac{1}{2} \cdot K_{pp} \cdot \frac{W_{M1}}{L_{M1}} \cdot \left[ -(V_{dda} - V_{bias}) - V_{th,M1} \right]^2 \quad (2-46)$$

Selon la valeur du potentiel  $V_{bias}$ , le courant  $I_{ph(DC)}$  varie entre 0 et  $\sim 500 \mu A$ . Nous ne polariserons jamais le dispositif à un courant supérieur à  $50 \mu A$  pour des raisons évidentes de consommation globale des pixels.

### 2.5.2.3 Réponse AC du PhotoFET simplifié

La suppression de l'étage "suiveur" se traduit par une simplification du modèle du PhotoFET présenté dans la figure 2-15. Nous obtenons ainsi, le modèle ci-dessous :



où  $I_{S_{M2}} = g_{m,M2} \times -V_{gsM1}$ ,

$I_{S_{M1}} = g_{m,M1} \times V_{gsM1} + g_{mb,M1} \times DV_{sig}$

$C_{par} = C_{connexion} + C_{gs,M2} + C_{ds,M2} + C_{gs,M1}$ ,  $C_{connexion}$  est la capacité équivalente d'interconnexion entre la source du transistor  $M_2$  avec la grille du transistor  $M_1$  et une borne de la capacité  $C_1$ .

Figure 2-17 : Modèle petit signal du PhotoFET simplifié.

A partir du modèle présenté dans la figure 2-17, nous écrivons l'équation permettant de calculer le courant  $I_{ph(sig)}$  en fonction du nombre de charges collectées par la photodiode.

$$I_{ph(sig)} = \left( g_{m,M1} \cdot \frac{Z_{M2} \cdot C_1 \cdot p}{1 + Z_{M2} \cdot (C_1 + C_{par}) \cdot p} + g_{mb,M1} \right) \cdot \left( \frac{q \cdot \text{nombre d'électrons collectés}}{C_{conv}} \right) \quad (2-47)$$

ou  $Z_{M2} = 1/(g_{m,M2} + g_{ds,M2})$ ,  $C_{conv} = C_{depl} + C_{jn,D2} + C_{bs,M1}$ , et  $C_{par}$  est de l'ordre de 5fF.

La capacité parasite  $C_{par}$  atténue l'amplitude du signal émis par la photodiode lorsque celle-ci collecte des charges.  $Z_{M2}$  est l'impédance équivalente entre le drain et la source du transistor  $M_2$ . Celle-ci est principalement définie par  $g_{m,M2}$  et  $g_{ds,M2}$  ( $Z_{M2} = 1,96 T\Omega$ ) et l'effet de  $g_{mb,M2}$  est négligé. D'après les caractéristiques de la technologie AMS 0,35  $\mu m$ , la capacité  $C_1$  d'une surface de 11  $\mu m^2$  sera égale à 53,3 fF.

La fréquence de coupure du filtre passe haut est de l'ordre du hertz. L'équation 2-47 peut être simplifiée car le temps de collection des charges, qui est de l'ordre de la dizaine de nanosecondes, est bien inférieur à la constante de temps du filtre.

$$I_{ph} = \left( g_{m,M1} \cdot \frac{C_1}{(C_1 + C_{par})} + g_{mb,M1} \right) \cdot \left( \frac{q \cdot \text{nombre d'électrons collectés}}{C_{conv}} \right) \quad (2-48)$$

A partir de l'équation 2-48, nous constatons un effet de la capacité parasite  $C_{par}$ , qui réduit d'un facteur  $\sim 1,1$  l'amplitude du signal délivré par la photodiode  $D_1$ .

La stimulation du PhotoFET avec 100 électrons provoque une variation de 1,24 mV du potentiel de la diode  $D_1$ . Ceci nous permet de calculer  $C_{conv} \approx 12,9$  fF. Par simulation, nous obtenons une variation de  $I_{ph(sig)}$  56 nA pour 100 électrons collectés. Le gain de conversion du PhotoFET vaut 560 pA/électron avec  $I_{ph(DC)} = 20 \mu A$ ,  $g_{m,M1} = 44,59 \mu S$  et  $g_{mb,M1} = 4,59 \mu S$ . Ces valeurs sont obtenues avec des dimensions du transistor  $M_1$  :  $W_{M1} = 0,8 \mu m$ ,  $L_{M1} = 0,35 \mu m$  et une température de 300 K.

La dynamique de sortie du PhotoFET simplifié pourra atteindre 50  $\mu A$ . Il est alors envisageable de détecter les impacts successifs de plusieurs particules.

#### 2.5.2.4 Contribution en bruit du PhotoFET simplifié

Dans cette version simplifiée de PhotoFETs, les sources de bruit dominantes sont celles de la photodiode  $D_1$  et de la diode de compensation  $D_2$ .

$$\langle I_{ph,diode} \rangle = \sqrt{\int_0^{f_{up}} \left[ \left( g_{m,M1} \cdot \frac{C_1}{C_1 + C_{par}} + g_{mb,M1} \right)^2 \cdot V_{noise,diode}^2(f) \cdot df \right]} \quad (2-49)$$

où  $f_{up}$  est la fréquence de coupure du montage,  $V_{noise,diode}^2(f)$  est la densité spectrale de bruit de la photodiode donnée par l'équation 2-34.

Cette contribution en bruit sera plus faible que pour le PhotoFET présenté dans le paragraphe 2.5.1 car la valeur de la capacité  $C_{conv}$  est plus élevée.

La contribution en bruit du transistor  $M_2$  de l'étage polarisation est donnée par l'équation :

$$\langle I_{ph,M2} \rangle = \sqrt{\int_0^{f_{up}} \left[ g_{m,M1} \cdot \frac{g_{ds,M2}}{g_{m,M2} + g_{ds,M2}} \right]^2 \cdot \frac{8}{3} \cdot k \cdot T \cdot g_{m,M2} \cdot df} \quad (2-50)$$

Enfin, les contributions en bruit temporelle et en 1/f du transistor PMOS  $M_1$  sont données par les équations suivantes :

$$\langle I_{ph,M1} \rangle = \sqrt{\int_0^{f_{up}} \left[ \frac{8}{3} \cdot k \cdot T \cdot g_{m,M1} \cdot df \right]} \quad (2-51)$$

$$\langle I_{ph,M1(1/f)} \rangle = \sqrt{\int_0^{f_{up}} \left[ g_{m,M1}^2 \cdot \frac{K_a}{C_{ox}^2 \cdot W_{M1} \cdot L_{M1}} \cdot \frac{1}{f^\alpha} \cdot df \right]} \quad (2-52)$$

D'après les équations 2-49 à 2-52, les contributions en bruit dominantes proviennent des transistors  $M_2$  et  $M_1$ . Notons que les perturbations apportées par la tension de polarisation  $V_{bias}$  sont minimisées par un filtre passe bas réalisé par  $Z_{M2}$  et  $C_{par}$ , dont la fréquence de coupure est de l'ordre du hertz (vue de l'entrée  $V_{bias}$ ).

Avec une température de 300 K, les simulations indiquent que la contribution en bruit totale  $I_{ph(noise)}$  du PhotoFET intégrée sur bande passante de 150 MHz s'élève à  $\sim 8$  nA<sub>RMS</sub> avec ( $I_{ph(DC)} = 20$   $\mu$ A). Ceci correspond à une contribution en bruit ramenée sur l'entrée de la photodiode de 12 électrons.

## 2.6 Mémoire de courant : double échantillonnage corrélé "in pixel"

### 2.6.1 Intégration d'un traitement CDS dans les pixels

Dans les capteurs CMOS utilisant les PhotoFETs (simplifiés ou non), les dispersions entre les dimensions et les tensions de seuil des transistors sont responsables d'offset DC entre les pixels. Ils se traduisent par une dispersion des courants  $I_{ph(DC)}$  délivrés par les pixels d'un capteur [52].

Les offsets DC se traduisent par du bruit FPN. Ce bruit doit impérativement être minimisé car il est généralement supérieur à l'amplitude du signal utile. Par conséquent, nous avons implémenté un double échantillonnage corrélé (CDS) au sein du pixel pour réduire ce bruit.

La méthode de traitement CDS est généralement employée pour réduire le bruit  $1/f$  ou Flicker Noise [56, 57]. Tel que le présente la figure 2-18, le CDS sera intégré dans les pixels, dans lesquels il sera connecté à la sortie du PhotoFET à deux mémoires de courant.

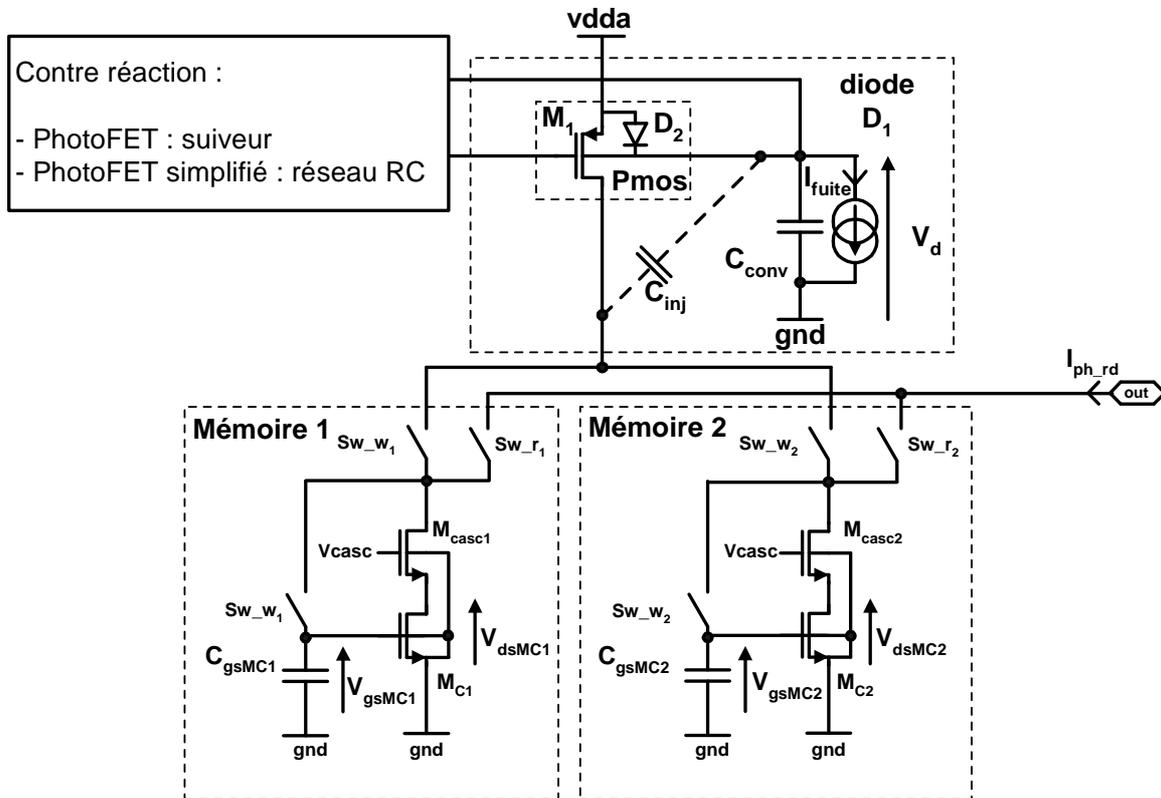


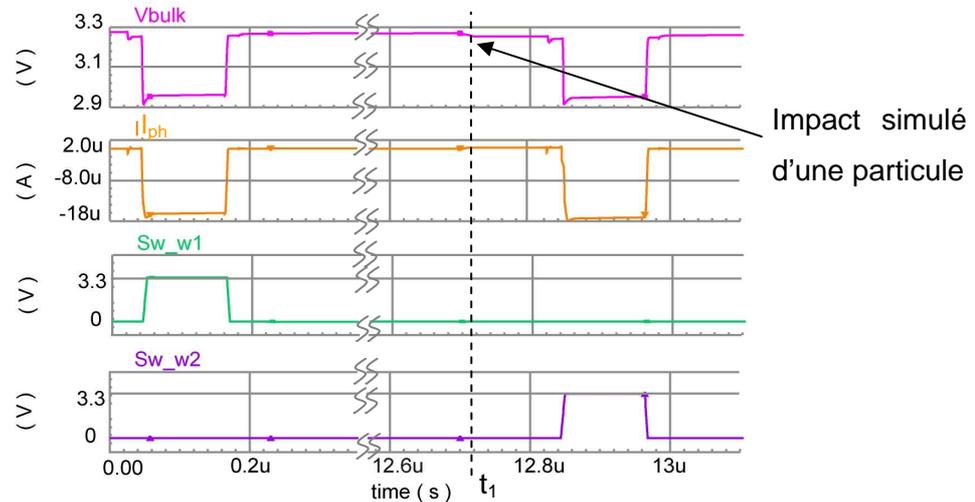
Figure 2-18 : Schéma électrique du Double Echantillonnage Corrélé à mémoires de courant connecté au PhotoFETs et au PhotoFETs simplifiés.

Notons que les paramètres des mémoires de courant sont identiques pour les PhotoFETs (simplifiés ou non).

## 2.6.2 Principe de fonctionnement du CDS.

Les deux mémoires de courant enregistrent successivement avec un délai fixe (temps d'intégration), le courant  $I_{ph}$  délivré par le PhotoFET. Durant la phase d'enregistrement dans la mémoire 1, le transistor  $M_{C1}$  crée une tension  $V_{gsMC1}$  en fonction du courant  $I_{ph}$ . Cette tension sera stockée dans la capacité de grille représentée par  $C_{gsMC1}$  dans la figure 2-18. La transconductance du transistor  $M_{C1}$  est volontairement dégradée pour augmenter la variation  $V_{gsMC1}$  en fonction du courant  $I_{ph}$ . Ceci réduit également la sensibilité des cellules mémoires aux injections de charges générées par les interrupteurs  $Sw_{w1}$  (transistors NMOS) [52]. Le transistor cascode  $M_{casc}$  stabilise le potentiel  $V_{dsMC1}$ , réduisant d'un facteur  $g_{mMcasc} \cdot r_{dsMcasc}$  les erreurs de mémorisation et de lecture du courant  $I_{ph}$  [58].

La figure 2-19 représente les chronogrammes d'écriture du courant  $I_{ph}$  dans les mémoires de courant. Nous représentons par un impact, l'évènement physique correspondant à la collection de 1000 électrons par la photodiode à l'instant  $t_1$ .



**Figure 2-19 : Chronogrammes d'écriture du courant  $I_{ph}$  dans les mémoires 1 et 2.**

Durant une première étape de mémorisation, dans l'intervalle temporel 0 à 200 ns, le courant  $I_{ph}$  délivré par le PhotoFET est enregistré dans la mémoire 1 lors de l'activation de  $Sw_{w1}$ . Nous remarquons une chute de la tension  $V_d$  de 0,3 V lors de cette phase d'écriture. Ce phénomène est dû au pont capacitif  $C_{inj}$  avec  $C_{conv}$  (cf. figure2-18). Par simulation, le potentiel moyen stocké dans la capacité mémoire  $C_{gsMC1}$  est typiquement de l'ordre de l'ordre de 1,5 V pour  $I_{ph(DC)} = 20 \mu A$ . Ainsi, avec une capacité  $C_{conv}$  de  $\sim 10$  fF et  $C_{inj} \approx 2$  fF, nous retrouvons une chute de tension aux bornes de la diode  $D_1$  de  $\sim 0,28$  V.

La valeur de  $C_{gsMC1}$  vaut  $\sim 150$  fF avec  $L_{MC1} = 7,55 \mu m$  et  $W_{MC1} = 2,5 \mu m$ . Avec ces dimensions de grille du transistor  $M_{C1}$ , les mémoires de courant saturent pour un courant  $I_{ph}$  supérieur à  $\sim 50 \mu A$  avec  $V_{dda} = 3,3V$  et  $\sim 25 \mu A$  avec  $V_{dda} = 2,5V$ .

Durant la phase d'écriture, le courant  $I_{ph} = I_{ph(t=0,1 \mu s)} = I_{ph(DC)}$  est stable et le potentiel  $V_{gsMC1}$  croît ou décroît pour atteindre la valeur escomptée suivant l'équation 2-53 :

$$V_{gs,MC1} = \sqrt{\frac{2 \cdot I_{ph(DC)}}{K_{pn} \cdot \frac{W_{MC1}}{L_{MC1}}}} + V_{th,MC1} \quad (2-53)$$

où  $K_{pn}$  est le facteur de gain du transistor NMOS en  $\mu A/V^2$ .

Lorsque l'interrupteur  $Sw_{w1}$  s'ouvre, le phénomène inverse d'injection se produit et la tension  $V_d$  reprend sa valeur initiale (proche de  $V_{dda}$ ). Durant le temps d'intégration entre  $t = 200$  ns et  $t = 12,8 \mu s$ , une particule traverse le capteur à l'instant  $t_1$ . Ceci provoque une chute du potentiel  $V_d$  de la photodiode.

Lors de l'écriture du courant  $I_{ph}$  dans la mémoire 2, les phénomènes d'injection se reproduisent. Désormais, le courant  $I_{ph} = I_{ph(t=12,9\mu s)} = I_{ph(DC)} + I_{ph(sig)}$  (où  $I_{ph(sig)}$  est la variation de courant liée au passage d'une particule). Ainsi, le potentiel stocké dans  $V_{gsMC2}$  sera égal :

$$V_{gs,MC2} = \sqrt{2 \cdot \frac{I_{ph(DC)} + I_{sig}}{K_{pn} \cdot \frac{W_{MC2}}{L_{MC2}}}} + V_{th,MC2} \quad (2-54)$$

Ainsi, la différence de potentiel entre les deux mémoires sera égale à :

$$\Delta V_{gsMC(2-1)} = \sqrt{2 \cdot \frac{I_{ph(DC)} + I_{sig}}{K_{pn} \cdot \frac{W_{MC2}}{L_{MC2}}}} - \sqrt{2 \cdot \frac{I_{ph(DC)}}{K_{pn} \cdot \frac{W_{MC1}}{L_{MC1}}}} + \Delta V_{th,MC(2-1)} \quad (2-55)$$

où  $W_{MC1} = W_{MC2} = 2,5 \mu m$ ,  $L_{MC1} = L_{MC2} = 7,55 \mu m$ .

D'après les simulations,  $I_{ph(DC)} = 17 \mu A$ ,  $g_{m,MC1} \approx 35 \mu S$ ,  $g_{mb,MC1} \approx 8 \mu S$  et  $I_{ph(sig)} \approx 65,5 nA$  (pour 100 électrons collectés), nous obtenons une variation  $\Delta V_{gs,MC(2-1)} \approx 1,6 mV$ . Nous déterminons également l'offset résiduel sur  $\Delta V_{gsMC(2-1)} \approx 500 \mu V$  soit  $I_{offsetMEM} \approx 22 nA$  ramené sur la sortie du pixel. L'atténuation des piédestaux  $I_{ph(dc)}$  par le CDS vaut  $\sim 58 dB$ . Cet offset résiduel provient des dispersions entre les paramètres des transistors  $M_{C1}$  et  $M_{C2}$ .

Lors de la phase de lecture, la mémoire 2 est connectée en sortie par l'interrupteur  $Sw_{r2}$  et le potentiel  $V_{gsMC2}$  est convertie en courant par le transistor  $M_{C2}$ . Le courant  $I_{ph\_rd}$  s'écrit :

$$I_{ph\_rd} = I_{ph\_rd,MEM2} = I_{ph(DC)} + I_{ph(sig)} \quad (2-56)$$

A la fin de la lecture du courant de la mémoire 2, la mémoire 1 est connectée en sortie et  $I_{ph\_rd}$  prend alors la valeur :

$$I_{ph\_rd} = I_{ph\_rd,MEM1} = I_{ph(DC)} + I_{offsetMEM} \quad (2-57)$$

Ainsi, la différence des courants  $I_{ph\_rd,MEM2}$  et  $I_{ph\_rd,MEM1}$  représente le signal de sortie du pixel, avec  $I_{phsig}$  proportionnel au nombre de charges collectées par la photodiode.

### 2.6.3 Contribution en bruit des mémoires

La bande passante est de l'ordre de 150 MHz durant la phase d'écriture, alors qu'elle ne vaudra que  $\sim 65 MHz$  durant la phase de lecture. Le bruit ajouté et échantillonné par le système de mémorisation est donné par l'équation 2-58 [59].

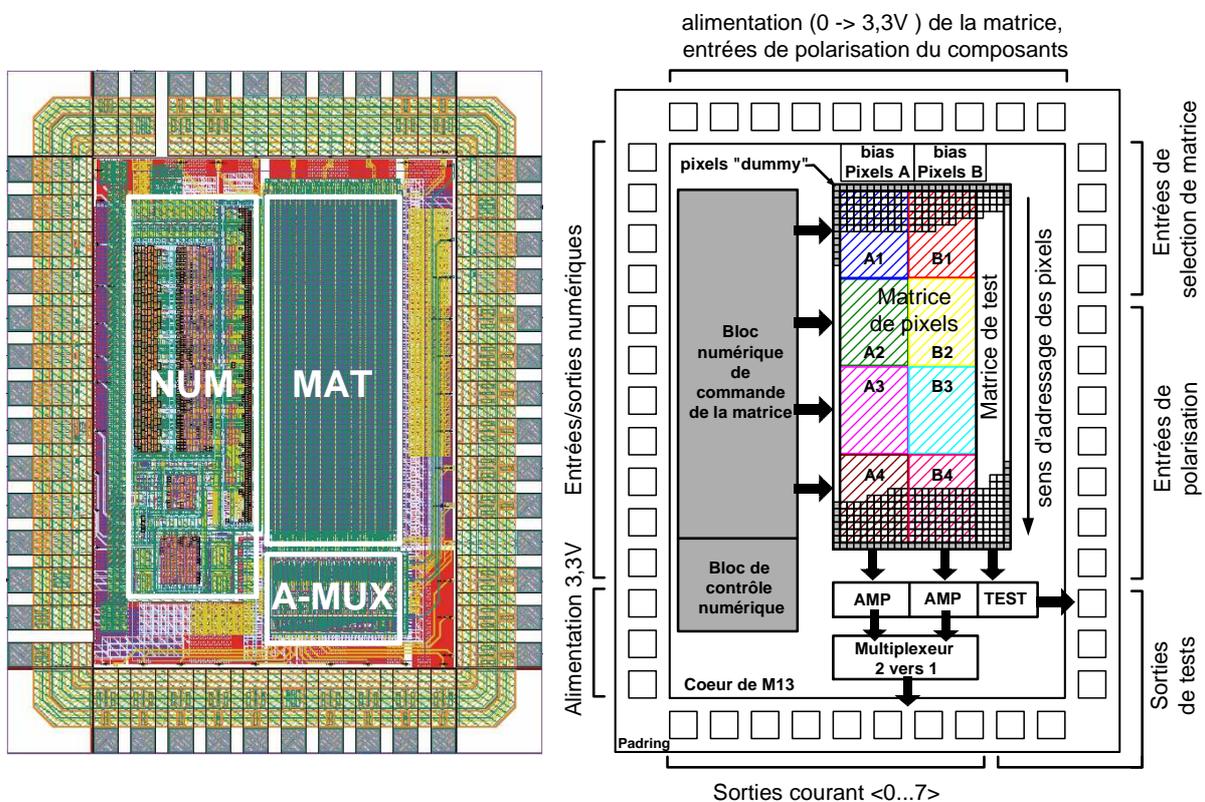
$$\overline{I_{ph\_mem}} = g_{m,MC} \cdot \frac{k \cdot T}{C_{gs,Mc}} \quad (2-58)$$

La contribution en bruit totale simulée des mémoires  $I_{ph\_mem(noise)}$  vaut  $\sim 5 nA_{RMS}$  durant la phase d'écriture. Cette contribution s'additionnera quadratiquement au bruit des PhotoFETs.

## 2.7 Réalisation d'un Capteur CMOS à PhotoFETs

### 2.7.1 Architecture générale du capteur CMOS

Dans le cadre des recherches effectuées sur les PhotoFETs (simplifiés ou non), ces deux types d'éléments de détection et des circuits de lecture ont été intégrés dans un ASIC nommé Mimosa 13. Cette puce ( $1,7\text{mm} \times 2,7\text{mm}$ ) est représentée en figure 2-20 (a). Elle a été fabriquée avec une technologie AMS  $0,35\mu\text{m}$  submicronique (substrat Hi-res) et a permis de mesurer les performances (en bruit, sensibilité, consommation, ...) des PhotoFETs [50].



(a)

(b)

Figure 2-20 : (a) Dessin physique (layout) du capteur Mimosa 13, (b) organisation du capteur.

Au sein du capteur, un circuit de contrôle numérique NUM (figure 2-20 (a)) génère les signaux numériques pilotant les pixels de la matrice MAT. Ce circuit délivre également les signaux permettant de synchroniser le capteur avec les circuits externes de lecture des sorties en courant  $\langle 0 \dots 7 \rangle$ .

La zone sensible aux particules est divisée en 2 matrices de  $8 \times 64$  pixels de  $20 \mu\text{m} \times 20 \mu\text{m}$  : une matrice A contient des PhotoFETs et des mémoires de courant et une matrice B est composée des PhotoFETs simplifiés et des mémoires de courant.

Chaque matrice A et B est divisée en 4 sous-matrices de  $8 \times 16$  pixels nommées A1 - A4 et B1 - B4. Dans le paragraphe 2.8, nous présenterons les caractéristiques mesurées des pixels à PhotoFETs (A3) et à PhotoFETs simplifiés (B4) ayant démontré les meilleures performances (dessins physiques : cf. **Annexe B.1**). Les microcircuits d'amplification et de multiplexage A-MUX (figure 2-20 (a)) augmentent l'amplitude du signal délivré par les pixels et interfacent ces derniers avec les dispositifs de lecture. Un multiplexeur sélectionne la matrice A ou B qui renverra ses informations sur 8 sorties en mode courant.

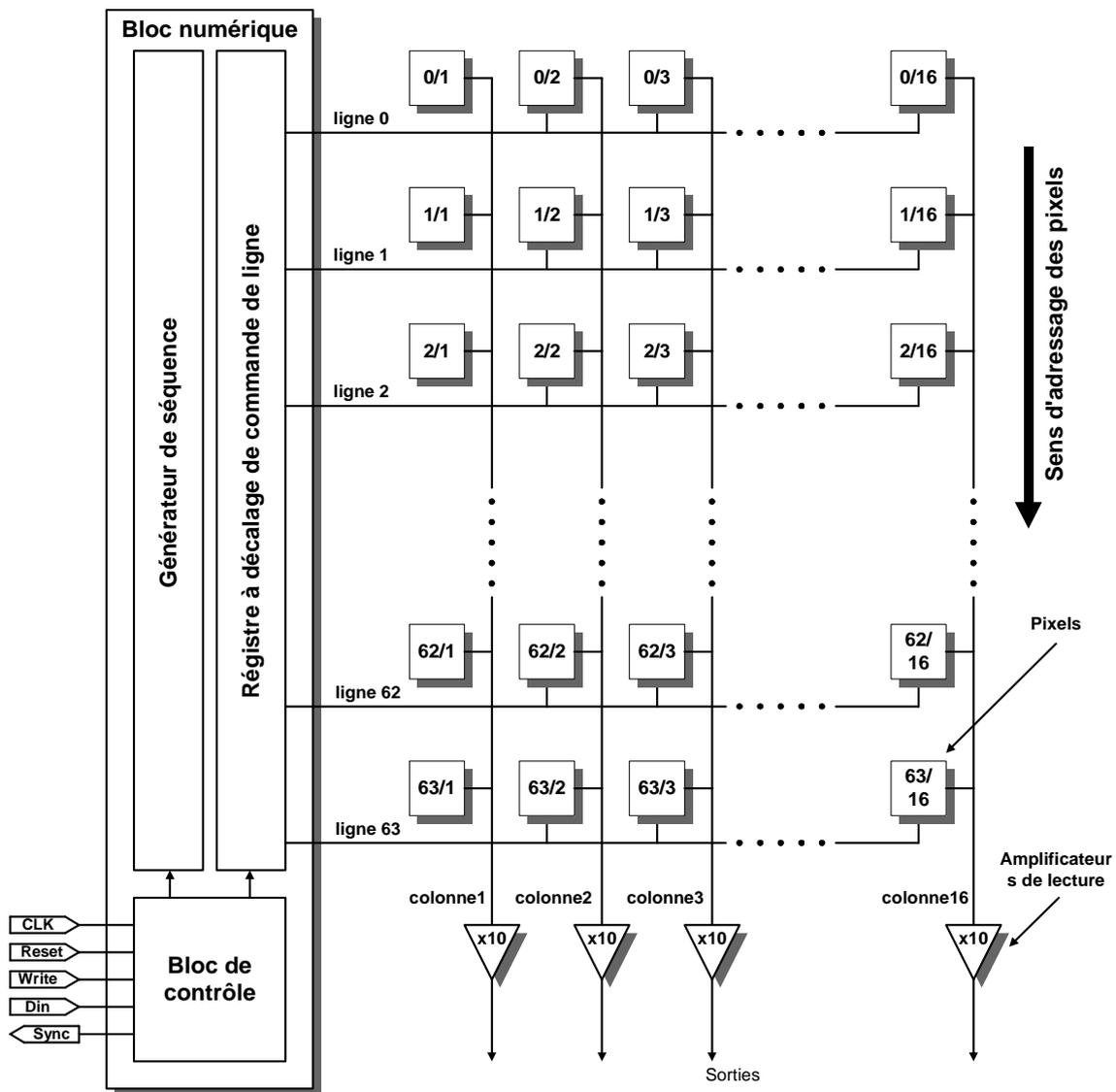
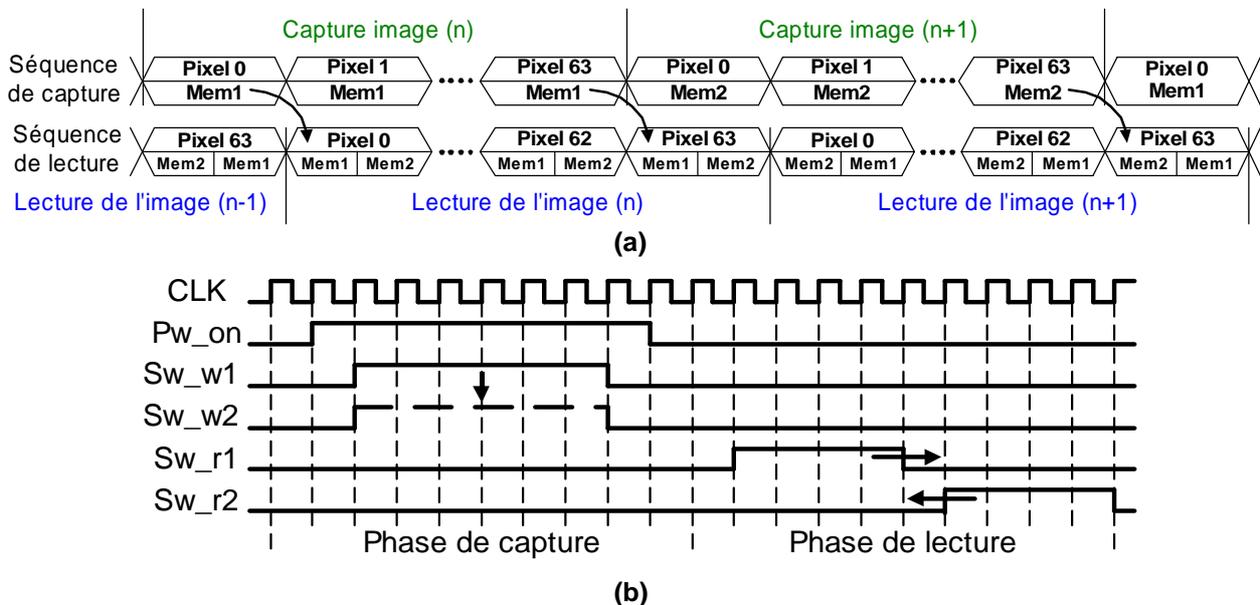


Figure 2-21 : Organisation détaillée du circuit Mimosa 13 (multiplexeur non représenté).

La figure ci-dessus présente l'organisation de la matrice de pixel de Mimosa 13. Chaque ligne de pixels est adressée successivement de la ligne 0 jusqu'à la ligne 63. L'adressage d'une ligne est composé d'une phase d'écriture de l'image courante  $n$  dans la mémoire de courant, puis d'une phase de lecture de l'image courante  $n$  et de l'image  $n-1$ .

## 2.7.2 Capture et lecture d'images avec le capteur

Les séquences de commandes internes au circuit M13 permettent de réaliser une lecture parallélisée et d'écriture "volet roulant"<sup>1</sup> présentées sur les figures 2-22 (a) et 2-22 (b).



**Figure 2-22 : (a) Séquences des phases de capture et de lecture d'images, (b) chronogrammes détaillés des signaux pilotant les pixels.**

Le signal Pw\_on active l'étage "suiveur" intégré dans les pixels à PhotoFETs de la matrice A (paragraphe 2.5.1). Les signaux Sw\_w1 et Sw\_w2 commandent la phase d'écriture du courant des PhotoFETs (simplifiés ou non) dans les mémoires Mem1 et Mem2. Enfin, les signaux Sw\_r1 et Sw\_r2 pilotent la phase de lecture des mémoires. Afin d'assurer la capture et la lecture des images n et n-1, les signaux Sw\_w1, Sw\_w2, Sw\_r1 et Sw\_r2 sont "permutés" temporellement. Tous les signaux Sw\_rx, Sw\_wx et Pw\_on sont injectés successivement dans les pixels des lignes 0 à 63.

Les cycles de capture et de lecture d'une ligne de pixels dure 10 périodes d'horloge. Par exemple, avec une fréquence d'horloge CLK de 100 MHz, la durée de lecture d'une ligne de pixels s'élèvera à 100 ns. Soit 6,4  $\mu$ s pour lire tous les pixels de la matrice. Ces caractéristiques temporelles définissent la structure du banc de test à associer au circuit Mimosa 13.

Lors de la présentation des résultats de mesure dans le paragraphe 2.8, la fréquence maximale pour laquelle le circuit fonctionne efficacement est de 50 MHz (soit 12,8  $\mu$ s par capture d'image ou encore 78215 captures d'images par seconde).

<sup>1</sup> volet roulant : méthode de capture qui expose les pixels ligne par ligne (Annexe A.3).

## 2.7.3 Outils de caractérisation des PhotoFETs

### 2.7.3.1 Banc de test

Un banc de test expérimental (figure 2-23) a été réalisé pour mesurer les caractéristiques des PhotoFETs intégrés dans le capteur Mimosa 13. Ce banc de test implémente le circuit Mimosa 13 et plusieurs cartes électroniques pour alimenter, polariser et interfacer ce circuit. Il implémente également un système de refroidissement, un système d'acquisition de données (DAS) synchronisé par le capteur Mimosa 13 et un ordinateur pour stocker les informations délivrées par les DAS.

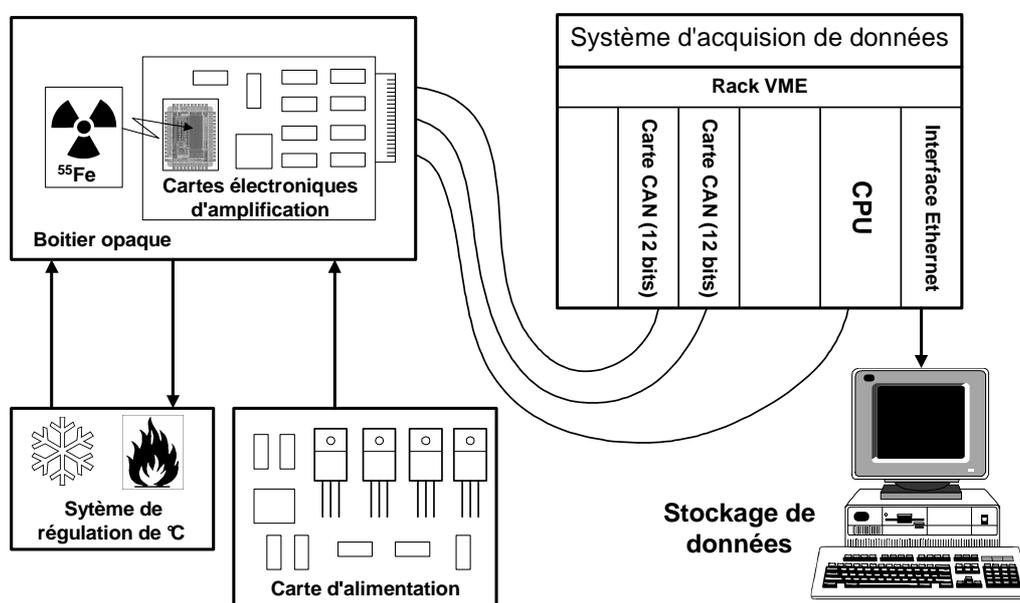


Figure 2-23 : Organisation du banc de test de Mimosa 13.

Le circuit Mimosa 13 est installé sur une carte électronique (non représentée) qui contient des amplificateurs trans-résistances. Une seconde carte électronique d'amplification assure l'interfaçage avec le DAS. La source de  $^{55}\text{Fe}$  est placée sur le circuit Mimosa 13. Cet assemblage est installé dans un boîtier opaque pour s'affranchir de l'effet parasite des photons de la lumière ambiante. Le système de refroidissement assure une régulation thermique au sein du boîtier de sorte que la température du circuit Mimosa 13 soit réglable de 0°C à 40°C. La carte électronique d'alimentation génère les tensions d'alimentation et de polarisation des cartes électroniques d'amplification et du circuit Mimosa 13. Le système d'acquisition est constitué d'un châssis VME implémentant 2 cartes CAN 12 bits soit 8 voies d'acquisition au total. Ce système convertit les données analogiques délivrées par le circuit Mimosa 13 en données numérisées, qui seront stockées dans un micro-ordinateur. Des informations complémentaires sur le banc de test sont données dans l'**Annexe B.2**.

### 2.7.3.2 La chaîne de lecture : organisation générale

Dans le banc de test, 8 chaînes de lecture ont été implémentées. Chaque chaîne est constituée de pixels, de microcircuits et de systèmes électroniques d'amplification.

Dans la figure 2-24, les 64 pixels d'une même colonne sont lus successivement. Ils renvoient un courant  $I_{pix}$  image de la grandeur physique mesurée (nombre de charges libérées par le passage ou l'absorption d'une particule ionisante).

Le courant  $I_{pix}$  délivré par les pixels constitue l'entrée de la chaîne d'amplification présentée en figure 2-24. En entrée de cette chaîne, une source de courant  $I_{comp}$  permet de compenser la composante continue  $I_{ph(DC)}$  du signal  $I_{pix}$ . Un amplificateur de courant de gain  $\sim 10$  consommant  $\sim 370 \mu W$  permet d'amplifier les amplitudes des signaux délivrés par les pixels. Un amplificateur trans-résistance de gain  $\sim 4,7 \text{ kV/A}$  converti le courant renvoyé par le capteur CMOS en une tension. Celle-ci représente les informations délivrées par les pixels. Un système d'amplification différentielle (gain de  $\sim 4$ ) assure la transmission du signal au Convertisseur Analogique-Numérique (CAN) 12 bits du système d'acquisition.

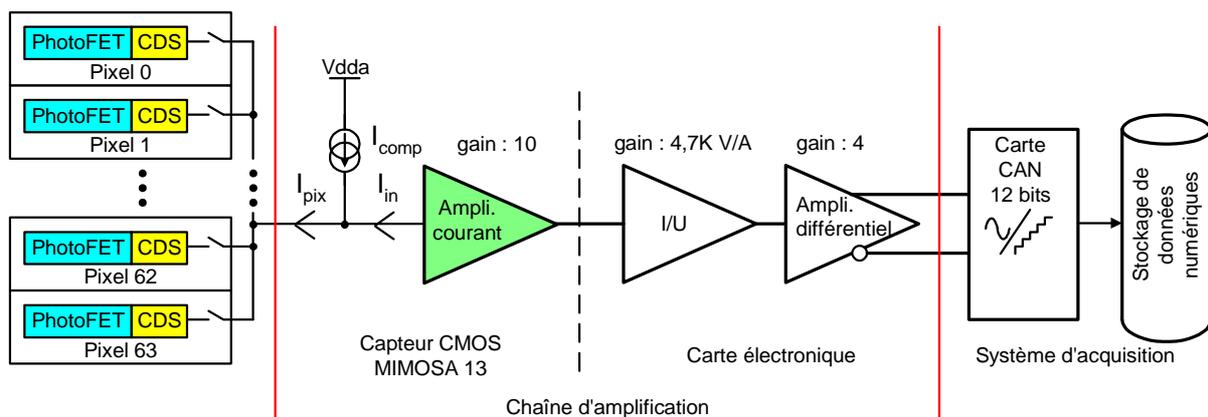


Figure 2-24 : Chaîne de lecture de MIMOSA 13.

D'après les résultats de mesure, la bande passante de la chaîne d'amplification est de  $\sim 65 \text{ MHz}$ . Son gain de conversion  $G_{amp}$  vaut  $\sim 191 \text{ kV/A}$  pour une dynamique d'entrée  $I_{in}$  de  $\pm 15 \mu A$ . La valeur du gain  $G_{amp}$  a été définie pour utiliser la pleine dynamique d'entrée du CAN [52]. Le gain de conversion  $G_{amp\_can}$  de la chaîne d'amplification couplée au CAN 12 bits vaut  $\sim 0,376 \text{ LSB/nA}$  (soit  $1/G_{amp\_can} \approx 2,66 \text{ nA/LSB}$ ). A partir de la valeur de  $G_{amp\_can}$  et de la dynamique de conversion du CAN égale à  $2^{12}$ , nous obtenons une dynamique d'entrée équivalente  $I_{in}$  de  $\sim 10,89 \mu A$ .

Avec une température  $T_{boite} = 273 \text{ K}$ , la contribution en bruit  $C_{amp\_can(noise)}$  de la chaîne d'amplification et du CAN vaut  $\sim 4,85 \text{ LSB}$  (soit  $I_{amp\_can(noise)} \approx 12,9 \text{ nA}_{RMS}$  ramenée sur l'entrée  $I_{in}$  de l'amplificateur en courant intégré dans le capteur).

### 2.7.3.3 Schéma et caractéristiques des circuits d'amplifications intégrés et de conversion I/U

L'amplificateur de courant intégré dans MIMOSA 13 est réalisé par un miroir de courant polarisé ( $M_1$ ,  $M_2$ ). L'amplificateur I/U est implémenté sur la carte M13 BOARD.

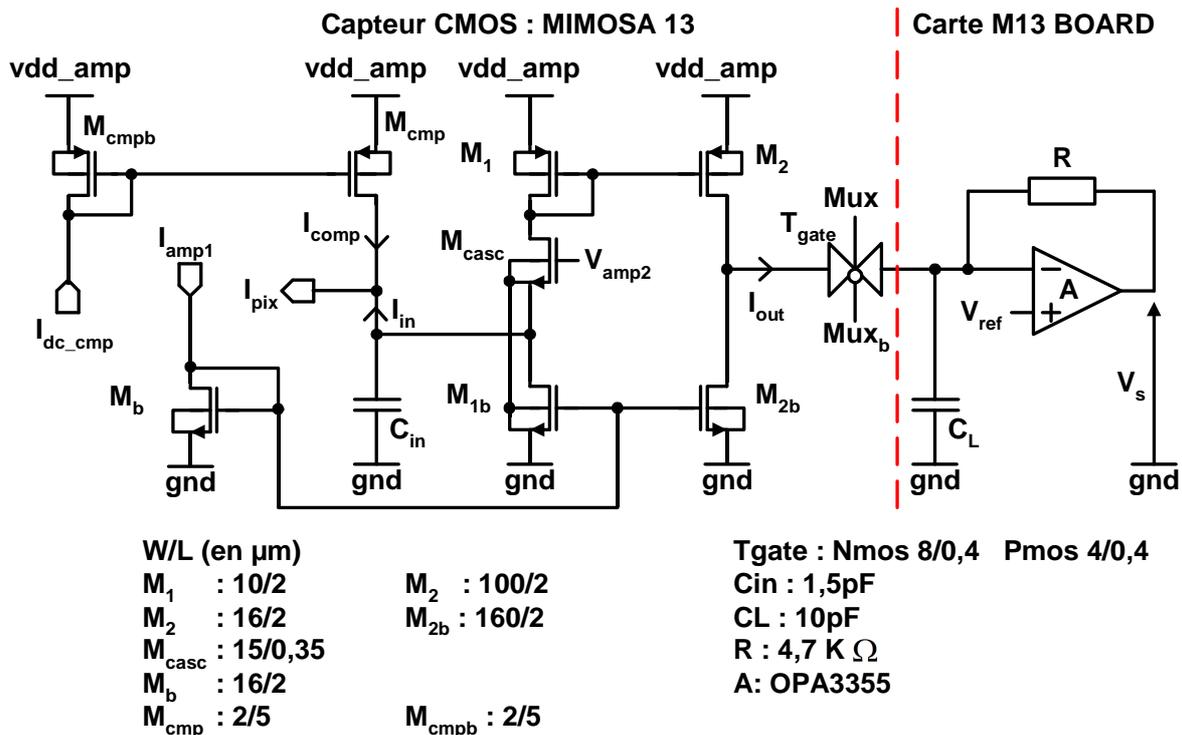


Figure 2-25 : Schéma de l'amplificateur en courant et de l'amplificateur I/U.

Le signal d'entrée  $I_{in}$  est composé du courant  $I_{pix}$  délivré par les pixels et du courant de compensation  $I_{comp}$  délivré par le transistor  $M_{cmp}$ . Le courant  $I_{comp}$  permettra de compenser les composantes continues des pixels  $I_{pix(DC)}$ . Il interviendra également lors du calcul du piédestal moyen des pixels.

La capacité  $C_{in}$  est composée de la capacité parasite des interconnexions métalliques des 64 pixels ( $\sim 700$  fF) et de la capacité équivalente de sortie des pixels (soit  $64 \times \sim 5$  fF). La capacité  $C_{in}$  est estimée à  $\sim 1$  pF. Le microcircuit constitué des transistors  $M_1$ ,  $M_{1b}$ ,  $M_2$ ,  $M_{2b}$  et  $M_{casc}$  permet d'amplifier le courant  $I_{in}$  par un gain  $\sim 10$ . L'interrupteur analogique  $T_{gate}$  réalise une partie du multiplexeur 2 vers 1 qui permet de sélectionner la matrice A ou B.

La capacité  $C_L$  est composée des capacités équivalentes du plot de sortie du circuit M13, du fil de connexion entre la puce et la carte électronique, des pistes de la carte électronique et de la broche d'entrée du circuit d'amplification A. La valeur estimée de la capacité  $C_L$  est de l'ordre de 10 pF.

### 2.7.3.4 Caractéristiques de la chaîne d'amplification et du CAN

La table ci-dessous présente les caractéristiques simulées et mesurées expérimentalement des circuits de la chaîne d'amplification et du CAN.

$I_{amp1} = 10 \mu A$ , $V_{amp2} = 2,4 V$ , $T_{boite} = 273 K$	Amplificateur intégré + $M_{comp}$	Amplificateur I/U	Amplificateur différentiel	Carte CAN 12 bits
Simulations et calculs				
Gain	$9,58 \pm 0,15$	$4,7 k\Omega \pm 47 \Omega$	$4 \pm 0,1$	-
Bande passante <sup>1</sup> à -3 dB (MHz)	$26,8 \pm 0,5$	$200 \pm 2$	$80 \pm 1,2$	Voir la note <sup>2</sup>
Contribution en bruit ramenée sur $I_{in}$ ( $nA_{RMS}$ ) en sortie du CAN (LSB)	$\sim 8$ $\sim 3$	$\sim 2,2$ $\sim 0,83$	$\sim 1,2$ $\sim 0,45$	-
Mesures				
Gain	$10,48 \pm 0,23$	$4,65 k\Omega \pm 19 \Omega$	$3,92 \pm 0,07$	-
Bande passante à -3 dB (MHz)	$65 \pm 7$	$80 \pm 8$	$70 \pm 7$	-
Contribution en bruit ramenée sur $I_{in}$ ( $nA_{RMS}$ ) en sortie du CAN (LSB)	$11,5 \pm 1,3$ $4,32 \pm 0,49$	$5,5 \pm 0,5$ $2,06 \pm 0,2$	$1,6 \pm 0,2$ $0,6 \pm 0,1$	$1,3 \pm 0,16$ $0,49 \pm 0,06$

Caractéristiques globales de la chaîne d'amplification et du CAN		
	Calculs et simulation	Mesures
Gain : $G_{amp}$ (k V/A)	$180 \pm 9$	$191 \pm 8$
Gain : $G_{amp\_can}$ (LSB/nA)	$0,355 \pm 0,019$	$0,376 \pm 0,017$
$1/G_{amp\_can}$ : (nA/LSB)	$2,82 \pm 0,15$	$2,66 \pm 0,12$
Bande passante <sup>3</sup> à -3 dB (MHz)	$26,8 \pm 0,5$	$65 \pm 7$
Contribution en bruit ramenée sur $I_{in} : I_{amp\_can(noise)}$ ( $nA_{RMS}$ ) en sortie : $C_{amp\_can(noise)}$ (LSB)	$\sim 8,4$ $\sim 3$	$12,9 \pm 1,4$ $4,85 \pm 0,53$
Dynamique d'entrée $I_{in}$ ( $\mu A$ )	$11,55 \pm 0,61$	$10,89 \pm 0,49$

**Tableau 2-1 : Table récapitulative des caractéristiques des éléments du banc de test.**

<sup>1</sup> : La bande passante simulée des amplificateurs I/U et différentiels n'intègre pas les composants parasites : capacités des pistes de cuivre, des broches des circuits intégrés et des câbles différentiels.

<sup>2</sup> : Le taux d'échantillonnage maximal des CAN 12 bits est de 20 M échantillon/s.

<sup>3</sup> : La différence entre la bande passante simulée et mesurée de l'amplificateur en courant intégré provient de la capacité est  $C_L$  dont la valeur est de l'ordre de 5 pF et non de  $\sim 10$  pF.

### 2.7.3.5 Chaîne d'amplification : signaux d'entrées et de sortie

Dans la figure 2-26, nous représentons le signal en courant  $I_{\text{pix}}$  idéal délivré par une colonne de 64 pixels dont le temps de lecture est de 200 ns (fréquence de CLK = 50 MHz).

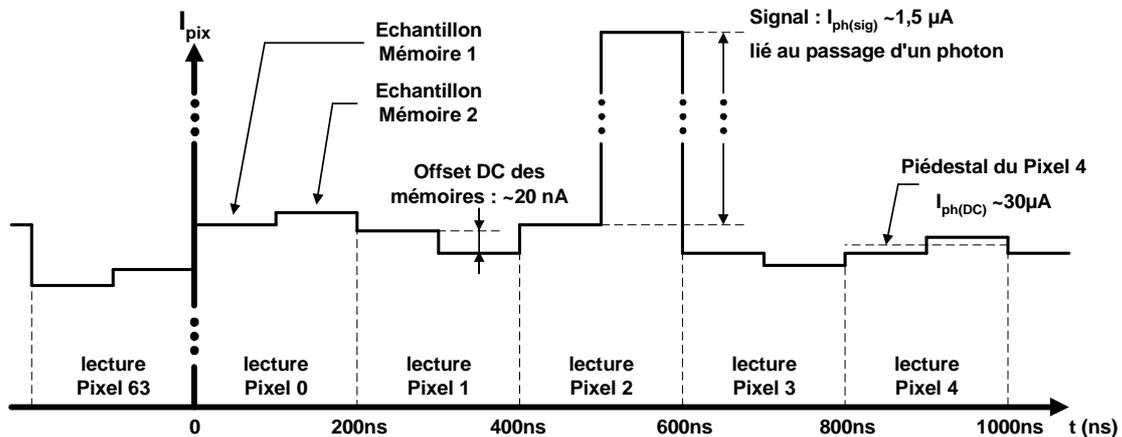


Figure 2-26 : Signal  $I_{\text{pix}}$  délivré par une colonne de pixels.

Dans le chronogramme de la figure ci-dessus, nous retrouvons les piédestaux des pixels et leur dispersion (bruit FPN), l'offset DC entre les échantillons de deux mémoires d'un même pixel et la différence de charges intégrées lors de la détection d'un photon X par le capteur. Ce signal est traité par la chaîne d'amplification afin d'obtenir des signaux analogiques amplifiés injectés dans les CAN.

Dans la figure 2-27, le signal C1 synchronise le début de la lecture des matrices A ou B du capteur. Le chronogramme C2 est le signal de sortie de la chaîne d'amplification. Il est composé d'une succession d'échantillons analogiques représentant les signaux délivrés par les mémoires M1 et M2 des pixels (avec une fréquence de CLK = 10 MHz).

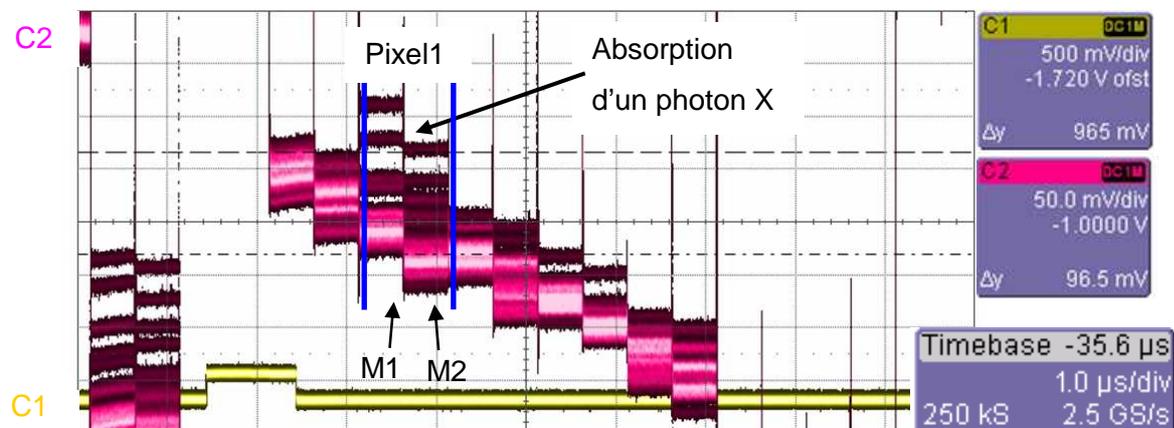
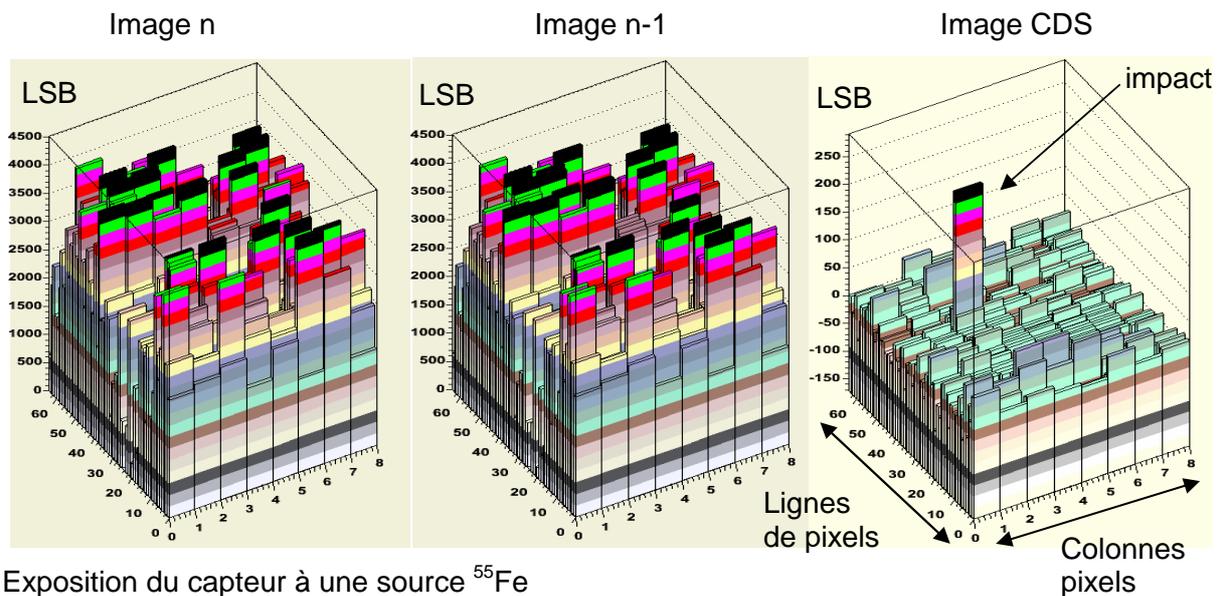


Figure 2-27 : Signal de sortie unipolaire positive de l'étage différentiel.

La différence d'amplitude observée entre l'échantillon de la mémoire 1 et celui de la mémoire 2 indique l'absorption d'un photon (impact) dans la couche  $P^-$  sous le pixel 1 [52].

### 2.7.3.6 Format des données enregistrées par le banc de test

Les signaux analogiques délivrés par 8 chaînes d'amplification sont convertis en données numérisées sur 12 bits dans le système d'acquisition. Ces dernières représentent les courants délivrés par les mémoires 1 et 2 des  $8 \times 64$  pixels. Ces données contiennent les informations  $S_n(j)$  de l'image  $n$  et  $S_{n-1}(j)$  de l'image antérieure  $n-1$  capturées par le capteur. Elles sont représentées graphiquement par les histogrammes des figures 2-28 (a et b).



Exposition du capteur à une source  $^{55}\text{Fe}$

(a)

(b)

(c)

**Figure 2-28 :** (a) Histogramme des données  $S_{n-1}(j)$  délivrées par les mémoires 1 des pixels, (b) histogramme des données  $S_n(j)$  délivrées par les mémoires 2, (c) histogramme CDS.

L'historgramme de la figure 2-28 (c) représente graphiquement les données  $S_{\text{cds}_n}(j)$  de l'image CDS résultant de la soustraction des données numérisées  $S_n(j)$  par  $S_{n-1}(j)$ . Cette soustraction réalise un traitement CDS qui atténue les piédestaux et le bruit FPN des pixels. Ainsi, ce traitement permet de révéler les signaux relatifs aux impacts de particules car initialement, ces derniers sont noyés dans le bruit FPN.

Affranchies des piédestaux, les données  $S_{\text{cds}_n}(j)$  indiquent la présence d'un impact positionné aux niveaux d'un pixel siège au sein du capteur. Cet impact représente la signature d'un photon X de 5,9 keV émis par une source  $^{55}\text{Fe}$ . Son amplitude représente le nombre d'électrons collectés par le pixel siège. Ces données numérisées seront utilisées lors de l'extraction des caractéristiques des chaînes de lecture à PhotoFETs.

Dans le paragraphe suivant, nous présenterons les résultats de mesure des caractéristiques des PhotoFETs (simplifiés ou non).

## 2.8 Résultats de la caractérisation des PhotoFETs

Par l'analyse des données numérisées, nous allons déterminer les caractéristiques de la chaîne de lecture à PhotoFETs suivantes : piédestaux, piédestaux résiduels (après CDS), atténuation des piédestaux, atténuation du bruit FPN, gain de conversion CCF (Charge to Current Factor) et contribution en bruit ENC (Equivalent Noise Charges).

Lors des expérimentations, nous avons retenu une configuration de réglage du banc de test et de polarisation des pixels. Dans cette configuration, les performances de la chaîne de lecture et des pixels sont optimales.

- Banc de test : fréquence de CLK = 50 MHz,  $T_{boite} = 273$  K,  $I_{amp1} = 10$   $\mu$ A,  $V_{amp2} = 2,5$  V.
- Pixels à PhotoFETs :  $I_{sf\_bias} = 10$   $\mu$ A,  $V_{dda} = 3,3$  V,  $V_{dd\_sf} = 3,3$  V,  $V_{casc} = 2,5$  V.
- Pixels à PhotoFETs simplifiés :  $V_{dda} = 3,3$  V,  $V_{bias} = 1$  V,  $V_{casc} = 2,9$  V.

Les résultats de mesure présentés dans les paragraphes suivants ont été obtenus avec les réglages ci-dessus.

### 2.8.1 Atténuation des piédestaux

La valeur moyenne des piédestaux des pixels (ramenée en sortie des pixels) est obtenue en analysant les données  $S_n(j)$  et  $S_{n-1}(j)$  des images  $n$  et  $n-1$  avec la formule 2-59.

$$I_{Pied\_moy} = \frac{1}{G_{amp\_can}} \times \left( \frac{1}{N} \cdot \sum_{n=1}^N \left[ \frac{1}{j_{max}} \cdot \sum_{j=1}^{j_{max}} \left[ \frac{S_n(j) - S_{n-1}(j)}{2} \right] \right] \right) + I_{comp} \quad (2-59)$$

où  $N$  est le nombre d'images analysées ( $N = 2000$ ),  $j_{max}$  le nombre de pixels dans la matrice,  $j$  le numéro du pixel,  $I_{comp}$  le courant de compensation en entrée de la chaîne d'amplification et  $G_{amp\_can}$  le gain de la chaîne d'amplification couplée au CAN.

La valeur moyenne des piédestaux résiduels des pixels (après traitement CDS) est obtenue en analysant les données  $S_{cds\_n}(j)$  des images CDS avec la formule 2-60.

$$I_{pied\_cds\_moy} = \frac{1}{G_{amp\_can}} \times \left( \frac{1}{N} \cdot \sum_{n=1}^N \left[ \frac{1}{j_{max}} \cdot \sum_{j=1}^{j_{max}} [S_{cds\_n}(i)] \right] \right) \quad (2-60)$$

Les piédestaux résiduels des pixels proviennent principalement de l'offset entre leurs deux mémoires de courant. En divisant le paramètre  $I_{pied\_cds\_moy}$  par  $I_{pied\_moy}$ , nous déterminons l'atténuation moyenne opérée par le traitement CDS sur les piédestaux des pixels.

Dans la table ci-dessous, nous présentons les résultats de mesure des piédestaux et de leur atténuation pour les chaînes de lecture à PhotoFETs (simplifié ou non).

	$I_{comp}$ ( $\mu A$ )	$I_{piéd\_moy}$ ( $\mu A$ )	$I_{piéd\_cds\_moy}$ (nA)	Atténuation des piédestaux (dB)
PhotoFET	$31,0 \pm 1,6$	$37,4 \pm 1,8$	$58 \pm 49$	$-56,2 \pm 5,7$
PhotoFET simplifié	$22,5 \pm 1,1$	$28,8 \pm 1,4$	$70 \pm 50$	$-52,2 \pm 5,1$

**Tableau 2-2 : Résultats de mesure du facteur d'atténuation des piédestaux.**

D'après la table 2-2, l'atténuation moyenne des piédestaux est de l'ordre de 52 à 56 dB. Dans le prochain paragraphe, nous présenterons les résultats de mesure de l'atténuation du bruit FPN par le traitement CDS.

## 2.8.2 Atténuation du bruit FPN

Le bruit FPN provient des variations des piédestaux entre les pixels. Ces dernières proviennent principalement des dispersions de plusieurs paramètres des microcircuits constituant les pixels : dimensions, profils de dopage, ... Pour quantifier le bruit FPN et son atténuation par le traitement CDS, nous utilisons les mesures de la variation (écart type)  $\sigma_{I_{piéd}}$  des piédestaux et la variation  $\sigma_{I_{piéd\_cds}}$  des piédestaux résiduels (ramenée en sortie des pixels).

La table ci-dessous présente les mesures du bruit FPN et l'atténuation qu'il subit lors du traitement CDS.

	$\sigma_{I_{piéd}}$ ( $\mu A$ )	$\sigma_{I_{piéd\_cds}}$ (nA)	Atténuation du bruit FPN (dB)
PhotoFET	$2,03 \pm 0,10$	$49 \pm 2,5$	$-32,4 \pm 0,9$
PhotoFET simplifié	$1,23 \pm 0,06$	$50 \pm 2,5$	$-28,0 \pm 0,9$

**Tableau 2-3 : Résultats de mesure du facteur d'atténuation du bruit FPN.**

D'après la table ci-dessus, l'atténuation moyenne du bruit FPN est de l'ordre de 30 dB, démontrant l'efficacité du traitement CDS. Les données numérisées  $S_{cds\_n}(j)$  résultantes, représentent les informations délivrées par les pixels affranchis des piédestaux et du bruit FPN. Celles-ci seront employées pour déterminer la contribution en bruit et les gains de conversion des pixels à PhotoFETs (simplifiés ou non).

### 2.8.2.1 Contribution en bruits de la chaîne de lecture

Les contributions en bruit des chaînes de lecture  $C_{\text{bruit}}(j)$  sont déterminées en injectant les données numérisées  $S_{\text{cds}_n}(j)$  dans l'équation 2-61, avec  $j$  le numéro du pixel analysé.

$$C_{\text{bruit}}(j) = \sqrt{\frac{1}{N} \cdot \left[ \sum_{n=1}^N (S_{\text{cds}_n}(j) - \text{ped\_cds}(j))^2 \right]} \quad (2-61)$$

où  $N$  est le nombre d'images analysées ( $N = 2000$ ),  $j$  le numéro du pixel analysé et  $\text{ped\_cds}(j)$  le piédestal individuel du pixel  $j$  exprimé en LSB.

Disposant des données  $C_{\text{bruit}}(j)$ <sup>1</sup>, nous traçons la distribution des bruits des chaînes de lecture en fonction de chaque pixel et estimons la valeur moyenne du bruit :  $C_{\text{bruit\_moy}}$ . De plus, nous déterminons le paramètre  $\sigma_{\text{bruit}}$  qui représentant les variations (écart type) du bruit. Ces dernières proviennent des dispersions des circuits intégrés des pixels.

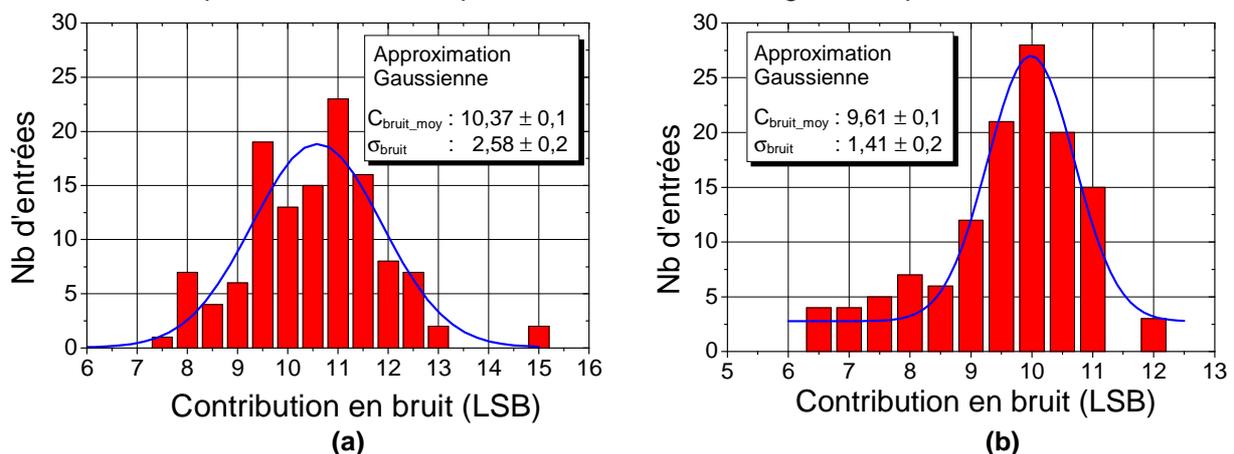


Figure 2-29 : Distribution de la contribution en bruit totale (avec CDS), (a) des pixels à PhotoFET, (b) des pixels à PhotoFETs simplifiés.

	$C_{\text{bruit\_moy}}$ (LSB)	$\sigma_{\text{bruit}}$ (LSB)	$C_{\text{bruit\_tot}}$ (LSB)	$I_{\text{bruit\_tot}}$ ramenée en sortie des pixels ( $nA_{\text{RMS}}$ )
PhotoFET	$10,4 \pm 0,1$	$2,6 \pm 0,2$	$10,4 \pm 2,8$	$27,6 \pm 9,1$
PhotoFET simplifié	$9,6 \pm 0,1$	$1,4 \pm 0,2$	$9,6 \pm 1,6$	$25,6 \pm 5,7$

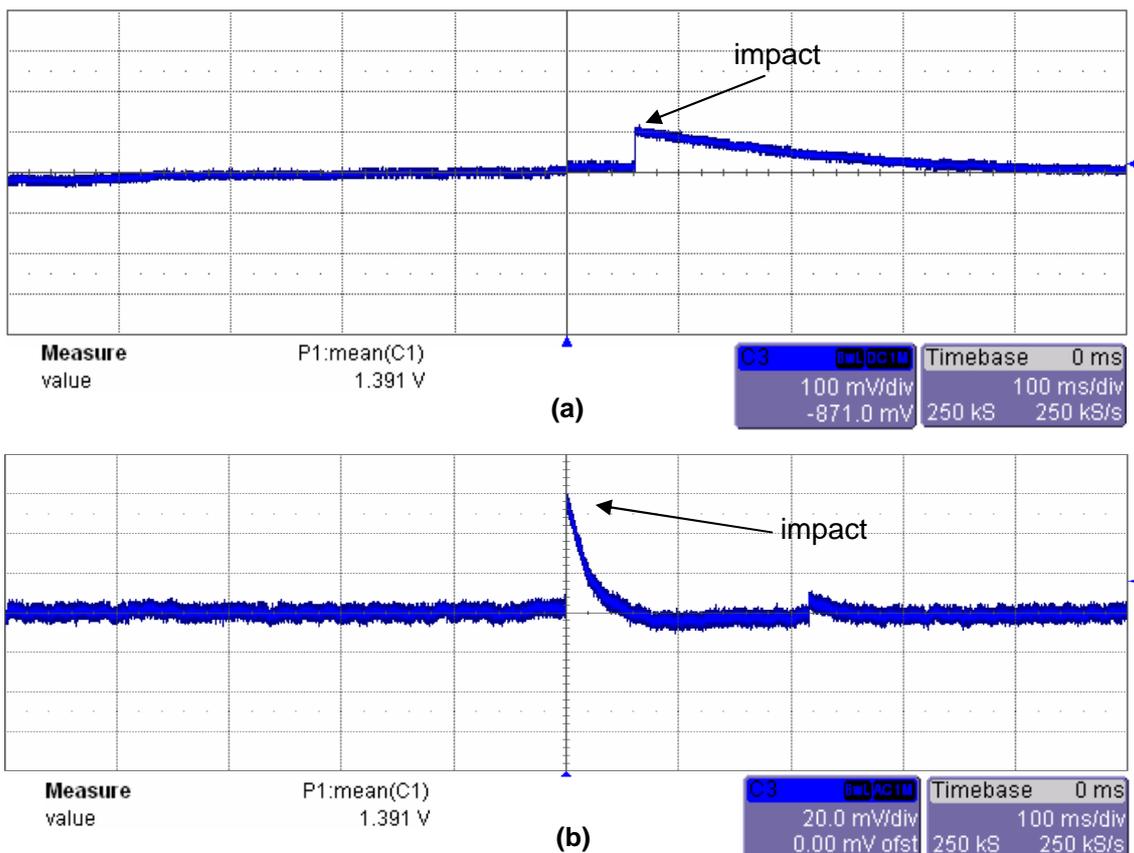
Tableau 2-4 : Résultats de mesure de la contribution en bruit totale (avec CDS).

Les paramètres  $C_{\text{bruit\_tot}}$  et  $I_{\text{bruit\_tot}}$  représentent la contribution en bruit "totale" des pixels intégrant également les incertitudes de mesures. Le paramètre  $C_{\text{bruit\_tot}}$  sera utilisé pour déterminer la contribution en bruit ENC ramenée sur l'entrée des PhotoFETs.

<sup>1</sup>  $C_{\text{bruit}}(j)$  : paramètre exprimé en quantum (LSB) du CAN 12 bits. Il représente les courants  $I_{\text{ph}}$  en sortie des pixels multipliés par le gain  $G_{\text{amp\_can}}$  de la chaîne d'amplification et du CAN.

### 2.8.2.2 Estimation du bruit induit par le traitement CDS

Pour quantifier exhaustivement l'ordre de grandeur des perturbations ajoutées par les mémoires de courant (CDS), nous avons mesuré le bruit de la chaîne de lecture dénuée du traitement CDS. Dans cette configuration de test, les figures ci-dessous représentent les signaux de sortie de la chaîne d'amplification (cf. figure 2-24). Par conséquent, ces figures représentent également les courants délivrés par les PhotoFETs (simplifiés ou non).



**Figure 2-30 : Signal de sortie unipolaire positive de l'étage différentiel, (a) du PhotoFET et (b) du PhotoFET simplifié.**

Les échelons (impact) présents sur les chronogrammes ci-dessus proviennent de l'impact d'un photon X. Après ces échelons, le retour à l'état initial de la polarisation des PhotoFETs est représenté par une décharge sur les chronogrammes. Ce comportement provient de la photodiode à polarisation continue qui est présente par construction dans les PhotoFETs (cf. paragraphe 2.5). La durée de la décharge est de l'ordre de 100 ms à 300ms selon la version de PhotoFET. Elle est du même ordre de grandeur que les durées de décharges déterminées avec l'équation 2-33 (cf. paragraphe 2.4.2.3 : photodiode à polarisation continue).

Les signaux présentés par les figures 2-30 (a et b) sont numérisés et stockés par le système d'acquisition. Les données numérisées sont employées pour extraire la contribution en bruit  $C_{\text{bruit\_no\_cds}}$  de la chaîne de lecture (dénuee du traitement CDS). Dans la table ci-dessous, nous comparons cette contribution  $C_{\text{bruit\_no\_cds}}$  à  $C_{\text{bruit\_tot}}$  (contribution en bruit de la chaîne de lecture avec le traitement CDS).

	$C_{\text{bruit\_no\_cds}}$ (LSB)	$I_{\text{bruit\_no\_cds}}$ (nA <sub>RMS</sub> )	$C_{\text{bruit\_tot}}$ (LSB)	$I_{\text{bruit\_tot}}$ (nA <sub>RMS</sub> )	Augmentation de la contribution en bruit (%)
PhotoFET	$5,6 \pm 0,2$	$14,9 \pm 1,2$	$10,4 \pm 2,8$	$27,6 \pm 9,1$	$1,85 \pm 0,57$
PhotoFET simplifié	$5,1 \pm 0,2$	$13,5 \pm 1,2$	$9,6 \pm 1,6$	$25,6 \pm 5,7$	$1,89 \pm 0,39$

**Tableau 2-5 : Résultats de mesure de la contribution en bruit (sans CDS).**

Disposant de  $C_{\text{bruit\_no\_cds}}$  et  $C_{\text{bruit\_tot}}$ , nous constatons une différence définie par un facteur  $\sim 1,9$ . L'ordre de grandeur de celui-ci est prévisible car, intrinsèquement, le CDS multiplie la contribution en bruit thermique par un facteur  $\sqrt{2}$  [56]. Or, la différence entre le facteur  $\sim 1,9$  et  $\sqrt{2}$  peut être imputée au bruit thermique des transistors de mémorisation du CDS et des perturbations subies par le nœud sensible des PhotoFETs. Celles-ci sont provoquées par les injections de charges lors des phases d'enregistrement du courant  $I_{\text{ph}}$  délivré par les PhotoFETs (cf. paragraphe 2.6.6).

Nous constatons qu'une fraction importante du bruit provient du CDS. Or, ce dernier est indispensable pour réduire la complexité des futurs circuits de traitement intégrés dans les capteurs CMOS : convertisseurs analogique-numérique, identification des signatures laissées par les particules, sparsification, ... (cf. paragraphe 1.4.4).

Dans les paragraphes suivants, nous déterminerons le gain de conversion des PhotoFETs (simplifiés ou non). Celui-ci est obtenu par l'identification et l'analyse des signatures laissées par les particules dans les données  $S_{\text{cds\_n}}(j)$ .

### 2.8.2.3 Identification des impacts de particules

Pour identifier les signatures laissées par les impacts des particules, les données  $S_{\text{cds\_n}}(j)$  sont divisées respectivement par les contributions en bruit  $C_{\text{bruit}}(j)$  de chaque pixel. Ceci permet d'obtenir un paramètre de rapport signal à bruit pour chaque information délivré par les pixels. Si le rapport signal à bruit est supérieur à 5 (défini empiriquement), nous considérerons que le pixel a collecté des charges. Ainsi, les impacts identifiés proviennent bien d'une particule, et non du bruit des pixels. Les données des pixels sélectionnés seront mises à disposition lors du calcul du gain de conversion des PhotoFETs.

### 2.8.2.4 Gain de conversion CCF et contribution en bruit ENC

La caractérisation du gain de conversion CCF des pixels à PhotoFETs requiert l'enregistrement des informations de plusieurs milliers de impacts pour obtenir des résultats significatifs. Par conséquent, un grand nombre d'images capturées (typiquement 5 millions) seront analysées avec un algorithme d'identification des impacts. Pour déterminer le gain CCF, les échantillons de signaux sélectionnés par l'algorithme permettront de tracer les distributions du signal délivré par les pixels, présentés en figure 2-31 (a et b).

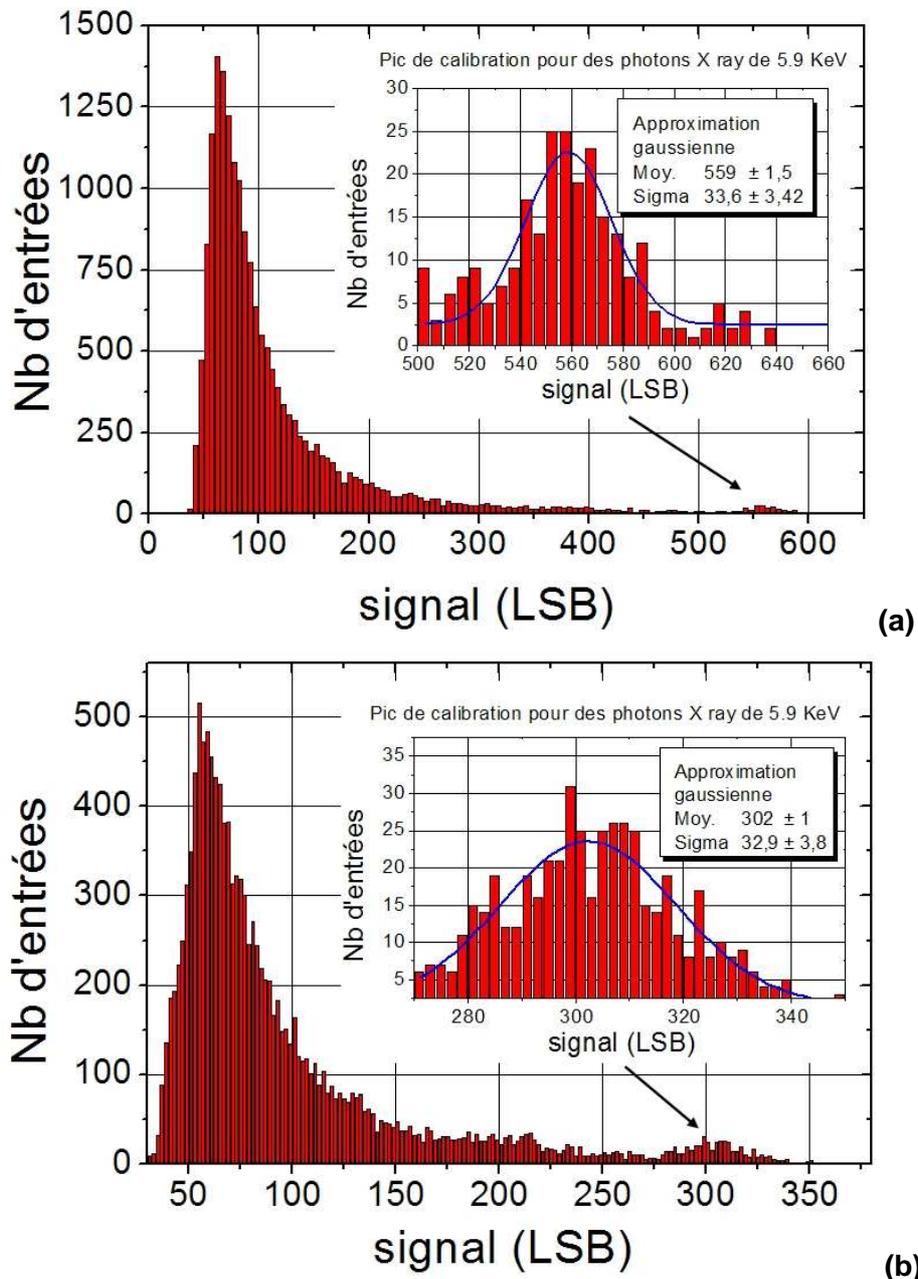


Figure 2-31 : Distribution du signal délivré par les pixels ayant collectés des charges, (a) pixels à PhotoFETs, (b) pixels à PhotoFETs simplifiés.

Pour déterminer le gain de conversion moyen des pixels, on veut connaître la position du pic de calibration dans la distribution. Or, d'après les figures 2-31 (a et b), nous pouvons identifier deux pics dans les distributions des signaux délivrés par les pixels :

- Entre ~50 et ~500 LSB en figure 2-31 (a) et, entre ~50 et ~275 LSB en figure 2-31 (b), on observe distribution du signal délivré par des pixels dont le PhotoFET n'a collecté qu'une fraction des charges libérées.

- Dans les histogrammes, nous identifions la position des pics de calibration. La valeur moyenne  $Pic_{moy}$  du pic permet d'estimer la position de la distribution de signal délivré par des pixels ayant collecté 1640 électrons. La valeur de  $Pic_{moy}$  est déterminée par une approximation gaussienne sur les données numérisées du Pic [24, 30, 40].

Disposant de la valeur de  $Pic_{moy}$  (exprimée en LSB), nous pouvons déterminer le gain de conversion des pixels CCF et la contribution en bruit ENC avec les équations 2-62 et 2-63.

$$CCF = \frac{1}{G_{amp\_can}} \times \frac{Pic_{moy}}{1640} \quad (2-62)$$

$$ENC = \frac{C_{bruit\_tot} \cdot 1640}{Pic_{moy}} \quad (2-63)$$

où  $G_{amp\_can}$  est le gain de la chaîne d'amplification et du CAN 12 bits,  $C_{bruit\_tot}$  est la contribution en bruit des pixels définie dans la table 2-4.

La contribution en bruit ENC représente la contribution en bruit de la chaîne de lecture des capteurs CMOS (du pixel au CAN 12 bits du système d'acquisition) ramenée sur l'entrée du PhotoFET. Elle est exprimée en électrons et peut être comparée au nombre de charges collectées lors de l'impact d'une particule pour déterminer les performances des pixels.

Les valeurs du gain CCF et du bruit ENC des PhotoFETs (simplifiés ou non) sont présentées dans la table ci-dessous :

	Pic de calibration $Pic_{moy}$ (LSB)	$C_{bruit\_tot}$ (LSB)	CCF (pA/électron)	ENC (électron)
PhotoFET	$559 \pm 1,5$	$10,4 \pm 2,8$	$907 \pm 44$	$30 \pm 9$
PhotoFET simplifié	$302 \pm 1$	$9,6 \pm 1,6$	$490 \pm 24$	$52 \pm 10$

**Tableau 2-6 : Résultats de mesure du CCF et de l'ENC.**

Dans les paragraphes suivants, nous comparons les paramètres mesurés (CCF, ENC,  $C_{bruit\_tot}$ , ...) des PhotoFETs aux résultats des simulations.

## 2.8.3 Résultats de la caractérisation des pixels

### 2.8.3.1 Récapitulatif des caractéristiques

Dans les paragraphes précédents, nous avons démontré que les pixels à PhotoFETs (simplifiés ou non) détectent des photons X de 5,9 keV pour des fréquences de CLK comprises entre 1 et 50 MHz. Ceci correspond à un intervalle temporel entre des captures d'images successives compris entre 12,8  $\mu$ s et 640  $\mu$ s.

Dans la table ci-dessous, nous rappelons les principales caractéristiques simulées et mesurées des chaînes de lecture et des pixels pour une fréquence de CLK = 50 MHz.

Température : 273 K	PhotoFET simulations	PhotoFET mesures	PhotoFET simplifié simulations	PhotoFET simplifié mesures	Unités
Gain de conversion de la chaîne de lecture	~0,25	0,34 $\pm$ 0,03	~0,21	0,18 $\pm$ 0,02	LSB/e <sup>-</sup>
CCF des pixels	~655	907 $\pm$ 44	~560	490 $\pm$ 24	pA/e <sup>-</sup>
Consommation moyenne des pixels	~ 1,4	2,0 $\pm$ 0,1	~1	1.6 $\pm$ 0,1	$\mu$ W
Atténuation des piédestaux	~58	-56,2 $\pm$ 5,7	~59	-52,2 $\pm$ 5,1	dB
Atténuation du bruit FPN	-	-32,4 $\pm$ 0,9	-	-28,0 $\pm$ 0,9	dB
Contributions en bruit de la chaîne de lecture avec le traitement CDS					
Contribution en bruit $I_{\text{bruit\_tot}}$ (en sortie des pixels :)	~20,2	27,6 $\pm$ 9,1	~16,5	25,6 $\pm$ 5,7	nA <sub>RMS</sub>
Contribution en bruit (ENC) ramenée en entrée des PhotoFETs	~31	30 $\pm$ 9	~29	52 $\pm$ 10	Electron
Contributions en bruit des pixels avec le traitement CDS (déterminées dans le paragraphe 2.8.3.5)					
Contribution en bruit $I_{\text{bruit\_pix}}$ (en sortie des pixels)	~16,3	21 $\pm$ 7	~11,5	18 $\pm$ 4	nA <sub>RMS</sub>
Contribution en bruit (ENC <sub>pix</sub> ) ramenée en entrée des PhotoFETs	~25	23 $\pm$ 7	~21	37 $\pm$ 7	Electron

**Tableau 2-7 : Caractéristiques des chaînes de lecture à PhotoFETs simplifiés ou non.**

Les résultats de simulation des chaînes de lecture et des pixels ont été déterminés avec le logiciel CADENCE, tandis que les résultats de mesure ont été obtenus lors des expérimentations avec le banc de test.

### 2.8.3.2 Gain de conversion de la chaîne de lecture et CCF des pixels

Le gain de conversion de la chaîne de lecture est défini par le CCF des pixels et par le gain  $G_{\text{amp\_can}}$  de la chaîne d'amplification et du CAN 12 bits. Le gain  $G_{\text{amp\_can}}$  est identique pour les chaînes de lecture intégrant des PhotoFETs simplifiés ou non. Par conséquent, nous intéresserons uniquement au gain CCF des pixels.

#### **CCF des PhotoFETs :**

D'après les valeurs de la table 2-7, nous constatons que le rapport  $R_{\text{tab}}$  entre le CCF mesuré et simulé vaut 1,38. Selon les équations 2-40 (gain du PhotoFET), 2-56 et 2-57 (courants de sorties du traitement CDS), le CCF est principalement défini par le gain du PhotoFET. Notons que ce gain a une dépendance en racine carrée par rapport au courant de polarisation  $I_{\text{ph\_dc}}$  (cf. équation 2-37, transconductance des transistors MOS).

Ainsi, avec  $I_{\text{ph\_dc}}$  mesurée ( $\sim 37 \mu\text{A}$ ) et simulée ( $\sim 17 \mu\text{A}$ ), la racine carrée du rapport des courants ( $37 \mu\text{A}/17 \mu\text{A}$ ) nous donne  $R_{\text{theo}}$  égale à  $\sim 1,47$ . Avec  $R_{\text{theo}} \approx R_{\text{tab}}$ , l'inégalité des CCF présentés dans la table 2-7 provient majoritairement de la différence entre  $I_{\text{ph\_dc}}$  mesuré et simulé.

A l'aide de simulations complémentaires, nous constatons que la différence entre  $I_{\text{ph\_dc}}$  mesuré et simulé provient d'une modélisation imprécise des perturbations induites par le CDS (cf. paragraphe 2.6.2. : capacité parasite  $C_{\text{inj}}$  sous-évaluée, injections de charges supplémentaires, ...).

#### **CCF des PhotoFETs simplifiés :**

Dans cette version de PhotoFETs, les perturbations induites par le CDS ont également une influence sur le courant  $I_{\text{ph\_dc}}$ .

Avec  $I_{\text{ph\_dc}}$  mesurée ( $\sim 29 \mu\text{A}$ ) et simulée ( $\sim 20 \mu\text{A}$ ),  $R_{\text{theo}}$  vaut  $\sim 1,2$ . Or, d'après les valeurs de la table 2-7, nous obtenons un rapport  $R_{\text{tab}}$  de  $\sim 0,9$ . Ainsi, nous constatons qu'un second phénomène est mis en jeu. En effet, l'inégalité entre  $R_{\text{theo}}$  et  $R_{\text{tab}}$  provient également d'une estimation éronnée du gain du pont capacitif ( $C_1$ ,  $C_{\text{par}}$ ) intégré dans le PhotoFET simplifié (cf. équation 2-48). D'après les simulations, ce gain vaut  $\sim 0,9$ . Mais, les résultats de mesure indiquent que le gain du pont vaut  $\sim 0,8$ . Cette différence est expliquée par une imprécision lors des estimations des valeurs théoriques de  $C_1$  et  $C_{\text{par}}$ .

#### **Consommation des PhotoFETs simplifiés ou non :**

La consommation des pixels est dépendante de  $I_{\text{ph\_dc}}$ . Par conséquent, la différence entre les valeurs mesurées et simulées de  $I_{\text{ph\_dc}}$  expliquent l'inégalité entre les consommations théoriques et mesurées.

### 2.8.3.3 Atténuation des Piédestaux et du bruit FPN

#### Atténuation des piédestaux :

Les résultats de mesure et de simulation sont du même ordre de grandeur. Le traitement CDS permet d'atténuer les piédestaux d'un facteur  $\sim 400$  soit  $-52$  dB. Par conséquent, cette opération permet de simplifier l'extraction des signaux utiles indiquant l'impact d'une particule.

#### Atténuation des bruits FPN :

Le traitement CDS permet également d'atténuer le bruit spatial fixe d'un facteur  $\sim 30$  soit  $-30$  dB. Par conséquent, tous les pixels non stimulés délivreront un courant quasi identique. Cette opération sur le bruit FPN permet de réduire la complexité des dispositifs de traitements intégrés dans les capteurs (amplificateur, CAN, ...).

### 2.8.3.4 Contribution en bruit des chaînes de lecture

La contribution en bruit de la chaîne de lecture  $I_{\text{bruit\_tot}}$  (ramenée en sortie des pixels) est donnée par l'équation suivante :

$$I_{\text{bruit\_tot}} = \sqrt{2} \cdot \sqrt{I_{\text{ph(noise)}}^2 + I_{\text{ph\_mem(noise)}}^2 + I_{\text{amp\_can(noise)}}^2} \quad (2-64)$$

où  $I_{\text{ph(noise)}}$ ,  $I_{\text{ph\_mem(noise)}}$  et  $I_{\text{amp\_can(noise)}}$  sont respectivement les contributions en bruit des PhotoFETs, des mémoires de courant du traitement CDS, de la chaîne d'amplification et du CAN 12 bits. Le bruit  $I_{\text{amp\_can(noise)}}$  est identique pour les chaînes de lecture intégrant des PhotoFETs simplifiés ou non. Le facteur  $\sqrt{2}$  provient du traitement CDS.

#### Contribution en bruits de la chaîne de lecture à PhotoFETs :

La contribution bruit  $I_{\text{bruit\_tot}}$  mesurée diffère des résultats de simulation. Cette différence provient majoritairement des courants  $I_{\text{ph(dc)}}$  dont les valeurs mesurées sont supérieures aux valeurs simulées. Rappelons que les sources de bruit thermique des transistors dépendent du courant de polarisation drain-source. De plus, les CCF mesurés et simulés sont inégaux. Ceci permet d'expliquer les différences entre les mesures et les simulations.

#### Contribution en bruits de la chaîne de lecture à PhotoFETs simplifiés :

En raison des inégalités entre les paramètres  $I_{\text{bruit\_tot}}$ , CCF simulés et mesurés, nous remarquons que la contribution en bruit ENC mesurée est  $\sim 2$  fois plus élevée que le résultat des simulations. Avec un bruit ENC de  $\sim 52$  électrons les PhotoFETs simplifiés ne présentent pas les caractéristiques souhaitées car leur gain CCF est inférieur à l'objectif que nous avons fixé (cf. paragraphe 2.5.2).

### 2.8.3.5 Contribution en bruit des pixels

Afin de déterminer la contribution en bruit des pixels  $I_{\text{bruit\_pix}}$  (ramenée en sortie des pixels après le traitement CDS), nous établissons des équations suivantes :

$$I_{\text{bruit\_pix}} = \sqrt{2} \cdot \sqrt{I_{\text{ph(noise)}}^2 + I_{\text{ph\_mem(noise)}}^2} \quad (2-65)$$

Or, ne disposant pas des valeurs de  $I_{\text{ph(noise)}}$  et de  $I_{\text{ph\_mem(noise)}}$ , nous déterminerons  $I_{\text{bruit\_pix}}$  en employant  $I_{\text{bruit\_tot}}$  et  $I_{\text{amp\_can(noise)}}$  :

$$I_{\text{bruit\_pix}} = \sqrt{2} \cdot \sqrt{\left(\frac{I_{\text{bruit\_tot}}}{\sqrt{2}}\right)^2 - I_{\text{amp\_can(noise)}}^2} \quad (2-66)$$

où  $I_{\text{bruit\_tot}}$  est la contribution en bruit de la chaîne de lecture ramenée en sortie des pixels.

Avec les valeurs de  $I_{\text{bruit\_tot}}$ ,  $I_{\text{amp\_can(noise)}}$  et l'équation 2-66, nous obtenons respectivement des bruits ENC de 23 et 37 électrons pour les pixels à PhotoFETs et leur version simplifiée.

### 2.8.3.6 Conclusion des tests effectués sur les pixels à PhotoFETs

Dans ce chapitre, nous avons présenté deux versions de PhotoFETs pour des capteurs rapides, notamment pour ceux installés dans le détecteur MVD de CBM.

D'après les résultats des mesures, le paramètre ENC des pixels à PhotoFETs (simplifiés ou non) ne concorde pas avec les critères de bruit du CDC (~10 électrons). Nous observons en particulier que le traitement CDS affecte sensiblement les performances en bruit des pixels. De plus, les PhotoFETs génèrent un bruit intrinsèque plus élevé que les éléments de détections en mode tension.

Néanmoins, le gain de conversion CCF des pixels (~0,5 et ~0,9 nA/électron) indiquent que les PhotoFETs ont une grande sensibilité aux particules ionisantes pour une consommation de ~2  $\mu\text{W}$ , qui par ailleurs satisfait le CDC de CBM. Leur dynamique de sortie peut atteindre plusieurs dizaines de  $\mu\text{A}$ . Ceci leur permet de détecter plusieurs impacts successifs de particules ionisantes sans présenter de saturation. De plus, le traitement CDS intégré dans les pixels atténue les piédestaux de ~52 à 56 dB et le bruit FPN de ~30 dB. Cette opération permet de réduire la complexité des circuits associés à la matrice de pixels (amplificateurs, CAN, ...).

En conclusion, les performances des pixels à PhotoFETs leur permettent d'être employés dans des applications d'imageurs à grande dynamique de mesure et de dosimétrie de particules (protons, électrons, photons X, ...). Avant de clore ce chapitre, nous donnons quelques informations pour rendre les PhotoFETs tolérants aux rayonnements intenses.

## 2.9 Tolérance aux radiations

Les capteurs CMOS conçus pour le détecteur MVD de CBM seront exposés à des rayonnements intenses. Par conséquent, notre équipe effectue des travaux pour améliorer la tolérance aux radiations de la photodiode et des circuits de traitements intégrés.

L'irradiation des capteurs provoque des effets indésirables sur les caractéristiques intrinsèques du silicium (par ex : création de centres de recombinaison parasites) et sur les jonctions PN (augmentation du courant de fuite de la photodiode). Par exemple, après l'exposition du capteur Mimoso 1 à 100 kRad de photons X de 10 keV, le courant de fuite, initialement de 3 fA, s'élève à 16 nA. Ceci affecte la contribution en bruit de la photodiode car celle-ci est dépendante du courant de fuite [60].

La photodiode classique présentée par la figure 2-32 (a) contient une couche d'oxyde épais autour du caisson N. Lors de l'irradiation, des charges positives seront créées et figées dans et sur cette couche. Ceci induira une augmentation du courant de fuite [60, 61]. Dans la figure 2-32 (b), cet effet indésirable est minimisé car l'oxyde épais est remplacé par une couche d'oxyde mince, résultant de l'ajout de la couche de polysilicium [62].

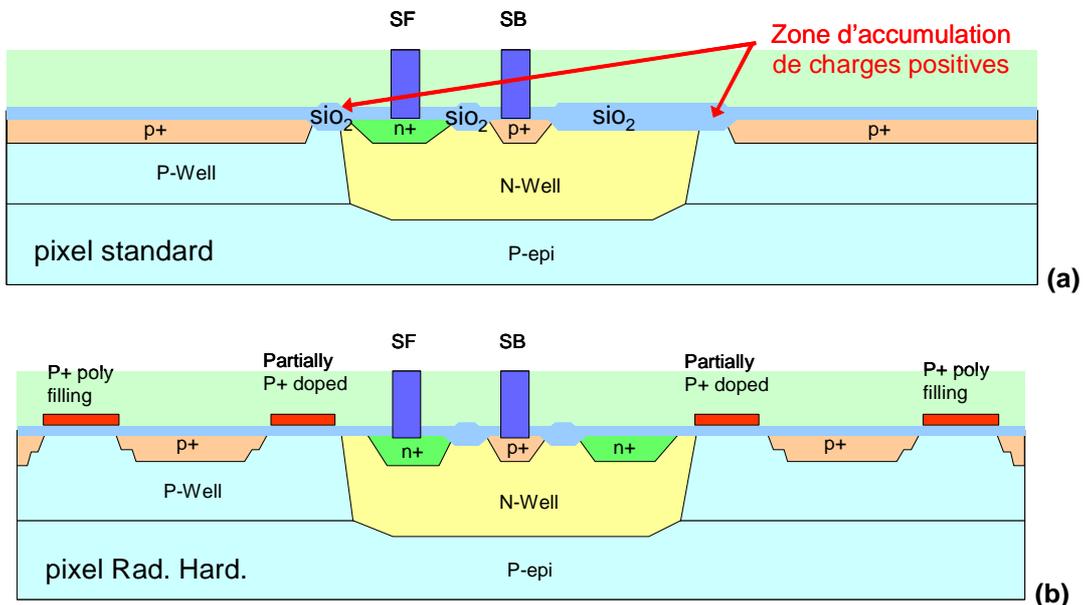
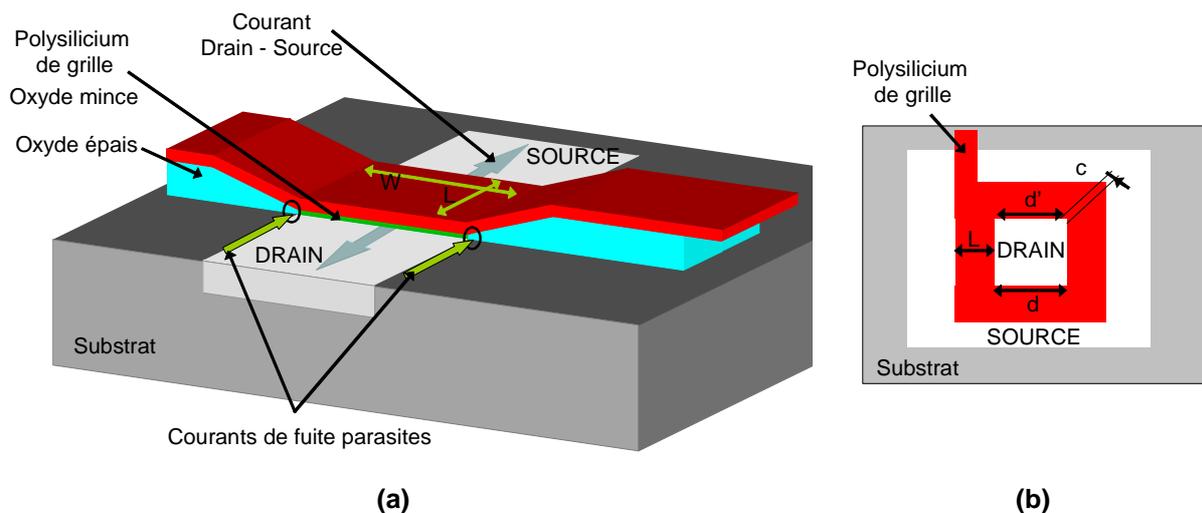


Figure 2-32 : (a) Photodiode classique, (b) photodiode tolérante aux radiations.

La contribution en bruit ramenée sur l'entrée d'une photodiode est de l'ordre de la dizaine d'électrons pour un temps d'intégration de 1 ms et une température de 10°C. Après une exposition à une dose 1 MRad de photon X de 10 keV, ce bruit s'élève à ~40 électrons. Dans les mêmes conditions d'exposition aux rayonnements, la contribution en bruit de la photodiode tolérante aux radiations vaudra ~20 électrons [61, 62, 63].

Les transistors MOS classiques (figure 2-33 (a)) sont également sensibles aux rayonnements. En effet, des courants de fuite parasites s'ajoutent au courant drain-source lors de l'exposition des transistors à des particules ionisantes. Ces dernières libèrent des charges positives dans la couche d'oxyde épais dont une partie seront figées. Elles provoqueront la création d'un canal parasite dans lequel circulera un courant de fuite. Ce dernier augmente la consommation des circuits numériques et modifie les points de polarisation et les gains des circuits analogiques [64].



**Figure 2-33 : (a) Vue d'un transistor MOS, (b) représentation en deux dimensions du transistor à grille fermée.**

Présenté en figure 2-33 (b), le concept de transistor à grille fermée permet de s'affranchir de la couche d'oxyde épais entre le drain et la source. Ceci empêche la formation des courants de fuite. Des mesures ont démontré que le courant de fuite drain-source du transistor à grille fermée est de 60 pA. Il reste inchangé après une irradiation de 200 kRad avec des rayons gamma délivrés par une source de cobalt  $^{60}\text{Co}$  [65]. Pour sa grande résistance aux radiations, le transistor à grille fermée est couramment employé dans les circuits fabriqués pour la détection de particules [64, 65].

Il présente cependant le désavantage d'occuper une surface environ dix fois plus élevée qu'un transistor ordinaire et limite le nombre de fonctionnalités dans les petits pixels. C'est pourquoi, dans l'architecture des pixels on prend soin de se restreindre aux transistors à grille fermée aux endroits névralgiques. L'intégration en l'état du transistor PMOS à grille fermée dans le PhotoFET se traduirait par une augmentation des dimensions du caisson N de la photodiode. Par conséquent, le facteur de conversion de la photodiode serait réduit par rapport à l'architecture de PhotoFET actuelle. Un compromis doit alors être trouvé entre sensibilité et tolérance aux rayonnements lors de l'utilisation des PhotoFETs.

## 2.10 Conclusion

Les travaux présentés dans ce chapitre s'inscrivent dans le programme de R&D du détecteur MVD de l'expérience CBM.

Pour satisfaire les objectifs définis dans le CDC du MVD, notamment en termes de vitesse de lecture, de consommation et de sensibilité aux particules ionisantes, nous avons développé un capteur CMOS intégrant des PhotoFETs. Les pixels intégrés ( $20\ \mu\text{m} \times 20\ \mu\text{m}$ ) dans le capteur ont ainsi été pourvus de PhotoFETs (simplifiés ou non) et d'un traitement CDS. Celui-ci permet d'atténuer les piédestaux et le bruit FPN induits par les PhotoFETs.

Pour déterminer expérimentalement les caractéristiques des pixels (gain de conversion, consommation, dynamique de sortie, contribution en bruit ENC, atténuation des piédestaux et du bruit FPN), nous avons réalisé un prototype de capteur en mode courant et un banc de test permettant de le caractériser. Les mesures ont révélé un gain de conversion de  $\sim 0,5$  à  $\sim 0,9$  nA/électron. Cette sensibilité est obtenue pour des pixels consommant seulement  $\sim 2\ \mu\text{W}$ . Ainsi, une matrice de pixels de  $1\ \text{cm}^2$  consomme 500 mW, conformément au CDC. La dynamique de sortie des PhotoFETs est de plusieurs dizaines de  $\mu\text{A}$ . Ceci permet de détecter plusieurs impacts successifs de particules sans atteindre la saturation.

Les mesures ont mis en évidence une contribution en bruit ENC de  $\sim 30$  électrons. Cette valeur est sensiblement supérieure à celle du CDC, qui vaut 10 à 15 électrons. Les expérimentations indiquent que le PhotoFET génère intrinsèquement un bruit électronique relativement important. Elles ont également démontré que le traitement CDS multiplie la contribution en bruit du PhotoFET par un facteur  $\sim 2$ . Or, ce CDS atténue avantageusement les piédestaux de -50 dB et le bruit FPN de  $\sim 30$  dB. Ainsi, il permet de réduire la complexité des circuits de traitement des signaux délivrés par les pixels (amplificateur, CAN, ...). Néanmoins, le concept du PhotoFET ne semble pas répondre globalement au CDC du MVD de CBM de manière satisfaisante en l'état.

Malgré le niveau de bruit ENC des pixels à PhotoFETs, leurs performances actuelles permettent cependant d'envisager leur utilisation pour des applications d'imageurs à grande dynamique de mesure et de dosimètres de particules (protons, électrons, photons X, ...).

Dans le futur, le potentiel du PhotoFET pourrait être mieux exploité, notamment en s'appuyant sur les technologies VDSM (Very Deep Sub Micron). Celles-ci permettraient d'intégrer un transistor PMOS à transconductance élevée dans une photodiode dont les dimensions seraient de l'ordre du micromètre. De même, des technologies CMOS dont le substrat est totalement déplété permettraient d'améliorer le rapport signal à bruit des

---

PhotoFETs. Par conséquent, le PhotoFET pourrait alors s'avérer être une solution optimale pour la détection de particules car il présenterait une sensibilité élevée pour une consommation et un encombrement réduit au sein des pixels. Cette architecture pourrait ainsi être intégrée, dans les capteurs CMOS notamment, comme ceux envisagés pour le détecteur de vertex MVD de CBM, expérience de physique dont la mise en route est prévue pour la fin de la prochaine décennie.

Parallèlement aux développements de nouvelles architectures de pixels pour améliorer les performances globale des capteurs, nous concevons et testons des circuits de traitement numérique : suppression de zéros et sparsification des données. Ces traitements numériques sont incapables d'analyser directement les signaux analogiques, et plus particulièrement les signaux de faibles amplitudes délivrées par les pixels. Par conséquent, des architectures de discriminateurs et de Convertisseurs Analogique-Numérique (CAN) sont conçues et réalisées pour interfacier les pixels et les circuits de traitements numériques.

Dans le chapitre suivant, nous présenterons une version de CAN à double rampe constituant un premier prototype développé spécifiquement pour les capteurs CMOS devant équiper des détecteurs de vertex.



# Chapitre 3

## Conversion Analogique-Numérique

### 3.1 Introduction

Les traitements numériques de suppression de zéros et de sparsification des données permettent d'améliorer les performances des capteurs, notamment en terme de vitesse de lecture. Au sein des capteurs CMOS, les circuits numériques seront accompagnés de discriminateurs ou de CAN spécifiques. Ces convertisseurs sont indispensables pour interfacer les circuits analogiques des pixels avec ceux des traitements numériques.

Pour améliorer le rapport signal à bruit des microcircuits du capteur, plusieurs architectures de pixels compatibles avec les systèmes de traitements numériques ont été développées et testées. Un pixel intégrant un microcircuit d'amplification et de CDS a retenu notre attention. Organisés en matrice, les pixels ont été couplés avec succès à des circuits d'échantillonnage et à des discriminateurs situés en périphérie de la matrice [27]. En revanche, cette architecture interdit une résolution spatiale avoisinant le micromètre. Pour atteindre une résolution spatiale aussi poussée, le discriminateur doit être remplacé par un Convertisseur Analogique-Numérique (CAN) de 4 à 5 bits. Le CAN devra consommer une puissance de quelques centaines de  $\mu\text{W}$  seulement et convertir les signaux délivrés par les pixels dans une durée de  $\sim 100$  ns au plus. La surface (i.e. l'encombrement) du CAN doit être limitée, notamment pour maintenir la partie des capteurs qui ne détecte pas de particules à un niveau le plus modeste possible, et par conséquent, minimiser l'ajout de matière qui en provient. Ces critères limitent les marges de manœuvre lors de la conception des CAN.

Dans ce chapitre, nous présenterons l'architecture et les résultats de mesure d'un premier prototype de convertisseur à double rampe à 4 bits, développé et testé dans le cadre de cette thèse. Nous débuterons par la présentation d'une architecture de capteur pour introduire le Cahiers des Charges (CDC) des CAN.

## 3.2 CAN pour les capteurs CMOS

### 3.2.1 Contexte d'intégration des CAN

Les études effectuées sur les architectures des capteurs CMOS ont conduit à l'élaboration de la chaîne de lecture présentée par la figure 3-1. Nous utiliserons cette chaîne pour présenter l'intégration des CAN dans les capteurs et définir leurs CDC.

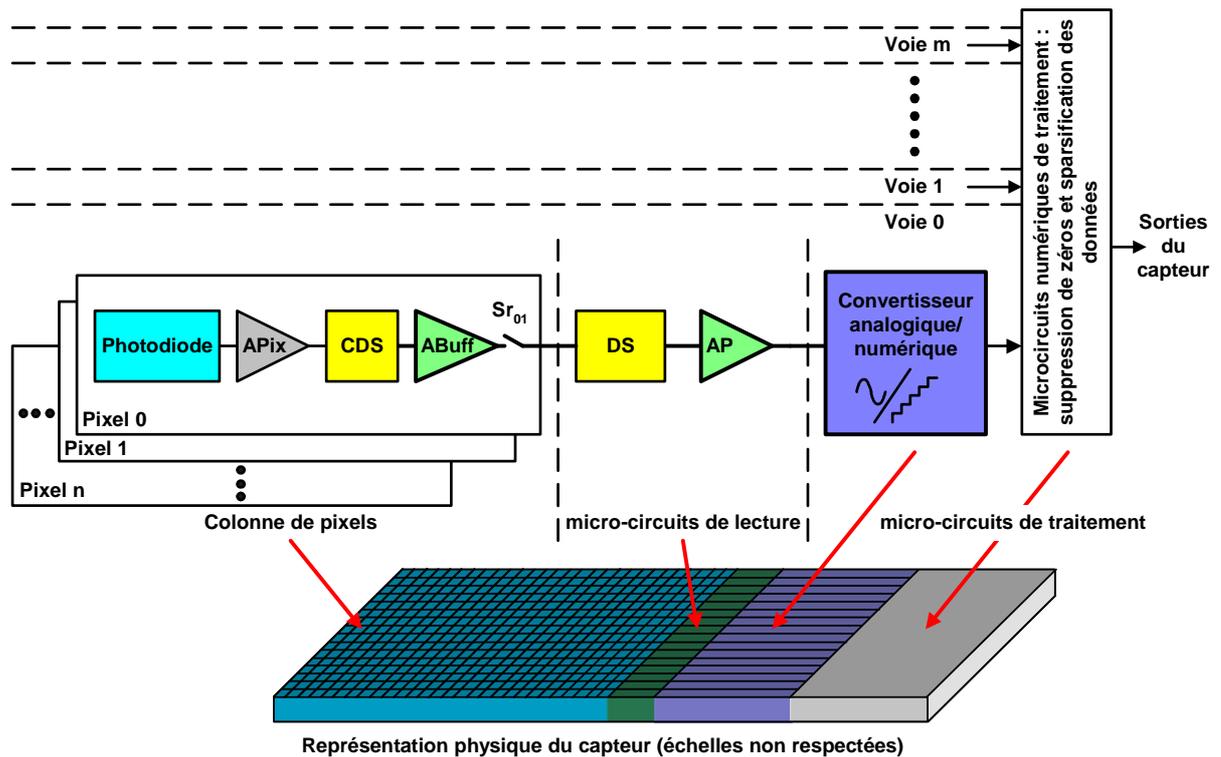


Figure 3-1 : Exemple d'architecture de capteur CMOS pour la détection de vertex.

L'architecture présentée par la figure 3-1 illustre un capteur CMOS à lecture parallélisée (cf. **Annexe A.3**) intégrant  $n$  lignes  $\times$   $m$  colonnes de pixels.

Les pixels en mode tension comprennent une photodiode, un amplificateur APix, un traitement de signal CDS, un amplificateur ABuff et un interrupteur  $Sr_{01}$ . Chaque colonne de pixels est couplée à un traitement DS (Double échantillonnage non corrélé) et à un amplificateur AP. Le traitement DS assure également la fonction d'échantillonneur-bloqueur qui est indispensable en entrée d'un CAN. Ce dernier convertit le signal analogique délivré par l'amplificateur AP en un code binaire qui sera transmis au système de traitement numérique. En sortie du traitement numérique, les coordonnées et les données (charges) des pixels stimulés par une particule sont transmises du capteur vers un système d'acquisition et de stockage des données qui est externe au détecteur de vertex.

Lorsque la conversion analogique-numérique est réalisée par un discriminateur, l'architecture présentée par la figure 3-1 satisfait les exigences du CDC du MVD en terme de résolution spatiale ( $\sim 10 \mu\text{m}$ ). Or pour d'autres applications nécessitant une résolution spatiale de l'ordre du micromètre, le discriminateur doit être remplacé par un CAN.

### 3.2.2 Motivation pour la conception des CAN

Dans les chapitres précédents, nous indiquions que les performances des détecteurs de vertex dépendaient principalement de la résolution spatiale, de la consommation, de la tolérance aux radiations, du budget de matière et de la vitesse de lecture des capteurs CMOS [66]. Les efforts de recherches menés pour augmenter la vitesse de lecture et minimiser la consommation ont conduit à l'introduction d'un filtre le plus en amont possible dans la chaîne de lecture. Il devra supprimer les informations délivrées par les pixels qui ne présentent pas d'intérêts pour la trajectométrie des particules, et permettra de réduire le flux de données en sortie du capteur

Le filtre peut être réalisé par une architecture de traitement numérique de suppression des zéros et de sparsification des données. Il analysera, en temps réel, les informations contenues dans les codes binaires fournis par les CAN et permettra, notamment, d'identifier le pixel siège d'un amas, qui d'ordinaire collecte le plus de charges. Cependant, les charges restantes sont majoritairement collectées par les pixels adjacents formant la couronne de l'amas (cf. paragraphe 2.3.1.4). Ainsi, pour obtenir une résolution spatiale et une vitesse de lecture poussées, le traitement numérique transmettra uniquement les coordonnées et les informations binaires des pixels des amas identifiés. [67, 68]

En intégrant ce système numérique, deux philosophies d'optimisation des performances des capteurs peuvent être envisagées :

- Philosophie 1 : Le traitement numérique permet de réduire le flux de données en sortie du capteur et de relâcher considérablement les contraintes sur les étages de sorties des capteurs CMOS et sur le système d'acquisition. Par exemple, le flux de données délivré par un capteur à lecture parallélisée intégrant une matrice de  $500 \times 500$  pixels par  $\text{cm}^2$ , lue en  $10 \mu\text{s}$ , et dont les données analogiques sont converties sur 4 bits, s'élève à 100 G bits/s par  $\text{cm}^2$  de zone active (contenant des pixels). En intégrant le système de traitement, le débit en sortie du capteur peut typiquement être réduit d'un facteur  $\sim 10$  à  $\sim 100$ , ramenant le flux de données de  $\sim 1$  à  $\sim 10$  G bits/s par  $\text{cm}^2$  de zone active.

- Philosophie 2 : L'intégration du traitement numérique permet d'augmenter la densité de pixels par  $\text{cm}^2$  et la vitesse de lecture du capteur. En effet, pour un flux de données de 100 G bits/s par  $\text{cm}^2$  délivré par un capteur à lecture parallélisée et équipé d'un système de traitement (facteur de réduction typique de 10), nous pouvons par exemple décider d'intégrer  $1000 \times 1000$  pixels par  $\text{cm}^2$  dont les signaux analogiques sont convertis sur 4 bits et dont la matrice de pixels est lue en 4  $\mu\text{s}$ .

Nous remarquons que les performances des capteurs sont améliorées en intégrant le système de traitement numérique. Or, son implémentation est accompagnée par l'intégration de CAN spécifiques devant convertir les signaux de faibles amplitudes délivrées par les pixels [69]. Dans le paragraphe suivant, nous présenterons les contraintes liées à la conception des CAN devant équiper les capteurs CMOS.

### 3.2.3 Contraintes de conception des CAN

La conception des CAN dédiés aux capteurs CMOS est soumise à de fortes contraintes. Il faut à la fois aboutir à un budget de matière minimal, une résolution spatiale poussée et une vitesse de lecture très élevée. La recherche simultanée de ces trois extrêmes se heurte aux corrélations conflictuelles qui les relient. Il faut donc se résoudre à un compromis. C'est ce qu'illustre la figure 3-2, où les corrélations sont explicitées.

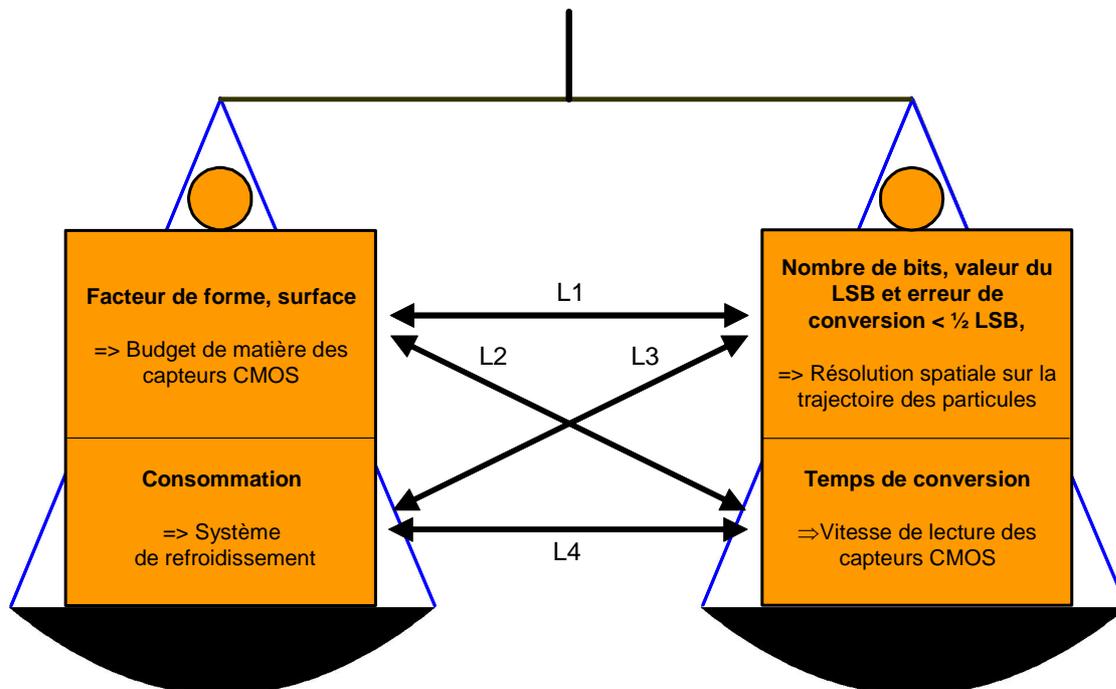


Figure 3-2 : Représentation des contraintes liées à la conception des CAN dédiés aux capteurs CMOS.

Dans la figure 3-2, on observe que l'occupation de surface et la consommation des convertisseurs gouvernent le budget de matière des capteurs. Ceci est un souci majeur de la conception du CAN car le contrôle du budget de matière est décisif pour obtenir une trajectométrie dont la précision est satisfaisante. Le facteur de forme et l'encombrement du CAN est défini par les dimensions des pixels (plusieurs dizaines de  $\mu\text{m}$ ) et par la profondeur maximale disponible pour l'intégration du CAN de l'ordre de 500  $\mu\text{m}$  (cf. figure 3-1).

Dans la figure 3-2, nous montrons également que le nombre de bits des CAN et la précision de conversion des informations délivrées par les pixels ont un impact sur la résolution spatiale du capteur. De même, le temps conversion du CAN constitue un point sensible de la chaîne de lecture car il peut limiter la vitesse de lecture du capteur [70].

Les principales contraintes de conception sont représentées par les liaisons L1 à L4.

**L1** : les contraintes de surface, de facteur de forme s'opposent à l'intégration de CAN ayant un nombre de bits élevé. En effet, chaque bit supplémentaire se traduit par l'intégration de microcircuits additionnels. De même, les contraintes sur l'encombrement du CAN s'opposent aux choix d'un LSB de l'ordre du millivolt et affectent la précision de conversion. En effet, la réduction des erreurs de conversion requiert l'implémentation de circuits à gain élevé et de circuits de compensation d'erreurs, qui augmenteraient le budget de matière.

**L2** : le facteur de forme s'oppose au placement libre des circuits internes des CAN. Ceci limite le temps de conversion car les interconnexions au sein des CAN ne peuvent être optimisées : connexions réduites à des distances minimales.

**L3** : le contrôle de la consommation limite le nombre et le gain des circuits intégrés dans les CAN. Implicitement, ceci se traduit par des contraintes sur la valeur du LSB, sur la réduction des erreurs de conversion et sur le choix du nombre de bits.

**L4** : le contrôle de la consommation des capteurs CMOS limite également les courants de polarisation des circuits intégrés dans les CAN. Ceci limite la vitesse de fonctionnement des microcircuits et le temps de conversion.

Lors du développement des CAN pour les capteurs CMOS, les liens entre chaque paramètre décrit ci-dessus, doivent impérativement être pris en compte.

## 3.2.4 Cahier des charges des CAN

### 3.2.4.1 Gamme dynamique d'entrée du CAN

La gamme dynamique d'entrée du convertisseur est définie par les caractéristiques du signal délivré par les pixels. Parmi les différentes versions de pixels étudiées, un type de pixel ( $25\ \mu\text{m} \times 25\ \mu\text{m}$ ) présente un gain de conversion de  $\sim 70\ \mu\text{V}/\text{électron}$  [27, 71]. Avec un capteur disposant d'une couche épitaxiée de  $\sim 11\ \mu\text{m}$  (Technologie AMS  $0,35\ \mu\text{m}$  opto), la photodiode du pixel siège (traversé par une particule) collecte typiquement 20 à 30 % du nombre total d'électrons libérés. Rappelons qu'une particule minimum ionisante libère typiquement de  $80\ \text{e}^-/\text{h}^+$  par  $\mu\text{m}$  dans le silicium [24]. Ainsi, le pixel siège collectera typiquement entre 100 et 300 électrons [70, 72]. En tenant compte du gain de conversion, un pixel siège délivrera un signal de  $\sim 7\ \text{mV}$  à  $\sim 21\ \text{mV}$ .

Le signal issu des pixels sera amplifié par un gain voisin de 5 par un amplificateur AP décrit la figure 3-1. Le théorème de Shannon est respecté car la limitation de la bande passante du signal (en sortie des pixels) est effectuée par le traitement DS et par l'amplificateur AP. Le signal injecté dans les CAN vaudra  $\sim 100\ \text{mV}$  pour un pixel siège collectant 30% des charges libérées. Ainsi, nous retenons une gamme dynamique d'entrée de  $125\ \text{mV}$  et un point de fonctionnement du CAN de  $1,5\ \text{V}$  (tension d'alimentation du CAN :  $3,3\ \text{V}$ ). La gamme dynamique d'entrée du CAN sera de  $1,5\ \text{V}$  à  $1,625\ \text{V}$  [70].

### 3.2.4.2 Nombre de bits des CAN

L'étude des données prises en faisceau avec un capteur à sorties analogiques a démontré que la résolution spatiale dépend sensiblement du nombre de bits du CAN. En effet, l'analyse des données (nombre de charges collectées) encodées préalablement sur 12 bits par un système d'acquisition a permis d'évaluer la variation de la résolution spatiale en fonction d'un encodage sur un nombre de bits inférieur. Ainsi, un capteur intégrant des pixels de  $20\ \mu\text{m} \times 20\ \mu\text{m}$ , ayant une contribution en bruit ENC de 10 électrons, présentera une résolution spatiale de l'ordre de  $4\ \mu\text{m}$ ,  $\sim 3\ \mu\text{m}$ ,  $\sim 2,5\ \mu\text{m}$ ,  $\sim 2\ \mu\text{m}$  et  $\sim 1,7\ \mu\text{m}$  avec respectivement un encodage des données sur 1, 2, 3, 4 et 5 bits [70, 73].

Pour certaines applications (CBM, STAR, ...) dont la résolution spatiale requise est faible, un discriminateur peut suffire. Or pour d'autres applications, tel que le futur Collisionneur Linéaire Internationale (ILC), il est important d'atteindre une résolution spatiale de  $2\ \mu\text{m}$ . Par conséquent, une solution de CAN à 4 bits a été retenue pour satisfaire les exigences des futurs de détecteurs de vertex, notamment celui de l'ILC.

### 3.2.4.3 Valeur du LSB et erreur de conversion

Avec une gamme dynamique d'entrée de 125 mV du CAN à 4 bits, le LSB<sup>1</sup> vaut 7,81 mV. Cette valeur est supérieure à la contribution en bruit des pixels (de l'ordre du mV). Néanmoins, les contributions en bruits des microcircuits du CAN devront être maintenues à des niveaux particulièrement faibles (inférieurs à ~1 mV) [71].

En concevant le CAN, on veillera à maintenir les erreurs de conversion à un niveau minimal pour que la trajectométrie des particules soit satisfaisante. De plus, le nombre élevé de CAN intégrés dans les capteurs interdit la correction individuelle des erreurs. Par conséquent, les erreurs d'offset et de gain doivent être minimisées car elles ne peuvent être corrigées par un réglage adéquat des tensions de références. Le CAN ne devra pas présenter d'erreurs de monotonicité du code. L'erreur de non-linéarité intégrale et différentielle doivent rester chacune inférieures à 0,5 LSB pour atteindre la résolution spatiale escomptée [70].

### 3.2.4.4 Surface et forme des CAN

Il est important que la surface des CAN soit faible par rapport à la surface de la matrice de pixels pour réduire son impact sur le budget de matière. La surface visée avoisine le centième de millimètre carré. De plus, la largeur des CAN est définie par les dimensions des pixels, soit 25  $\mu\text{m}$ . Tenant compte de cette contrainte, la longueur des CAN devra être inférieure à 500  $\mu\text{m}$ . Ce facteur de forme (1:20) réduit la marge de manœuvre lors de la conception des CAN [70, 72]. Durant la conception du premier prototype, parmi les différentes contraintes, nous avons relâché celle de la surface pour permettre l'intégration des circuits nécessaires au fonctionnement du CAN et valider l'architecture. On s'emploiera dans un développement ultérieur à réduire l'encombrement du CAN.

### 3.2.4.5 Temps de conversion

Pour que la trajectométrie des particules puisse se dérouler dans des conditions satisfaisantes, il est souhaitable que le taux d'occupation de la matrice de pixels ne dépasse guère 1% lors de chaque lecture de la matrice. On évite ainsi les ambiguïtés d'association entre impacts reconstruits dans les différents plans du détecteur. Dans des conditions d'expérimentation, où l'ordre de grandeur du nombre de particules traversant le capteur par

---

<sup>1</sup> LSB : acronyme de "Low Significant Bit", un LSB représente la plus petite variation de la grandeur analogique d'entrée provoquant une variation de 1 unité du code de sortie du CAN.

cm<sup>2</sup> et par seconde est connu, l'augmentation de la densité de pixels et de la vitesse de lecture sont les deux principaux paramètres permettant de diminuer le taux d'occupation. Pour satisfaire les CDC des détecteur de vertex de STAR et CBM, le temps de lecture d'un pixel doit être au maximum de l'ordre de ~100 ns (dimensions des pixels ~25 µm × ~25 µm). Par conséquent, le temps de conversion du CAN vaut 10 M conversions par seconde (10 M Sample/s) [70, 72].

### 3.2.4.6 Consommation

La consommation totale souhaitée pour une chaîne de lecture des capteurs CMOS doit rester inférieure à 1 mW. Le respect du critère de consommation est primordial pour pouvoir limiter le système de refroidissement à une circulation d'air ou s'en affranchir totalement pour éviter d'ajouter de la matière sur la trajectoire des particules détectées. La consommation d'un pixel est de l'ordre de 200 µW [27]. Nous avons ainsi fixé une consommation de l'ordre de 500 µW pour le CAN. Par conséquent, la puissance électrique restante (300 µW) est allouée aux autres circuits intégrés de la chaîne de lecture [70, 72].

Durant la conception, on veillera à maintenir la consommation statique du CAN à un niveau le plus faible possible car la consommation dynamique sera conséquente aux vitesses de fonctionnement escomptées (10 M Sample/s). Toutefois, pour valider l'architecture de ce premier prototype, nous autoriserons une consommation pouvant atteindre l'ordre du milliwatt. Dans le développement ultérieur, une architecture de CAN plus complexe permettra de stopper son fonctionnement lorsque l'amplitude du signal d'entrée est inférieure à un seuil (typiquement quelques fois le bruit des pixels), ceci constituera la majorité des cas. Cette opération sera effectuée à l'aide d'un discriminateur lors d'une première étape de conversion. Ceci permettra de limiter la consommation dynamique et la consommation totale à une valeur inférieure à ~500 µW visée.

### 3.2.5 Propositions de CAN

Des recherches et développements de CAN dédiés aux capteurs CMOS sont réalisés dans plusieurs laboratoires :

- Laboratoire DAPNIA CEA Saclay : étude de CAN 1 bit de type flash, étude de convertisseur de type SAR (Successive Approximation Register) 4 et 5 bits.
- Laboratoire IPHC de Strasbourg : étude de CAN 4 bits de type SAR (étude d'un CAN à double rampe 4 bits).

- Laboratoire LPC (Laboratoire de Physique Corpusculaire) de Clermont Ferrand : étude de CAN de type Flash 4 +1.5 bits.

- Laboratoire LPSC (Laboratoire de Physique Subatomique et de Cosmologie) de Grenoble : étude de CAN de type Pipeline 4 et 5 bits.

- Aucune étude n'a été initiée sur le convertisseur Sigma Delta car le potentiel technologique de ce type de convertisseur ne permet pas d'atteindre la vitesse de conversion (10 M conversion/s) requise par le CDC.

Tous ces travaux de recherches et développements sur les CAN sont complémentaires afin de disposer de plusieurs solutions de convertisseurs pour les capteurs CMOS. Le choix du type de CAN dépendra de l'application des capteurs.

### 3.2.6 Rappel d'architectures de CAN classiques

L'architecture de CAN à double rampe que nous décrivons dans la suite de ce chapitre possède plusieurs similitudes architecturales avec les CAN Wilkinson et SAR. Nous rappelons dans les paragraphes suivants leurs principales caractéristiques.

#### 3.2.6.1 Architecture de CAN Wilkinson

L'architecture standard de CAN Wilkinson est composée d'un générateur de rampes, d'un comparateur, d'un compteur N bits et d'un contrôleur numérique.

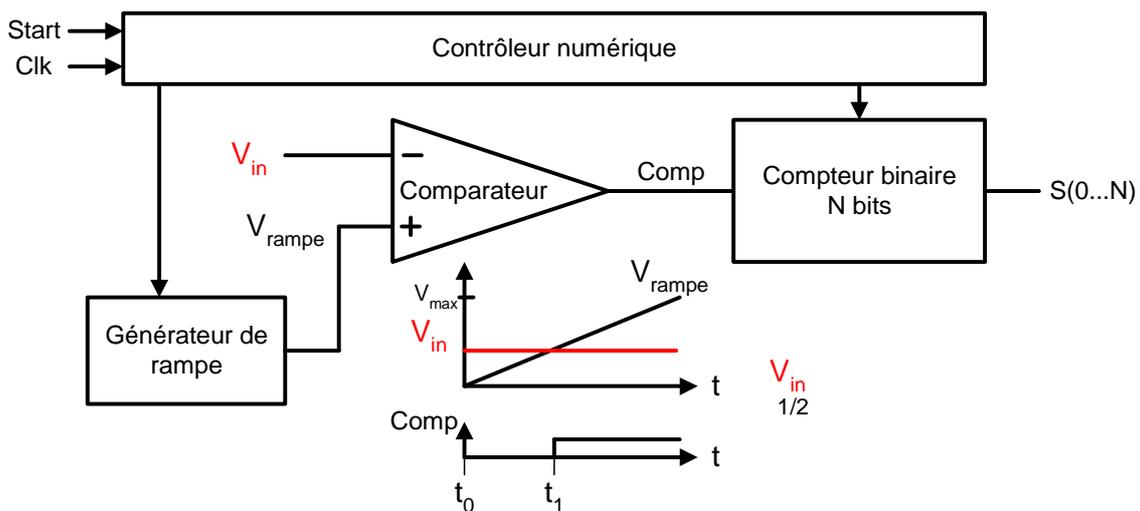


Figure 3-3 : Synoptique d'un CAN Wilkinson.

A l'instant  $t_0$ , le signal Start pilote le contrôleur numérique autorisant simultanément, le démarrage de la rampe analogique (générateur de rampe) et le démarrage du cycle de comptage effectué par le compteur N bits.

A l'instant  $t_1$ , le potentiel  $V_{\text{rampe}}$  devient supérieur à  $V_{\text{in}}$ , le comparateur commute. Ceci induit l'arrêt du comptage. La valeur instantanée du signal  $V_{\text{rampe}}$  correspond à une valeur définie par la durée écoulée à partir de l'instant  $t_0$ . Celle-ci est représentée par la valeur du code binaire du compteur N bits. Ainsi, le code présenté sur les sorties  $S(0...N)$  représentera la tension  $V_{\text{in}}$  [74].

Le convertisseur Wilkinson effectue des conversions analogique-numérique précises (LSB de l'ordre du mV). La simplicité et la robustesse de cette architecture lui permet d'être dupliquée aisément. Pour tirer profit des avantages de ce concept, nous avons employé le principe de rampe pour le prototype de CAN à double rampe. Or le temps de conversion du CAN Wilkinson n'est pas optimal ( $2^N$  étapes de conversion).

Par conséquent, nous nous sommes également inspirés de l'architecture rapide du CAN SAR dont nous présenterons les principaux aspects dans le paragraphe suivant [74].

### 3.2.6.2 Architecture de CAN SAR

L'architecture classique de CAN SAR (Successive Approximation Register) est composée d'un CNA (Convertisseur Numérique-Analogique) à N bits, d'un comparateur, de registres à approximations successives et d'un contrôleur pour la gestion du CAN.

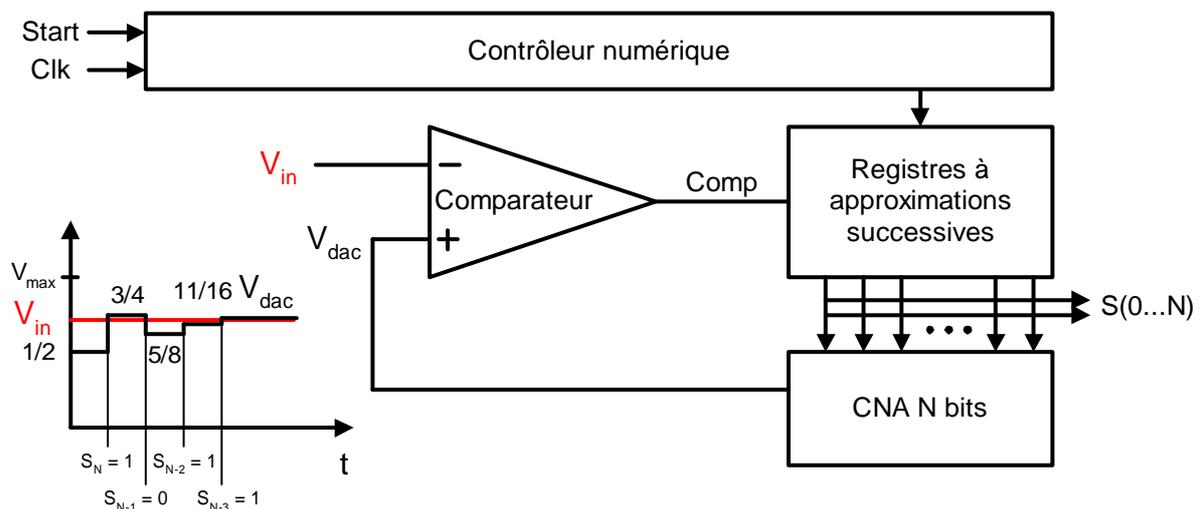


Figure 3-4 : Synoptique d'un CAN de type SAR.

Lors du démarrage de la conversion de  $V_{\text{in}}$ , le contrôleur numérique démarre le cycle de conversion en plaçant le bit de poids fort  $S_N$  à "1" logique. Le comparateur indique le signe de la soustraction des potentiels  $V_{\text{dac}}$  moins  $V_{\text{in}}$ . Si le résultat est positif,  $S_N$  est repositionné à "0" logique au niveau des registres à approximations successives, sinon  $S_N$  reste à "1"

logique. Ce cycle est reproduit pour les bits  $S(N-1\dots 0)$  du convertisseur et permet une convergence entre  $V_{dac}$  et  $V_{in}$  par approximations successives. Ainsi, le code binaire délivré sur les sorties  $S(0\dots N)$  représentera la tension  $V_{in}$  [74].

Pour un nombre de bits donné, l'architecture du CAN SAR permet d'effectuer plus rapidement la conversion analogique-numérique que le CAN Wilkinson. En effet, la conversion par approximation successive permet de réduire le nombre d'étapes de conversions au nombre de bits  $N$  du CAN. Or, cette architecture s'adosse à un contrôleur numérique complexe pour assurer la gestion des éléments du CAN. De plus, il affecte sensiblement le budget de matière du CAN [74].

En concevant le CAN à double rampe présenté dans ce chapitre, nous avons réutilisé le concept d'approximations successives combiné au système de rampe du CAN Wilkinson. Ceci a permis de tirer profit des avantages de simplicité et robustesse du CAN Wilkinson et de la rapidité de conversion des CAN SAR. Le CAN à double rampe offre un bon compromis entre les critères de vitesse, de consommation et de budget de matière [70].

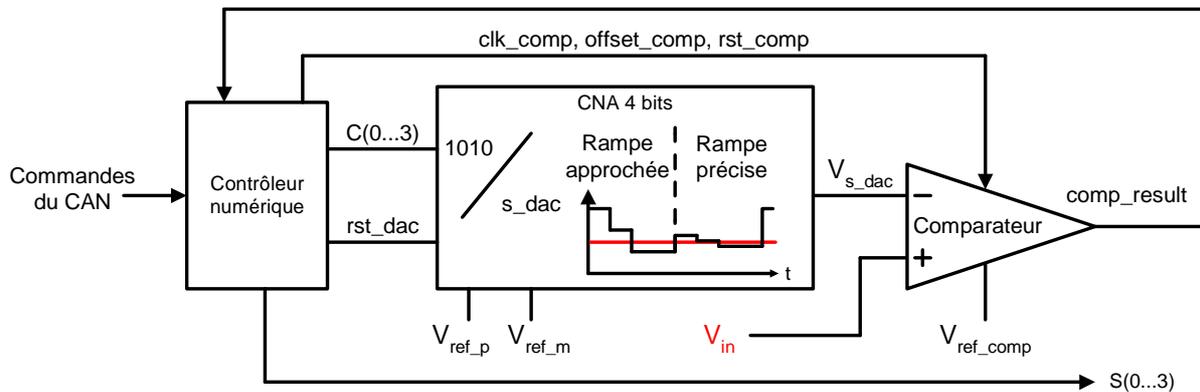
## 3.3 CAN à double rampe

### 3.3.1 Concept architectural du CAN

L'architecture du CAN à double rampe a été conçue spécifiquement pour les capteurs CMOS dédiés à la détection de vertex. Dans ce cadre d'application, les CAN du marché, notamment ceux intégrés dans les capteurs CMOS employés pour l'imagerie de lumière visible ne satisfont pas le CDC, notamment en termes de budget de matière et de consommation [67,68].

Pour réduire le nombre d'étapes de conversion, le CAN à double rampe réalise les conversions analogique-numérique en tenant compte de l'intensité du signal d'entrée. Or, pour simplifier son architecture, le CAN utilise également le concept de rampe. Le CAN à double rampe convertit le signal analogique  $V_{in}$  à l'aide d'une rampe "approchée" pour quantifier des bits de poids forts et d'une rampe analogique "précise" pour quantifier des bits de poids faible.

Les rampes sont générées par un CNA à capacités commutées et les comparaisons réalisées par un comparateur commuté, ce qui favorise la compacité du CAN et réduit sa consommation.



**Figure 3-5 : Synoptique du CAN à double rampe.**

Le CAN à 4 bits à double rampe présenté dans la figure 3-5 est composé des trois éléments suivants : le contrôleur numérique, le CNA à 4 bits et le comparateur. Les dessins physiques des différents éléments du convertisseur sont présentés dans l'**Annexe C**. Les commandes en entrée du contrôleur seront distribuées à plusieurs CAN afin de synchroniser la conversion analogique-numérique au sein des capteurs CMOS.

Au début du cycle de conversion, le contrôleur réinitialise le CNA et lance la phase de compensation d'offset du comparateur. Par la suite, il pilote le CNA qui génère une première rampe "approchée" sur le signal  $V_{s\_dac}$  et définit les instants de comparaison des signaux  $V_{in}$  avec  $V_{s\_dac}$ . Le contrôleur tient compte des résultats des comparaisons présentés sur le signal `comp_result` pour quantifier et figer les bits de poids forts C3 et C2. Par la suite, il démarre la rampe "précise" à l'aide des signaux C1 et C0 injectés dans le CNA jusqu'à l'obtention des bits de poids faible C1 et C0 lors des comparaisons de  $V_{in}$  avec  $V_{s\_dac}$ .

Enfin, le code binaire représentant la tension  $V_{in}$  est présenté sur les sorties  $S(3..0)$ .

## 3.3.2 Architecture de CNA à capacités commutées

### 3.3.2.1 Principe de fonctionnement

Le CNA génère les rampes analogiques sur le signal  $V_{s\_dac}$  qui sera comparé à la tension d'entrée  $V_{in}$ . Une architecture de CNA à capacités commutées a été retenue pour sa consommation et sa dimension réduites par rapport aux alternatives que constituent une échelle de résistances intégrées ou un générateur de rampe composé d'amplificateurs et de capacités [70, 76].

Illustré par la figure 3-6, le CNA est constitué d'une échelle incrémentale de 16 capacités poly-poly unitaires ( $C$ ) de 200 fF, connectée à un réseau de commutateurs analogiques. Sa forme est rectangulaire avec des dimensions de  $25 \mu\text{m} \times 465 \mu\text{m}$  (cf **Annexe C**).

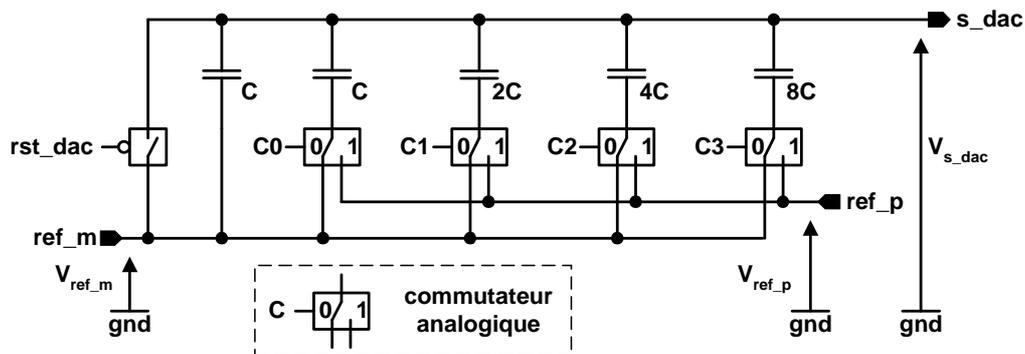


Figure 3-6 : Schéma du convertisseur N/A 4 bits à capacités commutées.

Ce type d'architecture nécessite impérativement la décharge préalable de toutes les capacités  $C$  pour obtenir  $V_{s\_dac} = V_{ref\_m}$ . Cette étape de réinitialisation du CNA s'opère lorsque les signaux  $rst\_dac$ ,  $C0$ ,  $C1$ ,  $C2$ ,  $C3$  sont à "0" logique.

Durant l'étape de conversion, les codes numériques  $C(3\dots 0)$  sont reproduits par les commutateurs interconnectant les capacités. Chaque code sur  $C(3\dots 0)$  est maintenu durant 10 ns. L'échelle de capacités se comporte comme un pont diviseur capacitif réglable.

En fonction du code sur les entrées  $C(3\dots 0)$ , elle générera des potentiels compris entre  $V_{ref\_m}$  et  $V_{ref\_p}$  sur la sortie  $s\_dac$ .

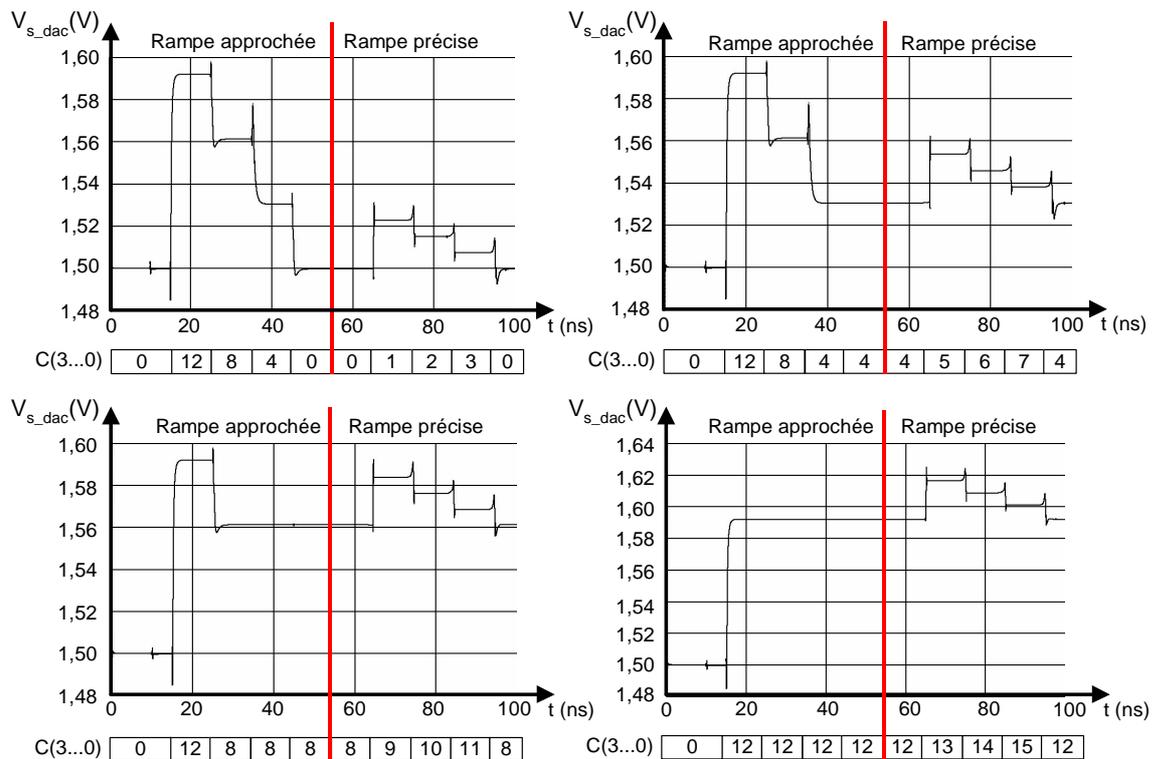
$$V_{s\_dac} = V_{ref\_m} + (V_{ref\_p} - V_{ref\_m}) \cdot \left[ \frac{C3}{2} + \frac{C2}{4} + \frac{C1}{8} + \frac{C0}{16} \right] \quad (3-1)$$

$$LSB_{(dac)} = \frac{(V_{ref\_p} - V_{ref\_m})}{16} \quad (3-2)$$

Avec  $V_{ref\_m} = 1,5 \text{ V}$  et  $V_{ref\_p} = 1,625 \text{ V}$ , nous obtenons une gamme dynamique de conversion de 125 mV et un LSB égal à 7,8125 mV.

### 3.3.2.2 Simulation temporelle

Lors des simulations, quatre séquences de codes binaires ont été injectées sur les entrées C(3...0). Ces séquences sont représentatives du fonctionnement nominal du CNA à capacités commutées. Pour obtenir des résultats proches de la réalité, nous avons employé un modèle de CNA qui intègre les composants parasites liés au dessin physique du CNA. Nous avons également chargé la sortie s\_dac du CNA avec une capacité de 20 fF pour simuler l'entrée du comparateur.



**Figure 3-7 : Simulation temporelle du comportement du CNA à capacités commutées.**

Dans la figure 3-7, le potentiel  $V_{in}$  (entrée du CAN) est comparé au potentiel de la rampe du signal  $V_{s\_dac}$  délivré par le CNA. Nous constatons 4 possibilités d'arrêt de la rampe "approchée" décroissante. Ceux-ci correspondent aux différents résultats obtenus lors de la quantification des 2 bits de poids fort [ $C(3...0) = 0, 4, 8$  ou  $12$ ]. Par conséquent, le potentiel  $V_{s\_dac}$  délivré durant l'intervalle 45 – 55 ns représente "une valeur approchée" de  $V_{in}$ .

Pour quantifier les 2 bits de poids faible, la rampe "précise" décroissante est démarrée. Dans la figure 3-7, nous remarquons que la rampe "précise" est référencée au potentiel de la rampe "approchée" définie durant l'intervalle 45 – 55 ns.

D'après les simulations, le principe de double rampe permet une conversion sur 4 bits en un maximum de 8 étapes longues chacune de 10 ns.

### 3.3.3 Simulation des erreurs de conversion et du bruit

A partir des simulations présentées dans le paragraphe précédent, nous avons déterminé les différentes caractéristiques du CNA 4 bits à capacités commutées. Celles-ci sont présentées dans le tableau ci-dessous.

Code C(3...0)	0	1	2	3	4	5	6	7
$V_{s\_dac}$ idéale (mV)	0	7,81	15,63	23,44	31,25	39,06	46,88	54,69
$V_{s\_dac}$ simulée (mV)	-0,28	7,42	15,12	22,82	30,53	38,23	45,93	53,63
Erreur (LSB)	0,04	0,05	0,07	0,08	0,09	0,11	0,12	0,14
$\sigma$ (LSB)	0,01	0,01	0,012	0,014	0,017	0,019	0,021	0,024
Code C(3...0)	8	9	10	11	12	13	14	15
$V_{s\_dac}$ idéale (mV)	61,33	69,02	76,73	84,43	92,14	99,83	107,54	115,24
$V_{s\_dac}$ simulée (mV)	62,5	70,31	78,13	85,94	93,75	101,56	109,38	117,89
Erreur en (LSB)	0,15	0,17	0,18	0,19	0,21	0,22	0,24	0,25
$\sigma$ (LSB)	0,026	0,029	0,031	0,034	0,036	0,039	0,042	0,044

Tableau 3-1 : Résultats de simulations du CNA 4 bits à capacités commutées

La comparaison des tensions  $V_{s\_dac}$  idéales aux tensions  $V_{s\_dac}$  simulées pour les 16 codes numériques en entrée du CNA montre que l'erreur maximale entre les tensions idéales et les résultats de simulation vaut 0,25 LSB. Cette erreur de gain provient de la capacité parasite de la piste propageant le signal  $V_{s\_dac}$  dont la longueur vaut  $\sim 400 \mu\text{m}$ . Or, cette erreur ne peut être corrigée efficacement au niveau du dessin physique en raison du facteur de forme défavorable du CNA, qui induit une capacité parasite de quelques dizaines de fF sur la piste du signal  $V_{s\_dac}$ . L'écart-type  $\sigma$  résulte des dispersions des valeurs des 16 capacités C unitaires qui elles-mêmes proviennent du procédé de fabrication des microcircuits. La quantification de cet effet a nécessité une simulation «Monte-Carlo» dont les résultats indiquent un écart-type  $\sigma$  sur le potentiel  $V_{s\_dac}$  de  $\sim 0,05$  LSB.

Une simulation a permis d'évaluer une contribution de bruit temporel négligeable présente sur le signal  $V_{s\_dac}$  qui vaut  $51 \mu\text{V}_{\text{RMS}}$ , soit  $\sim 0,01$  LSB.

Par conséquent, nous considérons que l'erreur de conversion du CNA provient majoritairement de l'erreur de gain et de dispersions, elle vaut  $0,25 \pm 0,05$  LSB. Cette erreur influera directement sur les performances du CAN à double rampe, notamment en induisant une erreur de gain.

### 3.3.4 Comparateur du CAN

#### 3.3.4.1 Architecture du comparateur

Le choix de l'architecture du comparateur présentée par la figure 3-8 a été guidé par le souci de respecter les critères de consommation du CDC. Ce comparateur ( $184 \mu\text{m} \times 25 \mu\text{m}$ ) est constitué de deux étages d'amplification (A1, A2), d'un système de compensation d'offset et d'un comparateur commuté CC1 (Dynamic Latch). Cette architecture nécessite des courants de polarisation plus faibles que ceux d'un comparateur réalisé avec un amplificateur opérationnel [77, 78].

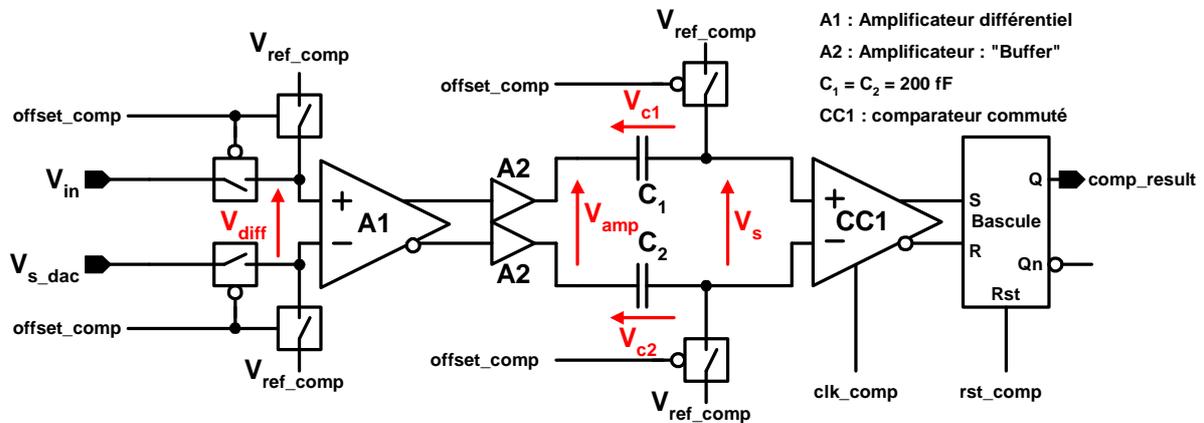


Figure 3-8 : Schéma du comparateur.

Dans un premier temps, une phase de réinitialisation permet de compenser les offsets  $V_{\text{off},A1}$  et  $V_{\text{off},A2}$  induits respectivement par les amplificateurs A1 et A2 de gain  $G_{A1}$  et  $G_{A2}$ . Lorsque le signal `offset_comp` = "1", les entrées de l'amplificateur A1 sont connectées à  $V_{\text{ref\_comp}} = 1,5 \text{ V}$ , provoquant  $V_{\text{diff}} = 0\text{V}$ . Ainsi, la tension  $V_{\text{amp}}$  sera égale aux offsets des amplificateurs A1 et A2. Le potentiel  $V_{\text{amp}}$  sera stocké dans les capacités  $C_1$  et  $C_2$  [79].

$$V_{\text{amp}} = V_{c1} - V_{c2} = G_{A2} \cdot (G_{A1} \cdot V_{\text{off},A1} + V_{\text{off},A2}) \quad (3-3)$$

Lors de la phase de comparaison, qui dure 10 ns, le signal `offset_comp` est mis à "0", provoquant la connexion des signaux  $V_{\text{in}}$  et  $V_{\text{s\_dac}}$  sur les entrées de l'amplificateur A1. Notons que les offsets sont compensés par les tensions stockées dans  $C_1$  et  $C_2$ . Ainsi, la relation qui lie la différence de potentiel  $V_{\text{diff}}$  avec la tension différentielle  $V_{\text{s}}$  s'écrit :

$$V_{\text{s}} = G_{A2} \cdot [G_{A1} \cdot (V_{\text{diff}} + V_{\text{off},A1}) + V_{\text{off},A2}] - (V_{c1} - V_{c2}) = G_{A2} \cdot G_{A1} \cdot V_{\text{diff}} \quad (3-4)$$

Lorsque le signal `clk_comp` est mis à "1" durant 5 ns, le comparateur commuté CC1 positionne ses signaux de sortie en fonction de la tension  $V_{\text{s}}$ . Pour  $V_{\text{in}} > V_{\text{s\_dac}}$ , la tension  $V_{\text{s}}$  est positive et le comparateur CC1 pilote la bascule de sorte que `comp_result` = "1".

### 3.3.4.2 Amplification différentielle

L'amplification différentielle est indispensable pour obtenir des performances satisfaisantes du comparateur. Cet étage permet de réduire l'offset du comparateur commuté CC1. [77]. Il permet également de maintenir la stabilité des potentiels  $V_{in}$  et  $V_{s\_dac}$  qui sont sensibles aux réinjections de signal (Kick back dans la littérature) provenant principalement de la commutation du comparateur commuté CC1 [80].

Comme l'illustre la figure 3-9, une paire différentielle A1 assure l'amplification du signal  $V_{diff}$  et deux suiveurs A2 réalisent une amplification en courant. Celle-ci est indispensable car l'amplificateur différentiel est chargé par les capacités de compensation d'offset  $C_1$  et  $C_2$ .

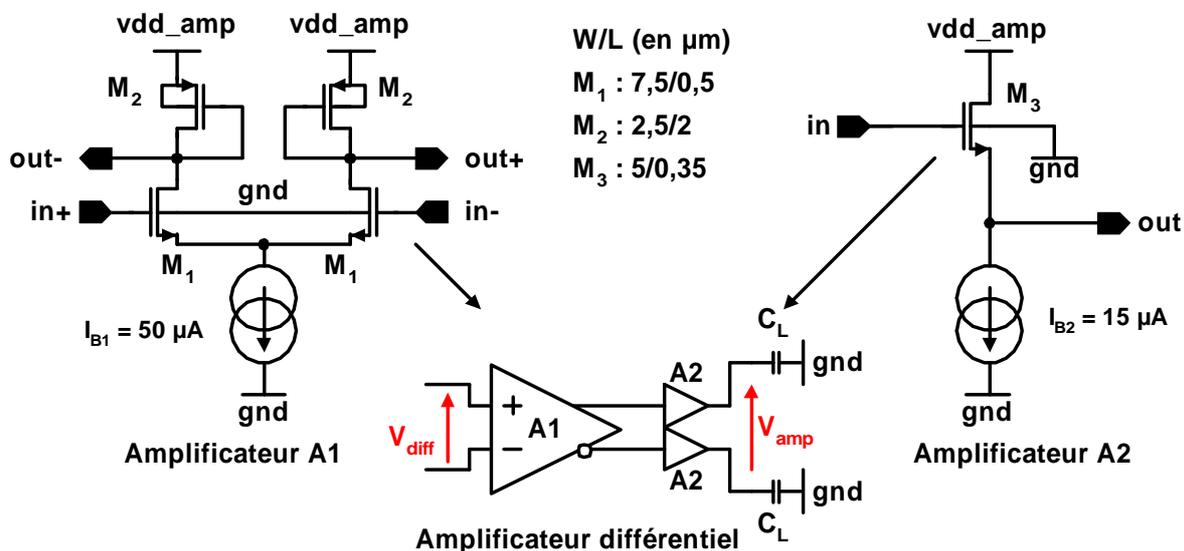


Figure 3-9 : Schéma de l'amplificateur différentiel du comparateur.

En fonctionnement nominal, l'amplificateur différentiel est polarisé par un courant total de  $\sim 80 \mu\text{A}$ , d'où une consommation statique de  $\sim 270 \mu\text{W}$ . Le gain de l'amplificateur différentiel vaut  $\sim 6$ . Ce gain est égal au rapport du gain de A1 ( $\sim 7,42$ ) et du gain de A2 ( $\sim 0,83$ ). La fonction de transfert  $T(p)$  s'écrit :

$$T(p) = \frac{g_{m,M1}}{g_{m,M2} + g_{ds,M2} + g_{ds,M1}} \cdot \frac{g_{m,M3}}{g_{m,M3} + g_{mb,M3} + g_{m,M3} + C_L \cdot p} \quad (3-5)$$

où  $p = j \cdot 2 \cdot \pi \cdot f$  avec  $f$  la fréquence du signal d'entrée  $V_{diff}$ ,  $C_L$  est la capacité de charge de l'amplificateur différentiel avec  $C_L = C_1 = C_2 = 200\text{fF}$ . Nous obtenons, par simulation, une bande passante à -3 dB de 134 MHz et une contribution en bruit ramenée sur l'entrée  $V_{diff}$ ,  $\sigma_{na}$  de  $\sim 140 \mu\text{V}_{\text{RMS}}$ , soit un équivalent de  $\sim 0,02$  LSB.

### 3.3.4.3 Comparateur commuté : «dynamic latch»

La comparaison est effectuée par un comparateur commuté. Cette architecture est couramment employée dans les comparateurs car elle consomme uniquement lors de la phase de comparaison et sa consommation statique est quasi nulle. Toutefois, l'emploi de ce type de comparateur réinjecte des perturbations sur ses entrées induisant un offset aléatoire de plusieurs mV [80, 81].

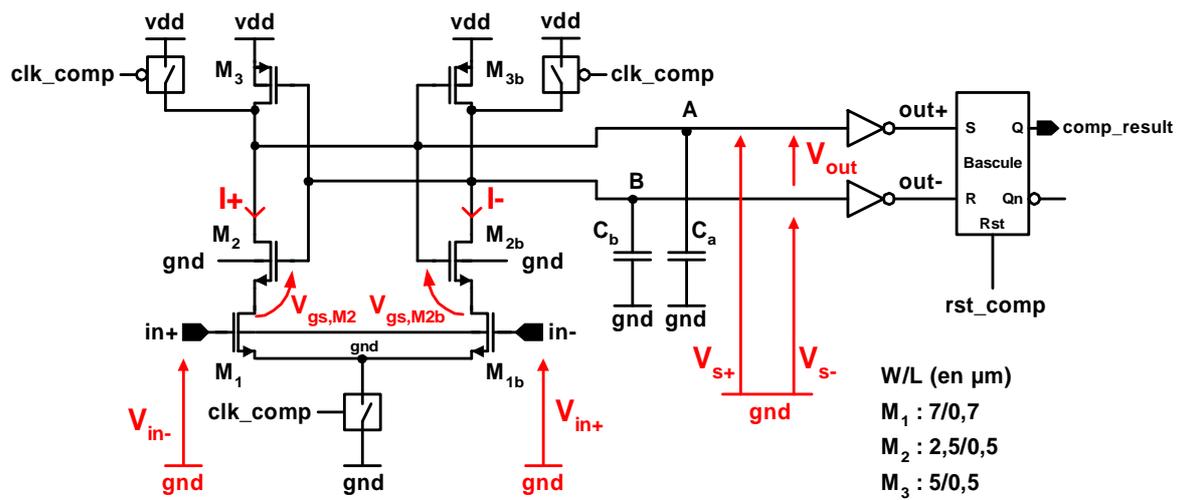


Figure 3-10 : Schéma du comparateur commuté.

Lorsque  $\text{clk\_comp}$  est à "0" logique, les capacités  $C_a$  et  $C_b$  représentant toutes les capacités parasites ramenées aux nœuds A et B sont chargées avec le potentiel  $v_{dd}$ . De plus, les courants  $I_+$  et  $I_-$  sont nuls, ainsi, les signaux  $\text{out}_+$  et  $\text{out}_-$  sont à "0" logique. Ces opérations réinitialisent la structure  $M_1$ ,  $M_{1b}$ ,  $M_2$ ,  $M_{2b}$ ,  $C_a$  et  $C_b$ . La bascule RS est dans un "état mémoire" et  $\text{comp\_result}$  envoie le résultat de la comparaison précédente.

La phase de comparaison débute lorsque  $\text{clk\_comp}$  est positionné à "1" logique. Les sources des transistors  $M_1$  et  $M_{1b}$  sont ramenées à "gnd". Avec  $V_{in+}$  supérieure à  $V_{in-}$ , la paire différentielle est déséquilibrée provoquant  $I_+ > I_-$ . La capacité  $C_a$  se déchargera plus rapidement que  $C_b$  et le potentiel  $V_{s+}$  décroît plus rapidement que  $V_{s-}$ . Par conséquent, le potentiel  $V_{gs,M2b}$  atteindra la valeur de sa tension de seuil  $V_{th,M2b}$  avant que  $V_{gs,M2}$  soit égale à  $V_{th,M2}$ . Dès que  $V_{gs,M2b} < V_{th,M2b}$ , le transistor  $M_{2b}$  est bloqué et le potentiel  $V_{s-}$  est égale à  $v_{dd}$ . Simultanément, le transistor  $M_2$  sature et  $V_{s+}$  vaut  $\sim 0V$ . La sortie  $\text{out}_+$  est alors égale à "1" et  $\text{out}_-$  est égale à "0". La bascule RS repositionne le signal  $\text{comp\_result}$  à "1" logique. Pour  $V_{in+}$  inférieure à  $V_{in-}$ ,  $\text{comp\_result}$  sera à "0" logique après la phase de comparaison.

La simulation indique un offset de  $\sim 5$  mV. Il justifie également l'emploi de l'amplificateur différentiel qui divise cet offset d'un facteur  $\sim 6$ , soit un offset de  $\sim 0,8$  mV ramené sur les entrées  $V_{in}$  et  $V_{s\_dac}$  du comparateur.

### 3.3.4.4 Résultats de simulation du comparateur

Dans la simulation ci-dessous, l'offset du comparateur est compensé durant l'activation du signal `offset_comp`. Suivant cette phase de compensation, le comparateur effectue des comparaisons entre  $V_{in}$  et  $V_{s\_dac}$  à intervalles réguliers de 10ns (cadencé par `clk_comp`).

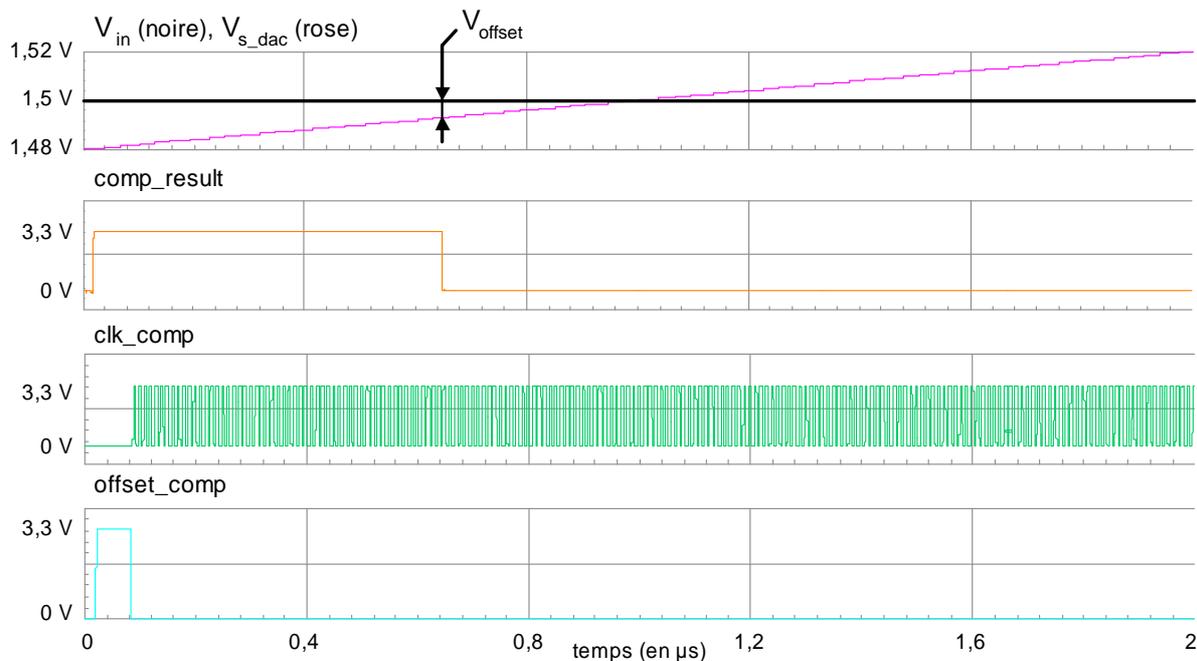


Figure 3-11 : Simulation du comparateur pour évaluer son offset et valider son fonctionnement.

Les simulations sont réalisées avec un modèle de comparateur intégrant des capacités parasites. Nous avons déterminé un offset statique de  $\sim 750 \mu\text{V}$ , soit une erreur de conversion équivalente de  $\sim 0,1 \text{ LSB}$ . Ce résultat est complété par une simulation intégrant les dispersions des microcircuits pour évaluer l'écart-type  $\sigma$  de l'offset.

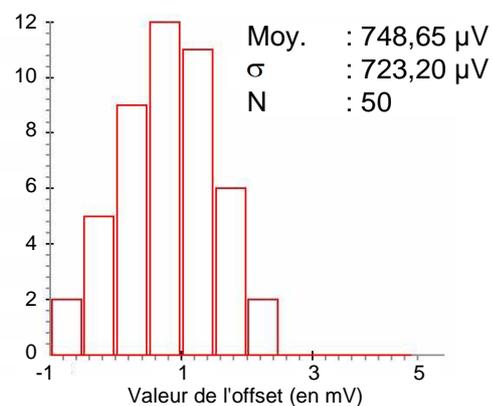


Figure 3-12 : Simulation Monte-Carlo de l'offset du comparateur.

A partir des figures 3-11 et 3-12, on déduit un écart-type  $\sigma$  de l'offset du comparateur valant  $\sim 725 \mu\text{V}$ , soit  $\sim 0,1 \text{ LSB}$ . Ainsi, nous obtenons une erreur de conversion provenant de l'offset statique et de son écart-type se traduisant par une erreur d'offset de  $-0,1 \pm 0,1 \text{ LSB}$  du CAN à double rampe. Nous négligerons l'effet de la contribution en bruit de l'amplificateur différentiel ( $0,02 \text{ LSB}$ ).

### 3.3.5 Résultat des simulations du CAN

Nous présentons ci-dessous, une simulation complète du fonctionnement du CAN à double rampe (904  $\mu\text{m}$  x 25  $\mu\text{m}$ ) pour un signal  $V_{in}$  variant de 1,5 V à 1,64 V. Dans la figure 3-13, nous pouvons distinguer l'évolution du signal  $V_{s\_dac}$  délivré par le CNA. Nous remarquons que les rampes fournies par le CNA dépendent de la valeur du signal  $V_{in}$ . Ceci traduit la recherche effectuée par le CAN à double rampe pour déterminer le code binaire correspondant à la tension d'entrée  $V_{in}$ .

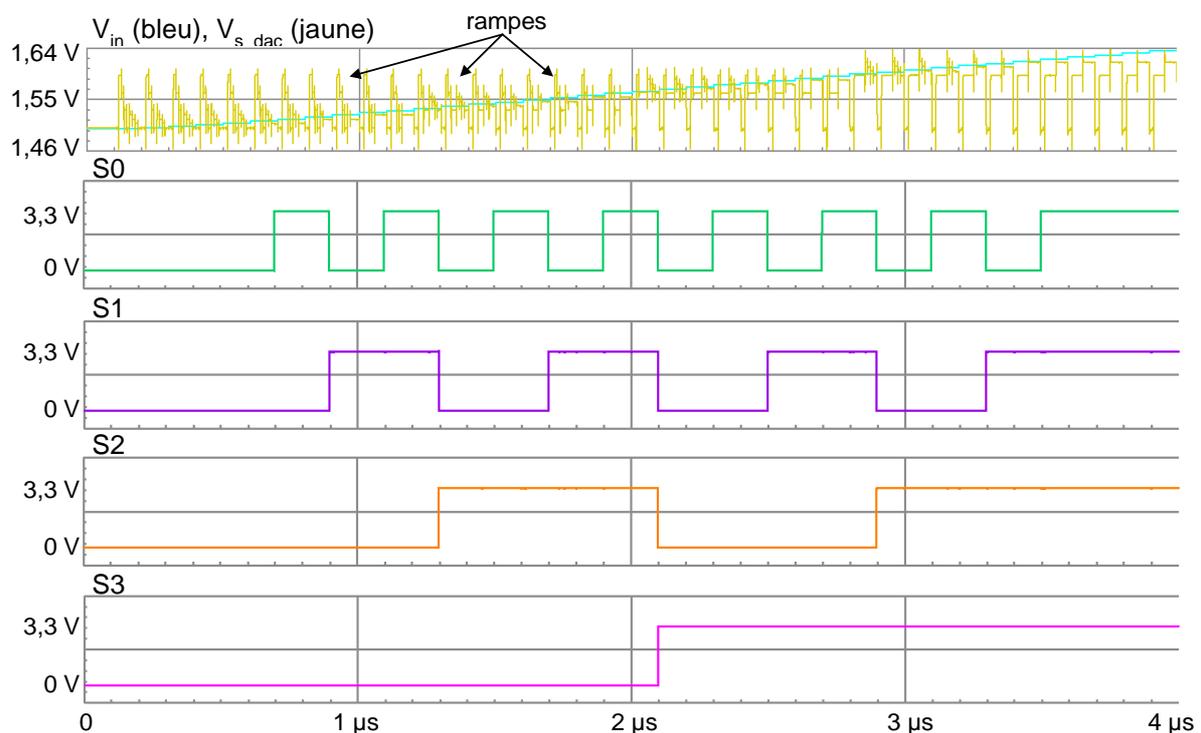


Figure 3-13 : Simulation finale du CAN à double rampe.

Les simulations ont permis de déterminer une consommation (statique + dynamique) du CAN de  $\sim 750 \mu\text{W}$ , conforme au CDC de ce premier prototype. La consommation statique ne dépasse guère  $\sim 280 \mu\text{W}$  et la consommation dynamique provenant du comparateur et du contrôleur numérique vaut  $\sim 470 \mu\text{W}$ .

L'erreur de conversion du CAN vaut  $0,35 \pm 0,1$  LSB. Elle provient majoritairement des erreurs de gain du CNA et d'offset du comparateur. Ces dernières n'ont pu être corrigées efficacement par une modification du dessin physique des circuits du CAN. En effet, les capacités parasites induites par les pistes d'interconnexion de plusieurs centaines de micromètres ne peuvent être réduites, notamment en raison du facteur de forme rectangulaire très allongé du CAN. Dans un développement ultérieur, on s'appuiera sur des

technologies fortement submicroniques pour améliorer ce point, et réduire d'un facteur 2 la surface occupée par le CAN (904  $\mu\text{m}$  x 25  $\mu\text{m}$ ).

Bien que des améliorations soient encore nécessaires atteindre les spécifications du CDC final, les simulations de ce premier prototype de CAN indiquent qu'il est compatible avec les objectifs fixés. Pour mesurer ses performances, un circuit intégrant plusieurs CAN a été fabriqué. Le paragraphe suivant présente en détails ce circuit et le banc de test associé.

## 3.4 Caractérisation des CAN

### 3.4.1 Architecture générale du circuit WILIAM

Pour caractériser les CAN à double rampe, nous avons conçu, fabriqué et testé le circuit intégré WILIAM. Cet ASIC (2 mm x 3 mm) présenté par la figure 3-14 (a) a été fabriqué en technologie AMS 0,35  $\mu\text{m}$  (substrat Hi-res) [38].

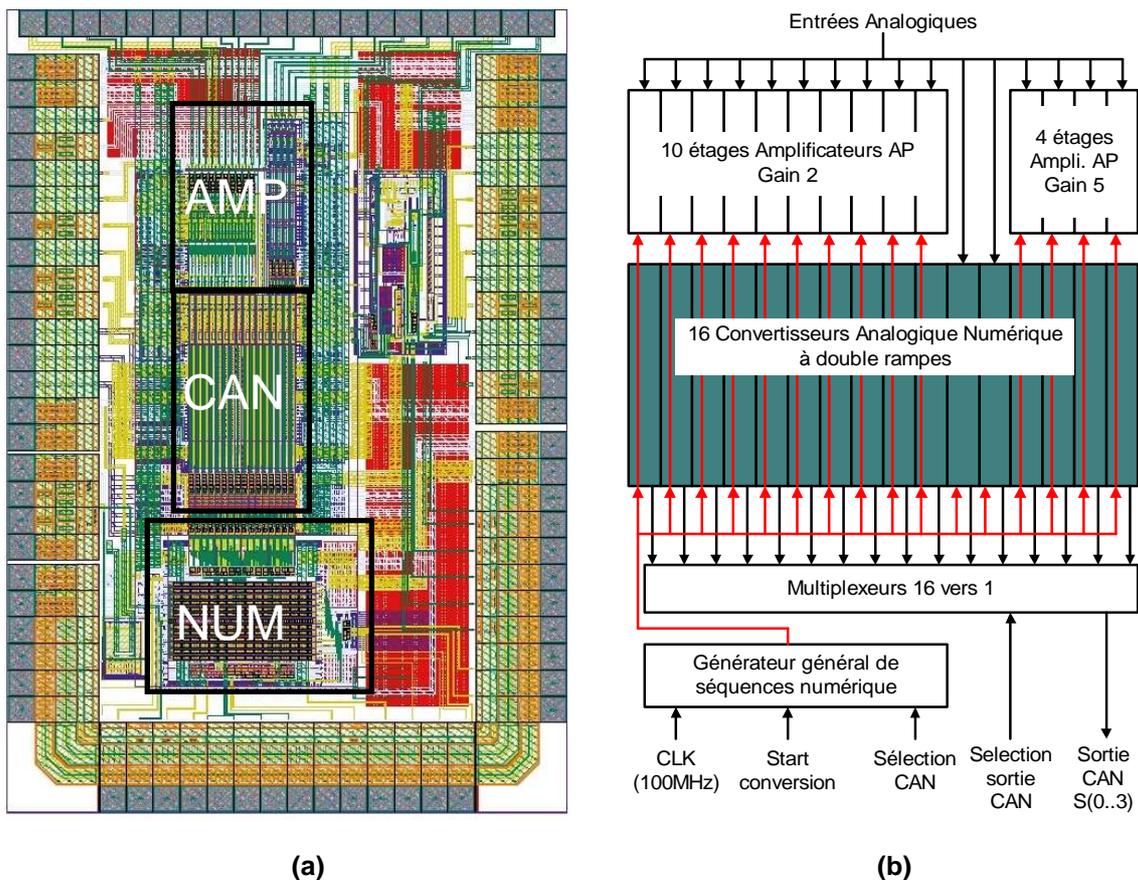


Figure 3-14 : (a) Dessin physique du circuit WILIAM, (b) synoptique du circuit.

Les principaux blocs AMP, CAN et NUM du circuit WILIAM seront présentés plus en détails dans les paragraphes suivants.

### **3.4.1.1 Les étages d'amplification AMP**

Les entrées analogiques du circuit WILIAM sont injectées dans les étages AMP d'amplification et échantillonnage (figure 3-14 (a et b)). Les signaux traités par les amplificateurs sont injectés dans les 14 CAN à double rampe. Les étages AMP sont constitués de 10 étages d'amplification de gain 2 et de 4 étages de test de gain 5. Ces circuits réalisent également l'échantillonnage/blocage des signaux de faibles amplitudes délivrées par les pixels. Ils sont soumis aux mêmes contraintes de consommation et de budget de matière que les CAN. Or, les résultats de mesure ont montré que ces circuits intégrés ne satisfont pas les objectifs de gain et de vitesse, en l'état.

### **3.4.1.2 Les CAN à double rampe**

Dans les figures 3-14 (a et b), on retrouve 16 CAN à double rampe placés côte à côte pour reproduire les conditions réelles d'intégration des CAN dans les capteurs CMOS. Ainsi, nous pourrions mettre en évidence les éventuels effets de diaphonies entre 2 CAN voisins, suivant qu'on les active ou non.

En raison des performances inappropriées des étages AMP, nous présentons dans ce manuscrit les résultats de mesure des CAN implémentés dans les voies dépourvues d'étage d'amplification. Par conséquent, nous présenterons uniquement les caractéristiques mesurées des CAN à double rampe.

### **3.4.1.3 Les circuits numériques NUM de contrôle**

Les circuits numériques de génération de séquences numériques et de multiplexage NUM sont illustrés dans les figures 3-14 (a et b).

Le générateur de séquence fournit les signaux de commande aux circuits CAN et AMP intégrés dans WILIAM. Il permet également d'activer individuellement chaque CAN. Les codes numériques en sortie de chaque CAN sont envoyés dans un multiplexeur (4 bits) 16 vers 1. Celui-ci véhicule les informations numériques délivrées par les CAN et permet de réduire le nombre de sorties du circuit WILIAM. Les circuits numériques ont été développés et optimisés pour être cadencés par une horloge CLK dont la fréquence vaut ~100 MHz, fréquence à laquelle le CAN convertit (~10 M échantillons par secondes)

Pour mesurer les caractéristiques des CAN, nous avons conçu et réalisé un banc de test que nous présentons dans le paragraphe suivant.

### 3.4.2 Outils de caractérisations des CAN

Le circuit WILIAM a été placé dans un banc de tests dédié pour extraire les caractéristiques des CAN à double rampe. Ce banc de test présenté par la figure 3-15 est composé d'un micro-ordinateur, d'un système d'acquisition et d'une carte électronique sur laquelle est implémenté le circuit WILIAM.

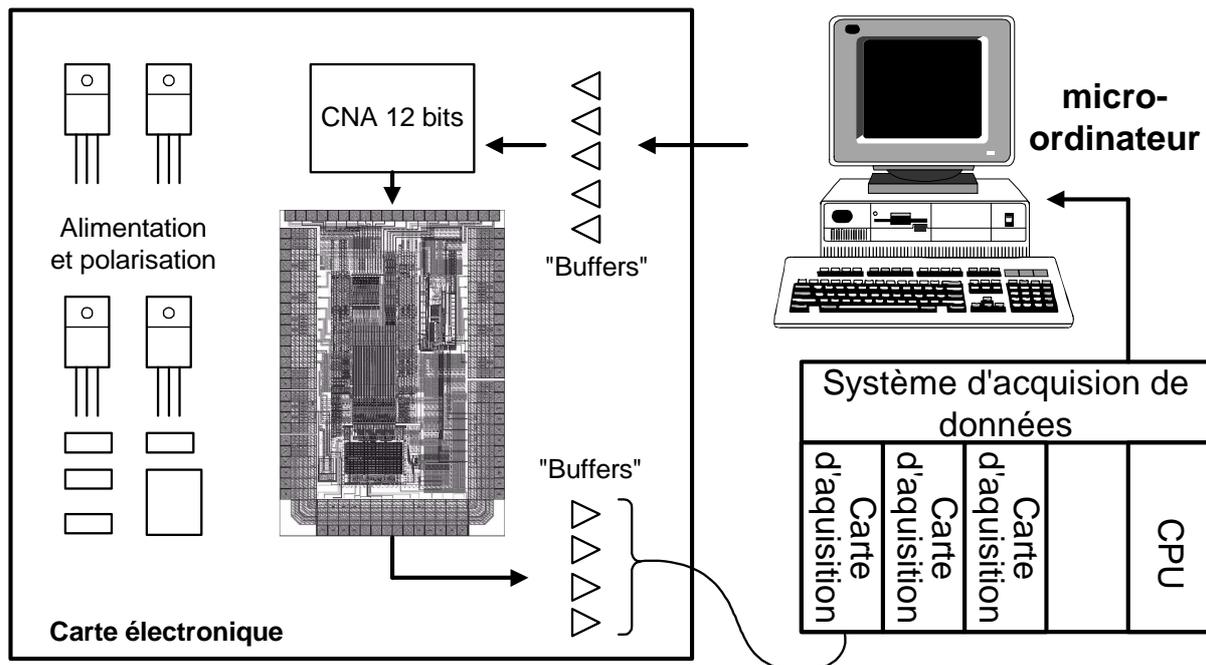


Figure 3-15 : Banc de test du circuit WILIAM.

Les tensions de polarisation et d'alimentation du circuit sont générées localement sur la carte électronique pour maintenir leurs sensibilités aux perturbations électromagnétiques à un niveau satisfaisant. Un CNA 12 bits ( $\text{LSB} \approx 300 \mu\text{V}$ ) permet d'injecter des potentiels sur les entrées du circuit WILIAM. Ces tensions délivrées par le CNA 12 bits se présenteront sous forme de rampes couvrant la gamme dynamique d'entrée des CAN (1,5 V-1,625 V). Durant l'injection des rampes, les CAN à double rampe renverront les codes numériques vers le système d'acquisition à intervalles réguliers de 100 ns.

Le système d'acquisition est dimensionné pour enregistrer des codes numériques de 4 bits conformément à la vitesse escomptée ( $\sim 10$  M échantillons par secondes). Le micro-ordinateur dirige le fonctionnement de la carte électronique et enregistre les données numériques délivrées par les CAN de WILIAM.

Finalement, les données seront analysées pour extraire les caractéristiques des CAN à double rampe. Les résultats des analyses des données mesurées avec ce banc de test sont présentés dans les paragraphes suivants.

## 3.5 Résultats de la caractérisation

### 3.5.1 Conditions de mesure

Pour déterminer les performances du CAN avec le banc de test, nous avons injecté sur les entrées du CAN un signal analogique couvrant la gamme dynamique de 1,5 V à 1,65 V. La fréquence de Clk a été limitée à 10 MHz (temps de conversion de 1  $\mu$ s) car dans ces conditions, les erreurs de monotonicité étaient quasi inexistantes, nous permettant ainsi d'extraire les caractéristiques du CAN (erreurs d'offset, de gain, INL et DNL). Nous avons effectué 1000 cycles de mesure des caractéristiques de conversion du CAN.

### 3.5.2 Erreur de monotonicité

Lors de l'analyse des données, nous avons constaté des erreurs de monotonicité du code de sortie du CAN. Nous présentons dans la figure 3-16, les maximas et minimas des points de mesure des caractéristiques du CAN par rapport à la caractéristique idéale. Le nombre d'erreurs de monotonicité augmente en fonction de la fréquence de l'horloge Clk.

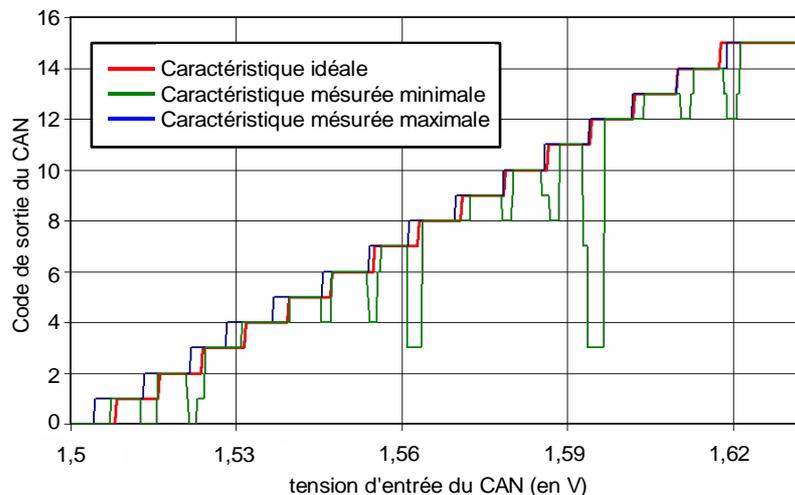


Figure 3-16 : Caractéristiques de sortie mettant en évidence les erreurs de monotonicité.

Les erreurs de monotonicité proviennent majoritairement des capacités parasites présentes sur les pistes du CNA à capacité commutées. Elles augmentent le temps d'établissement des potentiels aux bornes des capacités unitaires C et implicitement celui du potentiel  $V_{s\_dac}$ . Ainsi, le CNA ne peut fournir les rampes analogiques "approchées" et "précises" à leurs vitesses nominales (temps de conversion 10 ns). Ceci est une conséquence directe du facteur de forme rectangulaire allongé des CNA, dont les longueurs des connexions internes ne peuvent être optimisées.

### 3.5.3 Caractéristiques de conversion du CAN

A l'aide d'un logiciel de calcul, nous avons supprimé les caractéristiques non monotones. Nous présentons dans la figure 3-17, les courbes des minimas et maximas des caractéristiques mesurées ne présentant pas d'erreurs de monotonicit . Nous obtenons  galement la courbe caract ristique moyenne du CAN que nous comparons   la caract ristique id ale dans la figure 3-18.

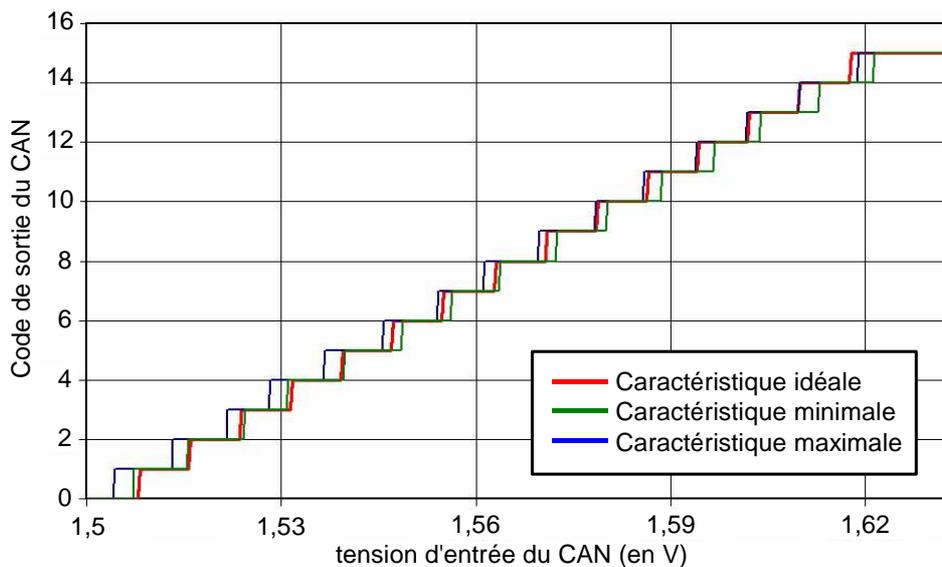


Figure 3-17 : Caract ristiques min et max trait e du CAN   double rampe.

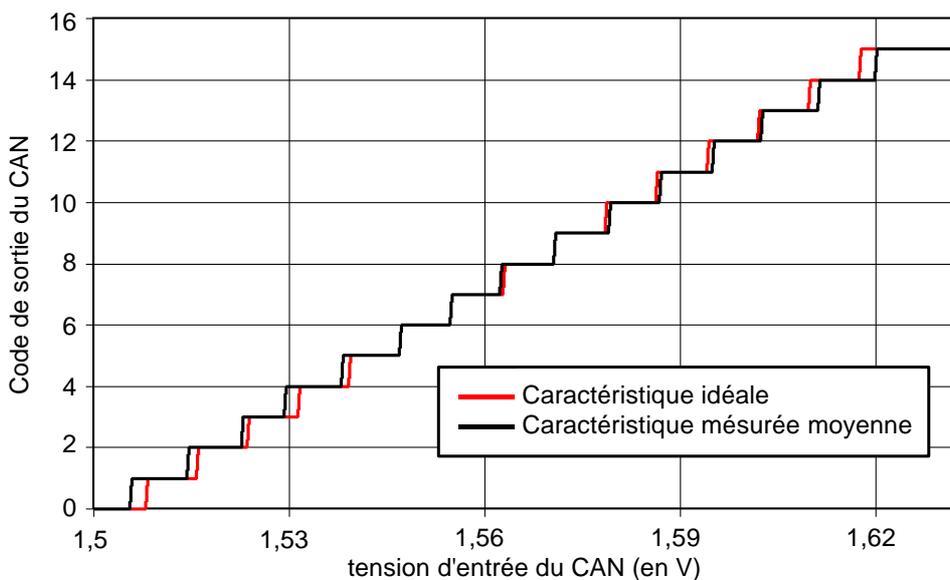


Figure 3-18 : Caract ristiques moyenne trait e du CAN   double rampe.

Les donn es repr sent es par les courbes des figures 3-17 et 3-18 permettent de d terminer les erreurs de conversion du CAN : erreurs d'offset, de gain, INL et DNL.

### 3.5.4 Erreur d'offset et erreur de gain

L'erreur d'offset définit l'écart entre la courbe de conversion du CAN mesurée moyenne avec la courbe idéale. Le calcul de l'erreur d'offset est décrit par l'équation 3-6 :

$$\text{erreur d'offset} = \frac{T_{\text{mes}(0 \rightarrow 1)} - T_{\text{ideal}(0 \rightarrow 1)}}{q} \quad (3-6)$$

où  $q = 1 \text{ LSB}$  est le quantum d'un CAN idéal,  $T_{\text{mes}(0 \rightarrow 1)}$  et  $T_{\text{ideal}(0 \rightarrow 1)}$  sont respectivement les valeurs des tensions de transition du code 0 vers le code 1 des courbes mesurées et idéales du CAN [82].

Disposant de l'erreur d'offset, nous pouvons estimer l'erreur de gain de la courbe de conversion du CAN qui est définie par l'équation 3-7 :

$$\text{erreur de gain} = \frac{T_{\text{mes}}(2^n - 1) - T_{\text{ideal}}(2^n - 1) - \text{erreur d'offset}}{q} \quad (3-7)$$

où,  $n$  est égal au nombre de bits du CAN,  $T_{\text{mes}}(2^n - 1)$  et  $T_{\text{ideal}}(2^n - 1)$  sont respectivement les valeurs des tensions de transition entre le code 14 et le code 15 des courbes mesurée et idéale du CAN [82].

A partir des données mesurées présentées par les figures 3-17 et 3-18, nous avons déterminé les erreurs d'offset et de gain du CAN à double rampe.

	Caractéristique minimale	Caractéristique moyenne	Caractéristique maximale
Erreur d'offset (mV)	-1,1	-2,6	-4,1
Erreur d'offset (LSB)	-0,13	-0,33	-0,53
Erreur de gain (mV)	10	12,7	15,4
Erreur de gain (LSB)	1,29	1,63	1,97

**Tableau 3-2 : Résultats de mesure, erreurs d'offset et de gain du CAN à double rampe.**

Dans le tableau 3-2, nous présentons les valeurs des erreurs d'offset et de gain. L'erreur d'offset provient de l'offset statique ( $-0,1 \pm 0,1 \text{ LSB}$ ) et aléatoire du comparateur, de la précision de la référence de tension  $V_{\text{ref}_m}$  de l'ordre d'un à plusieurs millivolts et des imperfections du CNA. Lors de l'intégration des CAN dans les capteurs CMOS, on veillera à maîtriser la valeur des tensions de référence avec une précision meilleure que le demi-millivolt. Dans un développement ultérieur, l'offset du comparateur devra également être réduit (d'un facteur  $\sim 2$ ), notamment en améliorant le dessin physique du comparateur.

L'erreur de gain ( $\sim 1,63 \pm 0,34$  LSB) résulte de la différence de potentiel entre  $V_{ref\_p}$  et  $V_{ref\_m}$ , qui peut atteindre plusieurs millivolts. Elle provient également du rapport entre les valeurs des capacités  $C$  du CNA et de l'effet de la capacité parasite (plusieurs dizaines de fF) sur la sortie  $V_{s\_dac}$  du CNA. La valeur de cette capacité a été sous-estimée lors des simulations, et cela d'au moins, un facteur 2. L'intégration de capacités  $C$  de quelques centaines de fF permettrait de minimiser l'effet de la capacité parasite, mais augmenterait sensiblement la surface du CAN. On peut augurer que l'emploi d'une technologie plus profondément submicronique permette, par exemple de réduire la valeur des capacités parasites ayant un effet sur les erreurs de conversion.

### 3.5.5 Erreur de non-linéarités différentielle

L'erreur de non-linéarités différentielle (DNL) représente pour chaque code de 0 à  $2^n - 1$ , la différence entre la largeur des paliers mesurée et la largeur idéale (1 LSB).

$$DNL(n) = \frac{q(n+1) - q(n) - q}{q} \quad (3-8)$$

où  $n$  est la valeur du code analysé compris entre (0 et  $2^n - 1$ ),  $q(n)$  la valeur du pas de quantification du code  $n$  de la courbe de conversion mesurée. Le quantum  $q = 1$  LSB est le pas de quantification d'un CAN idéal [82].

La figure 3-19 présente les résultats de mesure DNL obtenus par l'application de la formule 3-8 sur les données des caractéristiques présentées par les figures 3-17 et 3-18.

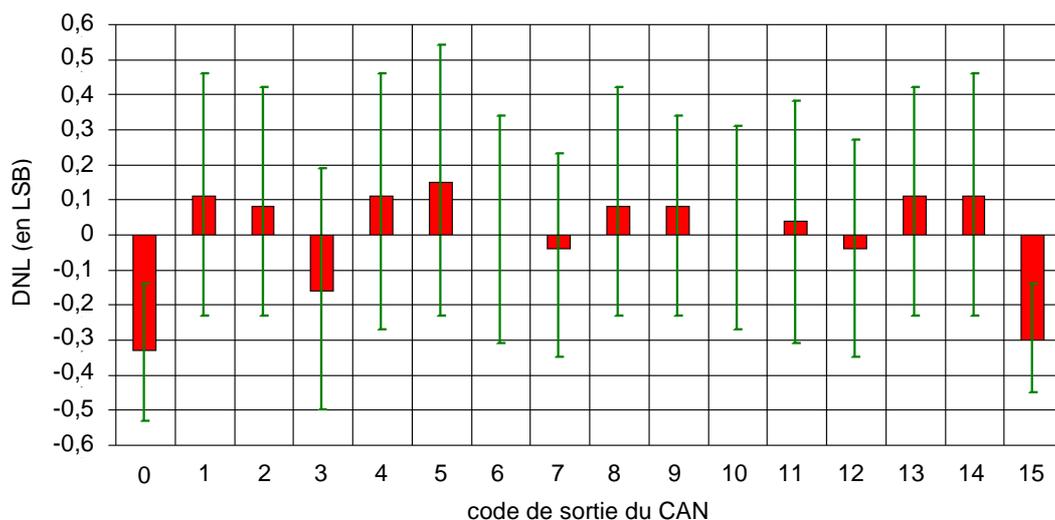


Figure 3-19 : Caractéristique DNL du CAN à double rampe.

A partir des résultats représentés sur la figure 3-19, nous déterminons un DNL mesuré d'environ  $\pm 0,54$  LSB. Les fluctuations du DNL proviennent des imperfections du

comparateur et du CAN. En effet, le comportement du comparateur diffère lors de chaque conversion, due notamment, à la valeur absolue des potentiels d'entrées et aux fluctuations du comportement de la compensation d'offset. L'intégration de capacités  $C_1$  et  $C_2$  du comparateur de valeur plus élevées permettraient de réduire les problèmes de fluctuations de la compensation d'offset. Or, cette amélioration augmente la surface du CAN. De même, l'efficacité de la réinitialisation du CNA à 4 bits fluctue sensiblement lors des différentes conversions du CAN à double rampe.

### 3.5.6 Erreur de non-linéarités intégrale

L'erreur de non-linéarités intégrale (INL) représente la différence entre la position d'une transition d'un code  $n$  à un code  $n+1$  sur la courbe mesurée et celle sur la courbe idéale.

$$\text{INL}(n) = \frac{T_{\text{mes}(n)} - T_{\text{ideal}(n)}}{q} \quad (3-9)$$

où  $q = 1 \text{ LSB}$  est le pas de quantification pour un CAN idéal,  $T_{\text{mes}(n)}$  et  $T_{\text{ideal}(n)}$  sont respectivement les valeurs des tensions de transition de la courbe mesurée et idéale [82].

La figure 3-20 présente les résultats de l'INL obtenue par l'application de la formule 3-9 sur les caractéristiques mesurées du CAN affranchies des erreurs de monotonicité.

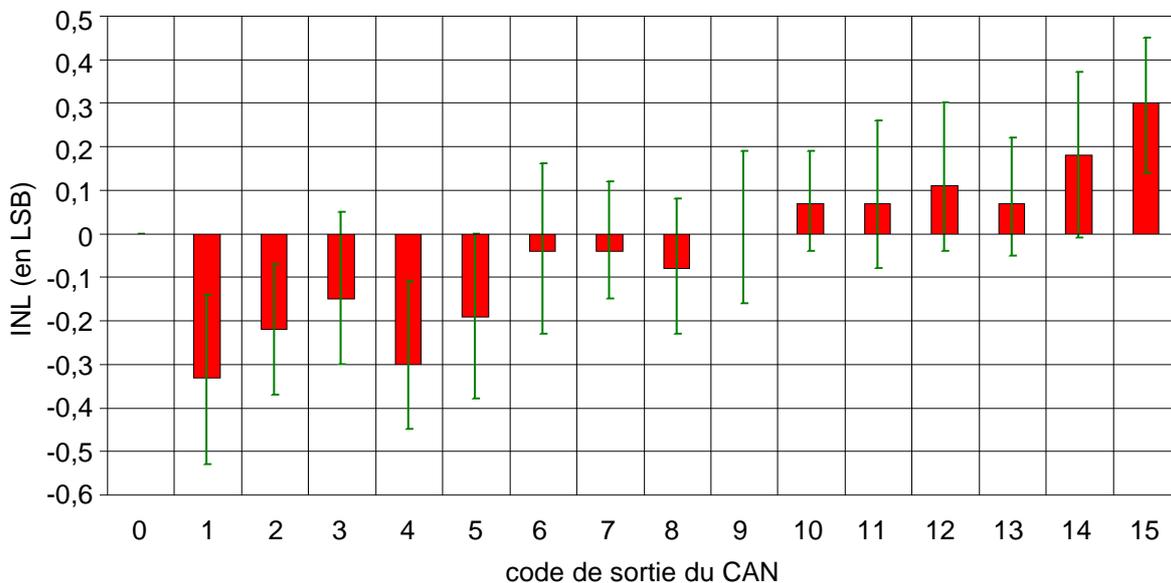


Figure 3-20 : Caractéristique INL du CAN à double rampe.

A partir des résultats présentés par la figure 3-20, on extrait un INL mesuré d'environ  $\pm 0,53 \text{ LSB}$ . Cette erreur intègre l'erreur d'offset, mais également les fluctuations de comportement du comparateur et du CNA à capacités commutées.

### 3.5.7 Récapitulatif des performances du CAN

Lors de simulations, nous avons obtenu une erreur de conversion de  $0,35 \pm 0,1$  LSB. Cette erreur représente l'offset du comparateur et les imperfections du CNA à capacités commutées liées notamment, aux capacités parasites. Ceci démontre le potentiel de cette première version de CAN à double rampe.

A partir des mesures réalisées, nous avons extrait les caractéristiques statiques du CAN à double rampe. Les mesures dynamiques n'ayant pas encore été effectuées, nous ne traiterons pas les caractéristiques suivantes : signal-to-noise and distortion ratio (SINAD), effective number of bits (ENOB), Settling Time (Temps d'établissement) et la consommation dynamique du CAN [82].

Nous comparons, dans la table 3-3, les caractéristiques statiques mesurées du CAN à double rampe avec les critères définis dans le CDC.

	CDC	Mesures	Unités
Gamme dynamique d'entrée	125	$125 \pm 6$	mV
Nombre de bits	4	4	Bits
Dimensions	$25 \times 500$	$\sim 25 \times \sim 904$	$\mu\text{m}^2$
Consommation statique	<500	$280 \pm 20$	$\mu\text{W}$
Fréquence d'horloge	100	$\sim 10$	MHz
Temps de conversion	0,1	$\sim 1$	$\mu\text{s}$
Erreur d'offset	$< \pm 0,5$	$-0,33 \pm 0,20$	LSB
Erreur de gain	$< \pm 0,5$	$1,63 \pm 0,34$	LSB
DNL	$< \pm 0,5$	$\pm 0,54$	LSB
INL	$< \pm 0,5$	$\pm 0,53$	LSB

**Tableau 3-3 : Récapitulatif des caractéristiques mesurées et simulées du CAN.**

- En raison des limites imposées par la technologie AMS  $0,35 \mu\text{m}$ , nous avons relâché les contraintes sur la surface et la consommation totale (statique et dynamique). On s'emploiera dans un développement ultérieur à réduire la surface du CAN d'un facteur 2.

- La consommation statique est inférieure aux critères définis par le CDC. La consommation dynamique ( $\sim 470 \mu\text{W}$ ) est acceptable pour ce prototype. Or, dans un développement ultérieur, le critère de consommation dynamique devra être amélioré.

- Les mesures ont permis de mettre en évidence des erreurs de monotonicité dans la courbe de conversion. Elles proviennent principalement du CNA à capacités commutées. Leur nombre augmente en fonction de la fréquence de l'horloge Clk. Une limite du temps de conversion de 1  $\mu$ s garantit un fonctionnement satisfaisant du CAN. Seul, une nouvelle conception du CNA peut corriger ces imperfections. Les circuits numériques du CAN ont démontré un fonctionnement viable avec une fréquence d'horloge Clk de 100 MHz.

- L'erreur d'offset est conforme au CDC. Toutefois, lors des développements futurs de CAN, on veillera à maîtriser la valeur des tensions de référence du CAN. On modifiera également le dessin physique du comparateur pour réduire son offset statique.

- L'erreur de gain devra être réduite d'un facteur 3 à 5. On devra également améliorer la précision des tensions de référence ( $V_{ref\_p}$  et  $V_{ref\_m}$ ) du CAN et diminuer l'effet des capacités parasites au sein du CNA à 4 bits. L'emploi d'une technologie submicronique profonde permettrait par exemple, de réduire les effets des capacités parasites.

- La précision de conversion du CAN est également définie par les erreurs de non-linéarités intégrale (INL) et de non-linéarités différentielle (DNL). Nous constatons que ces paramètres sont du même ordre de grandeur que celle définie par le CDC. Dans un développement ultérieur, les fluctuations des comportements électroniques des circuits du CAN devront être minimisées.

Bien que tous les critères du CDC ne soient pas respectés avec cette première version de CAN à double rampe (surface, consommation dynamique, erreur de gain), le prototypage a bien fait apparaître le potentiel attrayant de cette architecture. En effet, ce premier prototype présente des résultats de mesure (erreur d'offset, INL, DNL) compatibles avec le CDC du CAN. Lors de la conception de la deuxième version de CAN à double rampe, les imperfections des différents microcircuits du CAN devront être corrigées.

L'architecture de CAN à double rampe présente une flexibilité de conception qui lui permettra de couvrir un vaste champ d'applications initialement occupé par les CAN Wilkinson. Dans le paragraphe suivant, nous présenterons la possibilité de réemployer l'architecture de CAN à double rampe pour des CAN à n rampes et m bits.

### 3.5.8 Extension du concept vers un CAN à n rampes

Le principe du CAN à double rampe peut être étendu à des convertisseurs à n rampes et m bits.

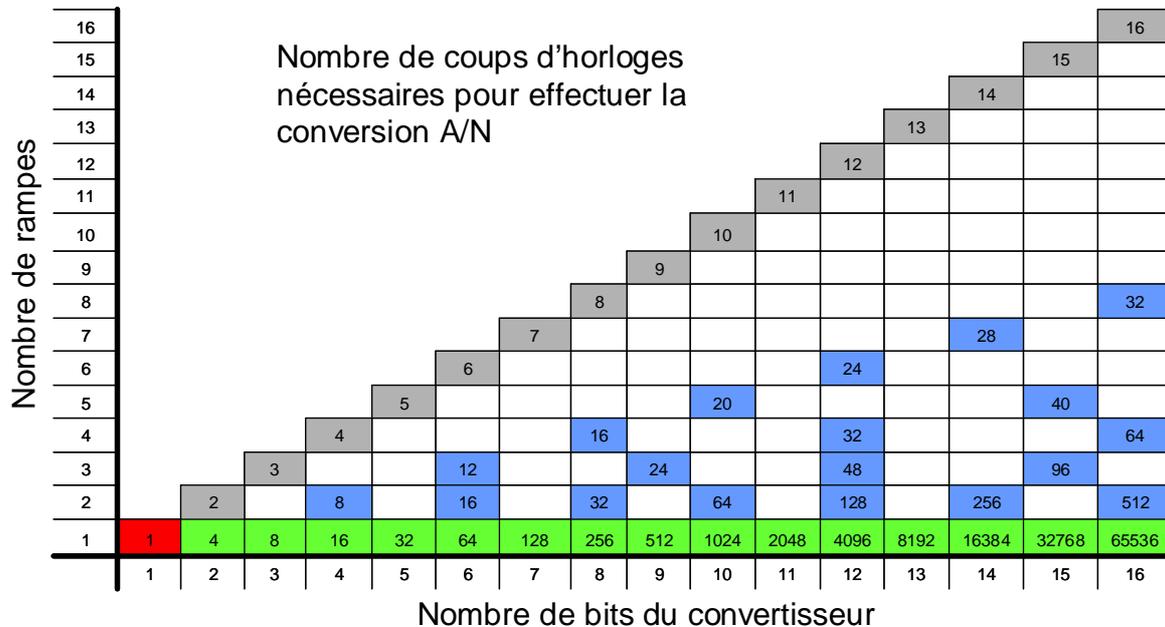


Figure 3-21 : Comparaison entre les CAN SAR, Wilkinson et à double rampe.

La figure 3-21 présente le temps de conversion (défini par le nombre de coups d'horloge) d'un convertisseur à 1 bit constitué d'un comparateur (en rouge), des convertisseurs Wilkinson (en vert), des convertisseurs SAR (en gris) et des convertisseurs à n rampes (en bleu). Seuls sont répertoriés les CAN à n rampes dont le nombre de bits à quantifier par chaque rampe est identique.

Par exemple, un CAN de 16 bits à 8 rampes utilisera chacune des rampes pour quantifier 2 bits. Le temps de conversion s'élèvera à 32 coups d'horloge, soit 4 coups d'horloge par rampe. Paradoxalement, les architectures de CAN à n rampes «inégaux» (cases blanches sur la figure 3-21) requièrent un système de gestion numérique complexe pour assurer la conversion et présentent un intérêt moindre en termes de performances globales.

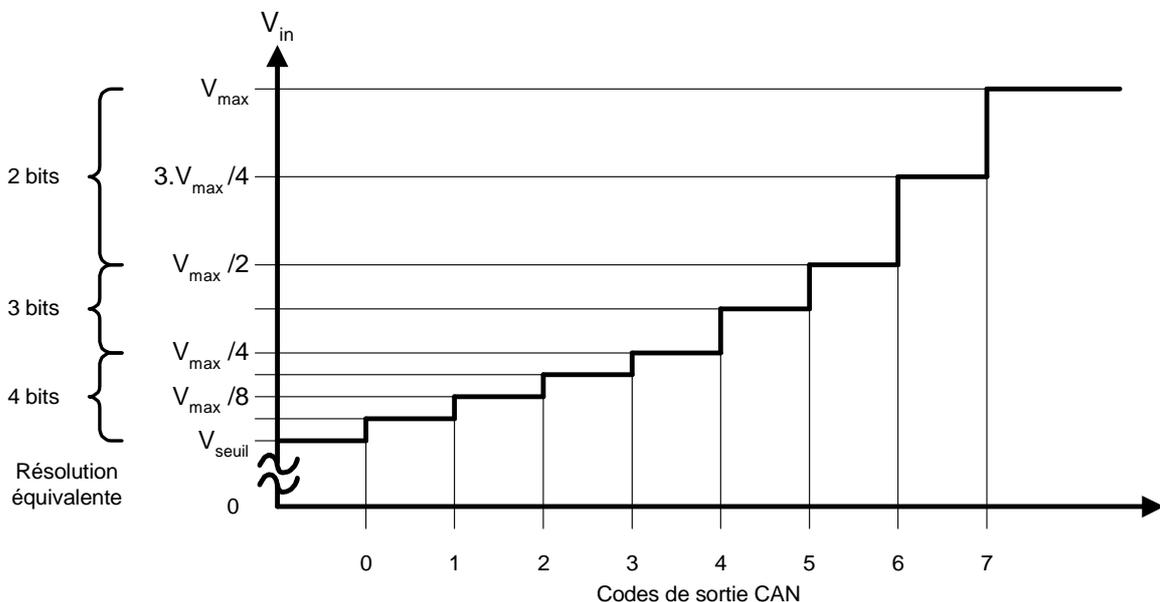
Comparativement aux CAN SAR, les CAN à n rampes nécessitent un système de gestion numérique simplifiée et convertissent plus rapidement que les CAN Wilkinson. Ainsi, cette architecture de conversion à n rampes constitue une alternative aux convertisseurs Wilkinson et SAR pour des applications recherchant un compromis entre trois paramètres : l'occupation en surface de silicium, la vitesse de conversion et la consommation.

## 3.6 Nouvelles architectures de CAN pour les capteurs CMOS

### 3.6.1 Nouvelle courbe de conversion

La résolution spatiale des capteurs CMOS dépend sensiblement des informations délivrées par les pixels adjacents au pixel siège traversé par la particule détectée. En effet, la valeur du nombre de charges collectée par des pixels sièges apporte peu pour la résolution spatiale. De plus, les fluctuations de Landau peuvent sensiblement modifier la charge collectée. Lors d'un dépôt élevé de charges, l'information du pixel siège est écrêtée par le CAN car elle ne présente pas d'intérêt particulier.

L'analyse de données prises en faisceau ont démontré que la résolution spatiale est de plusieurs  $\mu\text{m}$  avec un CAN dont la résolution est de 4 bits sur les faibles amplitudes du signal  $V_{in}$  (pixels de la couronne de l'amas), puis de 3 bits et de 2 bits sur le reste de la gamme dynamique de ce signal (pixels adjacents et pixels sièges). Ainsi, pour exploiter l'information délivrée par les pixels d'un amas de manière optimale, notre équipe propose la caractéristique de conversion présentée par la figure 3-22 [70].



**Figure 3-22 : Nouvelle courbe de conversion proposée pour les CAN employés dans les capteurs CMOS dédiés à la détection de vertex.**

Dans la figure 3-22, nous considérons une valeur  $V_{max}$  qui représente la valeur du signal transmise par le pixel siège lors de la collection de 30 % des charges libérées. Rappelons que chaque pixel adjacent délivre généralement un potentiel sensiblement inférieur à  $V_{max}$ .

La tension  $V_{\text{seuil}}$  (typiquement quelques fois le bruit des pixels) est employée pour stopper la conversion d'un signal d'entrée du CAN ayant une amplitude inférieure à  $V_{\text{seuil}}$ . Ceci permet d'économiser de la puissance lorsque l'information utile est noyée dans le bruit.

Le développement du CAN à double rampe est antérieur à la proposition de la caractéristique de conversion présentée dans la figure 3-22. Ainsi, lors du développement d'un nouveau prototype, nous effectuerons les modifications requises pour permettre des conversions analogique-numérique respectant la nouvelle caractéristique.

### 3.6.2 Proposition de nouvelles architectures de CAN

Pour répondre aux exigences du CDC, notamment en termes de surface et d'erreur de gain, nous proposons dans ce paragraphe deux approches permettant d'améliorer les performances globales des CAN et de convertir les signaux délivrés par les pixels conformément à la nouvelle caractéristique de conversion.

#### 3.6.2.1 CAN à réseau d'interrupteurs

Dans cette architecture de CAN, un réseau d'interrupteurs analogiques remplace le CNA à 4 bits. Ainsi, la fonction de CNA occupe une surface plus faible que celle du convertisseur à capacités commutées 4 bits ( $465 \mu\text{m} \times 25 \mu\text{m}$ ) décrit dans le paragraphe 3.3.2. Le réseau interconnecte le signal  $V_s$  avec 8 tensions de références  $V_{\text{ref}_{(0..7)}}$ .

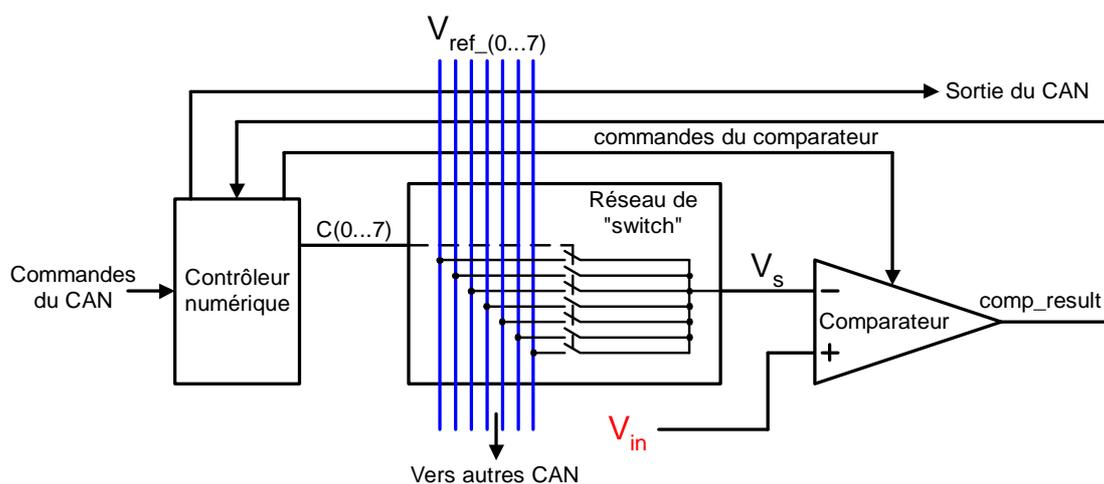


Figure 3-23 : Architecture de CAN à réseaux d'interrupteurs intégrés.

Durant une première étape de conversion du signal, le CAN se comportera comme un discriminateur. Si l'amplitude du signal d'entrée est inférieure à  $V_{\text{seuil}}$ , le CAN n'effectuera pas de conversion. Le cas échéant, le signal  $V_{\text{in}}$  est comparé aux 7 potentiels  $V_{\text{ref}_{(0..7)}}$  pour déterminer le code de sortie en employant des approximations successives.

La précision de cette architecture de CAN repose sur les performances du comparateur mais également sur la stabilité et la précision des tensions de références  $V_{ref_{(0...7)}}$ . La valeur du LSB doit être de quelques mV à ~10 mV en fonction des gains des éléments de la chaîne de mesure (CVF des pixels, gain de l'amplificateur AP, ...). Or, un LSB de l'ordre de quelques millivolts interdit l'emploi exclusif de références de tensions en raison de leurs précisions limitées. En effet, lors de la caractérisation du CAN à double rampe, nous avons observé une interdépendance des erreurs de conversion (offset, gain, ...) et de la précision des tensions de référence. Ainsi, pour assurer la précision de conversion, les bits de poids faible peuvent être convertis à l'aide d'un comparateur couplé à un réseau de références et à un CNA 2 bits à capacités commutées.

### 3.6.2.2 CAN à réseau d'interrupteurs et de capacités commutées

Dans cette architecture, le CNA (figure 3-24) est composé d'un réseau d'interrupteurs et d'un convertisseur à capacités commutées de 2 bits. Par extrapolation des dimensions du CNA à 4 bits décrit dans le paragraphe 3.3.2, cette nouvelle version de CAN est plus compacte (~250  $\mu\text{m} \times 25 \mu\text{m}$ ). Ce concept permet de minimiser le nombre de références de tension, qui sont sujettes à de fortes contraintes de précision.

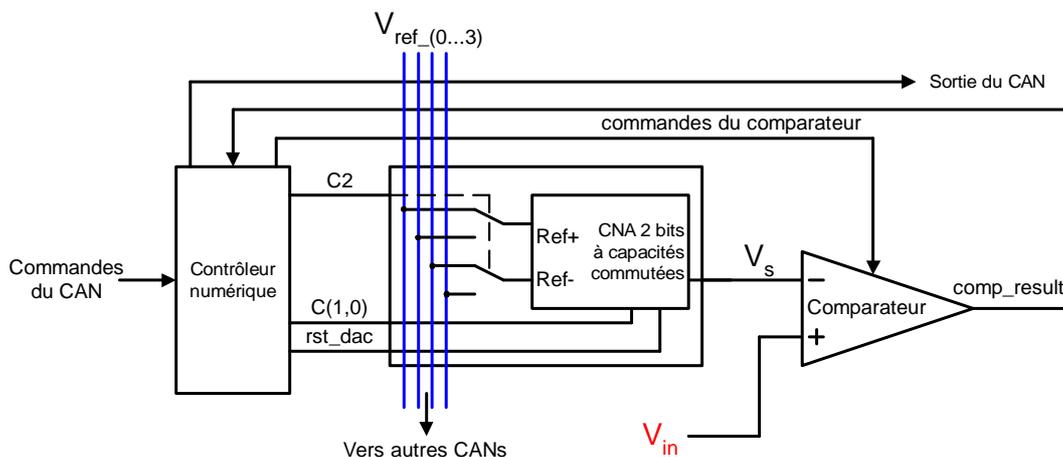


Figure 3-24 : Architecture de CAN à CNA 2 bits à capacités commutées.

Le CNA couplé au réseau d'interrupteurs fournira 8 potentiels de référence sur le signal  $V_s$ . Lors de la conversion, le signal  $V_{in}$  sera comparé à  $V_s$  pour déterminer le code de sortie sur la base des approximations successives.

Lors de la conception du CAN à double rampe, ces deux solutions n'avaient pas été envisagées en raison du nombre de tensions de référence nécessaires au bon fonctionnement du CAN. Or, elles ont constitué une base pour le développement du nouveau prototype de CAN développé pour les capteurs CMOS à l'IPHC [83].

## 3.7 Conclusion

L'intégration de circuits numériques de traitement des données (détection de zéros, sparsification) au sein des capteurs CMOS permet de les adapter à des flux élevés de particules détectées. L'implémentation des traitements numériques est accompagnée de l'intégration de CAN. Le CAN spécifique situé en périphérie de la matrice de pixels doit obéir à des contraintes d'encombrement, de consommation, de vitesse et de précision particulièrement exigeants. Pour répondre aux exigences du CDC, nous avons proposé et étudié un CAN à double rampe qui présente un bon compromis entre tous les critères du CDC. Le CAN a été intégré dans le circuit WILIAM pour mesurer ses performances.

Ces études qui sont au cœur de la thèse, ont montré la faisabilité du concept de CAN à double rampe. Ce premier prototype présente des résultats encourageants, notamment en termes de précision de mesure (erreur d'offset, INL, DNL) et de consommation statique. Or, les contraintes de consommation dynamique et de budget de matière ont été relâchées pour assurer la faisabilité du CAN. Ces contraintes imposaient un nombre réduit de microcircuits limitant directement la faisabilité du CAN à double rampe. Dans les étapes ultérieures du développement, on peut espérer réduire la consommation dynamique et le budget de matière d'un facteur  $\sim 2$ . Le temps de conversion est limité à 1  $\mu\text{s}$  par des composants parasites, notamment ceux du CNA à 4 bits. Les résultats obtenus lors de la caractérisation reflètent les fortes contraintes liées à l'application aux capteurs CMOS.

Pour atteindre les objectifs fixés par le CDC, une nouvelle version de CAN a été développée et réalisée. Elle s'appuie sur les concepts présentés dans ce chapitre, notamment sur l'architecture de CAN à capacités commutées, sur le comparateur et sur l'utilisation de multiples références de tensions. Les résultats préliminaires valident le concept, notamment en terme de précision à une vitesse encore inférieure à la valeur nominale [83]. Lors du développement du nouveau prototype, seul le critère de surface a été relâché pour permettre sa faisabilité. Dans une ultime étape du développement, l'encombrement des CAN devra être réduit d'un facteur  $\sim 2$  pour respecter les contraintes de budget de matière.

Outre son application aux capteurs CMOS, le concept de convertisseur à double rampe peut être étendu à des CAN à plusieurs rampes (2 à  $n$ ). Ces derniers offrent une gamme de performances comprises entre celles des CAN Wilkinson et SAR. Par conséquent, ils pourront être employés dans des applications nécessitant un compromis entre en termes de vitesse de conversion et de budget de matière.



# Conclusion générale

Le travail de thèse présenté dans ce mémoire est constitué de deux études portant l'une sur un circuit de détection de particules et l'autre sur circuit de conversion Analogique-Numérique. Ces travaux ont été réalisés dans le cadre du développement du détecteur MVD<sup>1</sup> de CBM<sup>2</sup> à FAIR<sup>3</sup> (Darmstadt).

Le programme scientifique de l'expérience de physique des ions lourds CBM porte sur des questions fondamentales de la théorie de l'Interaction Forte. L'expérience CBM permettra notamment d'explorer la transition de phase de la matière nucléaire ordinaire vers le plasma de quarks et de gluons dans la région des hautes densités baryoniques et de rechercher les signaux de la restauration de la Symétrie Chirale. Le démarrage de l'expérience est prévu pour le milieu de la prochaine décennie [8].

Pour atteindre les objectifs du programme, le détecteur de CBM devra permettre l'étude poussée des particules de courte durée de vie qui se désintègrent à quelques centaines de micromètres du lieu de collision, ceci pour des taux de collisions de l'ordre de  $10^5$  à  $10^7$  par seconde. L'étude des phénomènes physiques mis en jeu lors d'une collision noyau-noyau impose de détecter et de caractériser l'ensemble des particules produites à l'aide de plusieurs types d'éléments de détection (i.e. sous-détecteur), dont le MVD.

Celui-ci permettra de reconstruire l'origine spatiale des particules chargées créées dans les collisions. Pour un taux de collisions de  $10^5$  Hz, le Cahier Des Charges (CDC) du MVD est d'ores et déjà très ambitieux, notamment en termes de vitesse de lecture (10  $\mu$ s, soit  $10^5$  lectures par secondes) et de tolérance aux rayonnements intenses non ionisants ( $>10^{13}$  neq/cm<sup>2</sup>/an) et ionisants ( $>1$  MRad). Le MVD devra ainsi permettre de reconstituer des vertex secondaires de désintégration avec une précision voisine de 50  $\mu$ m. Il en découle que son budget de matière ne devra pas dépasser l'équivalent de 300  $\mu$ m de silicium et sa résolution spatiale devra rester sensiblement meilleure que 10  $\mu$ m.

---

<sup>1</sup> MVD : Micro Vertex Detector : détecteur de vertex de l'expérience CBM.

<sup>2</sup> CBM : Compressed Baryonic Matter, expérience de physique nucléaire au laboratoire GSI "Gesellschaft für Schwerionenforschung mbH", Darmstadt, Allemagne.

<sup>3</sup> FAIR : Facility for Antiproton and Ion Research.

Pour satisfaire les objectifs définis dans le CDC du MVD, le choix de la collaboration CBM s'est porté sur une solution à capteurs CMOS, dont la minceur est un apport déterminant pour la sensibilité de l'expérience. Par ailleurs, ils présentent le meilleur compromis entre les paramètres de vitesse de lecture, de résolution spatiale, de consommation, de tenue aux rayonnements et de budget de matière. Ils offrent une résolution spatiale de l'ordre du micromètre sur l'impact des particules détectées et devrait permettre d'effectuer  $10^5$  lectures par seconde. Leur efficacité de détection des particules ionisantes est supérieure à 99,5% et ils peuvent aisément être amincis à environ 50  $\mu\text{m}$ . Leur tolérance aux rayonnements non-ionisants peut atteindre  $10^{13}$  neq/cm<sup>2</sup> et ils assurent une détection des particules fiable après une exposition à une dose de rayonnements ionisants de 1 MRad. Si les performances sont satisfaisantes pour l'application des capteurs au MVD, elles n'ont cependant pas été atteintes simultanément avec un même capteur, conséquence directe des antagonismes entre paramètres optimisés pour des spécifications différentes du CDC. Par exemple, si un pitch réduit des pixels améliore la tolérance aux rayonnements non-ionisants, il tend aussi à ralentir la lecture des capteurs.

Cette thèse s'est plus particulièrement penchée sur les paramètres qui président à la rapidité du capteur. C'est ainsi que des architectures originales de PhotoFETs et de CAN à double rampe (spécifiques aux capteurs CMOS) ont été étudiées, réalisées et testées.

Notre première étude est inscrite dans le programme de développement des capteurs CMOS pour le MVD. Nous avons étudié des architectures existantes et originales d'éléments sensibles aux particules. Généralement, chaque élément est constitué d'une photodiode et d'un circuit d'amplification. Or, pour améliorer la sensibilité des pixels, nous avons proposé de nouvelles architectures pour détecter les particules ionisantes : les PhotoFETs (simplifiés ou non). Ils intègrent avantageusement une structure d'amplification au sein de la photodiode. Ils délivrent un signal en courant permettant d'identifier l'impact d'une particule. Ce signal est injecté dans un microcircuit de double échantillonnage corrélé (CDS) pour réduire les piédestaux des pixels et le bruit FPN (bruit spatial fixe). L'ensemble constitué du PhotoFET et du traitement CDS est une brique élémentaire des capteurs : le pixel. Un essai de cette architecture était nécessaire pour déterminer expérimentalement la sensibilité des PhotoFETs et leur contribution en bruit, inconnus jusqu'alors.

Après une étude poussée du PhotoFET, nous avons conçu le circuit MIMOSA 13 pour caractériser des pixels à PhotoFETs (simplifiés ou non) associés au CDS. Ce circuit a été fabriqué en technologie standard AMS 0,35  $\mu\text{m}$ . Lors des expérimentations, le circuit a été exposé à des rayons X pour déterminer la réponse des pixels stimulés par des particules

ionisantes. Les performances du traitement CDS ont ainsi été évaluées, de même que la sensibilité des PhotoFETs aux particules ionisantes. Nous avons également identifié les différentes sources de bruit.

Les résultats de mesure indiquent que la contribution en bruit des chaînes de lecture à PhotoFETs est de  $\sim 30$  électrons. Cette valeur de bruit est deux fois trop élevée pour le MVD. Les mesures montrent que les mémoires de courant constituant le traitement CDS introduisent des bruits électroniques additionnels. Ces derniers sont provoqués par les transistors MOS de mémorisation et par des injections de charges lors des phases de mémorisation et de lecture du courant délivré par les PhotoFETs. Ces sources de bruit parasites affectent la sensibilité des pixels. Dans un mode de fonctionnement où le CDS est désactivé, les résultats d'expérimentation confirment que des sources de bruit introduites par les mémoires de courant limitent les performances des pixels. Seule une réduction de ces effets perturbateurs permettrait aux pixels à PhotoFETs de concurrencer les pixels en mode tension pour l'application des capteurs CMOS à la détection de vertex.

Le temps de lecture d'un circuit disposant d'une matrice de  $64 \times 16$  de pixels à PhotoFETs est de  $12,8 \mu\text{s}$ . Or, les capteurs devant équiper les détecteurs de vertex intégreront des matrices de plusieurs centaines de milliers de pixels. Ainsi, la vitesse de lecture des capteurs à PhotoFETs doit encore être augmentée d'un facteur 3 à 5 pour satisfaire les objectifs ambitieux imposés par la détection de vertex.

Toutefois, nous avons démontré que les PhotoFETs ont une bonne sensibilité, valant typiquement de  $\sim 0,5$  à  $\sim 0,9 \text{ nA/électron}$ . Leur dynamique de sortie de plusieurs dizaines de  $\mu\text{A}$  leurs permet de détecter l'impact d'une ou de plusieurs particules sans présenter de saturation.

La consommation de  $\sim 2 \mu\text{W}$  d'un pixel à PhotoFET est conforme au CDC. De plus, le traitement CDS minimise efficacement les piédestaux des pixels de  $\sim 50 \text{ dB}$  et le bruit FPN de  $\sim 30 \text{ dB}$ . Ainsi, ce traitement permet d'améliorer la détection des impacts de particules dont la signature est initialement noyée dans le bruit FPN et les piédestaux.

En conclusion, le travail de thèse a montré que les PhotoFETs présentent une bonne sensibilité aux particules ionisantes et qu'ils constituent une solution attrayante pour des applications dont les contraintes de bruit sont relâchées. On peut notamment penser qu'ils sont intéressants pour équiper des imageurs à grande dynamique de luminosité, des dosimètres, des imageurs de rayonnements brefs et de radiographie X.

La seconde étude réalisée dans le cadre de la thèse est inscrite dans le programme de recherche portant sur l'intégration des circuits de traitement numérique dans les capteurs CMOS. Ces circuits sont constitués de systèmes de détection d'impacts et de sparsification des données. Ils permettent de réduire le flux des données délivrées par les capteurs et d'améliorer leurs performances (résolution spatiale, vitesse de lecture, ...).

Pour interfacer le traitement numérique et la matrice de pixels, nous avons étudié et proposé un Convertisseur Analogique-Numérique (CAN) de 4 bits à double rampe. Les contraintes liées à l'intégration des CAN dans les capteurs CMOS ont imposé un cahier des charges ambitieux et particulièrement original. Le CAN à double rampe a été conçu selon des critères d'encombrement inhabituels, et des contraintes sévères sur la consommation et le temps de conversion. Etant donné que l'on ne s'intéresse pas à la valeur exacte du signal délivré par les particules détectées pour connaître la position d'un impact, un faible nombre de bits (4 à 5) et une précision de conversion de  $\pm 0,5$  LSB sont suffisant pour extraire l'information des signaux provenant des pixels, et garantir une résolution spatiale de quelques micromètres.

Après une étude poussée du comportement simulé du CAN à double rampe, nous avons intégré son concept dans un circuit dénommé WILIAM. Il a été fabriqué en technologie standard AMS 0,35  $\mu\text{m}$ . Lors de nos expérimentations, nous avons observé que cette première version du CAN offre une précision de conversion se traduisant par des erreurs INL et DNL égales à 0,5 LSB. Ces paramètres respectent le CDC du CAN pour un temps de conversion de 1  $\mu\text{s}$  soit un ordre de grandeur de plus que la valeur ambitionnée ( $\sim 100$  ns). Or, le temps de conversion est limité par des interconnexions dont les distances ne peuvent être optimisées à cause du facteur de forme du CAN. En effet, sa forme très étirée ( $25 \mu\text{m} \times 904 \mu\text{m}$ ) restreint les libertés de placement des différents circuits qui le composent. La solution à ce problème réside dans l'emploi d'une technologie offrant une plus petite taille de grille, ce qui permettra de réduire suffisamment ces circuits. Quant à la consommation, sa composante dynamique vaut  $\sim 470 \mu\text{W}$  alors que sa composante statique vaut  $\sim 280 \mu\text{W}$ , résultats tout à fait satisfaisants.

Malgré un temps de conversion limité à 1  $\mu\text{s}$  qui peut être amélioré dans un développement ultérieur, le concept à double rampe constitue une alternative aux CAN Wilkinson avantageuse par sa rapidité. Ce concept peut être implémenté dans tous les circuits mixtes qui nécessitent des CAN très compacts et de faible consommation, ce qui permet d'en intégrer un nombre élevé dans un même circuit.

---

Les paramètres de surface et de consommation ont volontairement été relâchés pour valider le concept de ce premier prototype de CAN développé pour les capteurs CMOS. Nous avons ensuite recherché une approche permettant de mieux satisfaire les paramètres d'encombrement et de consommation. Ainsi, pour améliorer les performances du CAN à double rampe (erreur de gain, consommation, encombrement, vitesse de conversion), nous avons proposé dans le cadre de la thèse, des architectures simples basées sur l'emploi de références de tension. Les concepts proposés dans le cadre de la thèse ont été repris dans une étude ultérieure [83] exploitant l'architecture à double rampe pour en dériver un CAN dont les consommations statique et dynamique s'approchent de la valeur ambitionnée. Un prototype de 16 voies a été réalisé. Sa caractérisation est en cours. Les résultats préliminaires des tests valident le concept à une vitesse encore inférieure à la valeur nominale. Dans une ultime étape du développement des CAN, leur encombrement devra encore être réduit pour respecter les contraintes de budget de matière.

En conclusion, les travaux réalisés durant la thèse ont donc permis d'étudier les caractéristiques des PhotoFETs et des CAN à double rampe. D'après les résultats des mesures expérimentales, ces premiers prototypes de PhotoFETs et de CAN ne satisfont pas en l'état, les exigences particulièrement ambitieuses imposées par l'application des capteurs à la détection de vertex. Cependant, en s'appuyant sur leurs avantages, ces architectures pourront être employées lors de la conception de capteurs CMOS exploitant la technologie profondément submicronique (VDSM) et la technologie 3D. L'utilisation de ces nouvelles technologies est indispensable pour pousser à l'extrême les performances des capteurs devant équiper des détecteurs de vertex.



# Annexe A

Pour situer les performances des capteurs CMOS, nous présentons les principales technologies de capteurs au silicium en cours de développement ou déjà employées dans des expériences de physique des particules. Nous apporterons également des précisions techniques sur les capteurs CMOS, en présentant les principaux types de substrats proposés par les fabricants et en détaillant les modes de lecture et de capture des capteurs.

## A.1 Technologies de capteurs au silicium

### A.1.1 Capteurs CCD

Les capteurs à pixels CCD sont couramment employés dans les appareils d'imagerie grand public (caméras, appareils photo numérique, ...). La technologie CCD a également été utilisée pour équiper des expériences de physique des particules, par exemple : dans le détecteur de vertex de l'expérience NA32 au CERN [84].

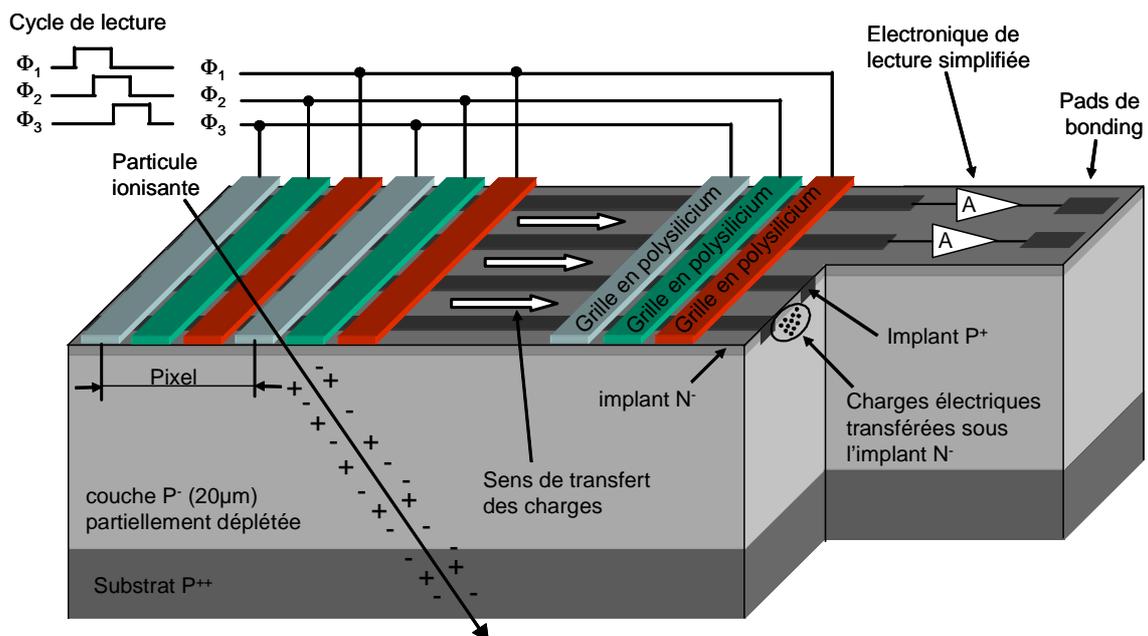


Figure A-1 : Vue schématique en coupe d'un capteur CCD à lecture parallélisée.

Comme le montre la figure A-1, une particule ionisante libère plus d'un millier de charges électriques dans la couche épitaxiée d'un CCD, son épaisseur étant typiquement de 20  $\mu\text{m}$ . Selon le cas, cette couche est déplétée sur une épaisseur typique de 5 à 10  $\mu\text{m}$ . Ainsi, les charges libérées sont principalement collectées par un seul pixel. Ensuite, au sein de "canaux" artificiels délimités par des puits  $\text{P}^+$ , ces charges sont transférées aux circuits de lecture à travers la couche épitaxiée. Ces transferts sont réalisés avec une polarisation adéquate des grilles de polysilicium  $\Phi_1 \Phi_2 \Phi_3$  [84-86].

On notera que le mode de transfert des charges des CCD les rend très sensibles aux propriétés de la couche épitaxiée. Ils sont donc particulièrement vulnérables aux dommages causés au cristal de silicium par les particules massives (hadrons) qui les traversent [18]. Par conséquent, la technologie CCD ne équiper le détecteur de vertex de CBM.

### A.1.2 Capteurs à micropistes de silicium

La technologie des capteurs à micropistes de silicium a été éprouvée par de multiples implémentations au sein de détecteurs de particules du monde entier, par exemple, dans le détecteur SSD (Silicon Strip Detector) des expériences STAR au RHIC et ALICE au CERN [16, 87].

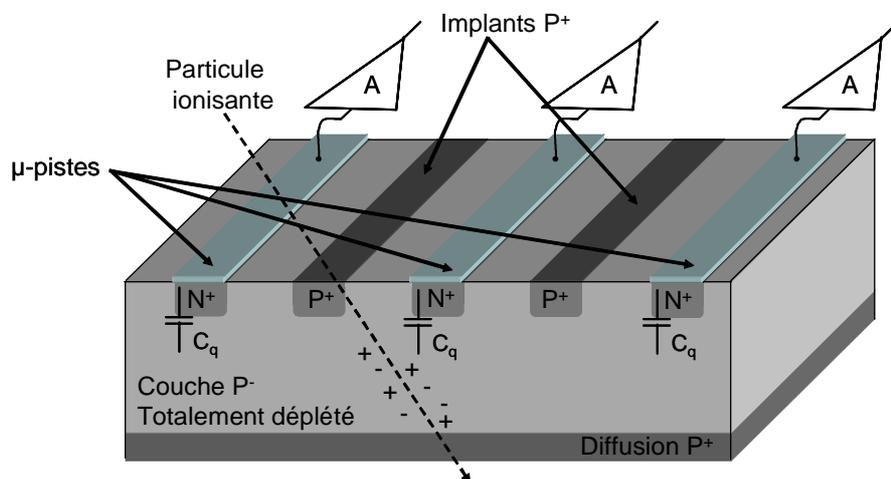


Figure A-2 : Vue schématique en coupe d'un détecteur à micropistes de silicium.

Des micropistes de silicium dopées  $\text{N}^+$  sont implantées dans une couche  $\text{P}^-$  épaisse de plusieurs centaines de micromètres. Cette dernière est totalement déplétée par l'application d'une tension de plusieurs centaines de volts à une couche  $\text{P}^+$  implantée sur la face sans micropistes du détecteur. Des implants  $\text{P}^+$  sont également intégrés pour la polarisation de la couche  $\text{P}^-$ . Chaque micropiste est polarisée pour collecter les charges libérées lors du passage d'une particule ionisante. Leur espacement est défini par l'application finale du

capteur ( $\sim 100 \mu\text{m}$  pour le capteur du SSD de STAR) [87]. Lorsque les charges atteignent les micropistes, le potentiel électrique de ces dernières est modulé en fonction du nombre d'électrons collectés. Le facteur de conversion du dispositif est déterminé par la capacité  $C_q$  de la jonction  $N^+/P^-$  (cf. figure A-2) qui vaut typiquement de 1 à 2 pF par cm [87, 88].

Les micropistes peuvent être connectées par des fils de "bonding" ou TAB (Tape Automatic Bonding) aux circuits de polarisation et d'amplification qui délivrent des signaux électriques proportionnels aux nombres de charges collectées [87, 89]. Le rapport signal à bruit du capteur combiné au circuit de lecture vaut typiquement 20 à 40 pour la détection de particules minimum ionisantes. Ceci se traduit par une résolution spatiale unidimensionnelle de l'ordre de plusieurs dizaine de  $\mu\text{m}$  [87, 90].

Pour reconstruire la trajectoire des particules, il est nécessaire d'employer plusieurs plans de capteurs pour réaliser une géométrie projective. Cependant, des ambiguïtés de mesure peuvent apparaître si la densité d'impacts est trop élevée. Par conséquent, dans les conditions de l'expérience CBM, le choix s'est porté sur une technologie à pixels qui permet par construction de s'affranchir des ambiguïtés de mesure.

### A.1.3 Capteurs à pixels hybrides

Les capteurs à pixels hybrides ont été implémentés dans les détecteurs des expériences ATLAS, ALICE et CMS au CERN, D0 au Tevatron, PHENIX au RHIC, ... [91, 92].

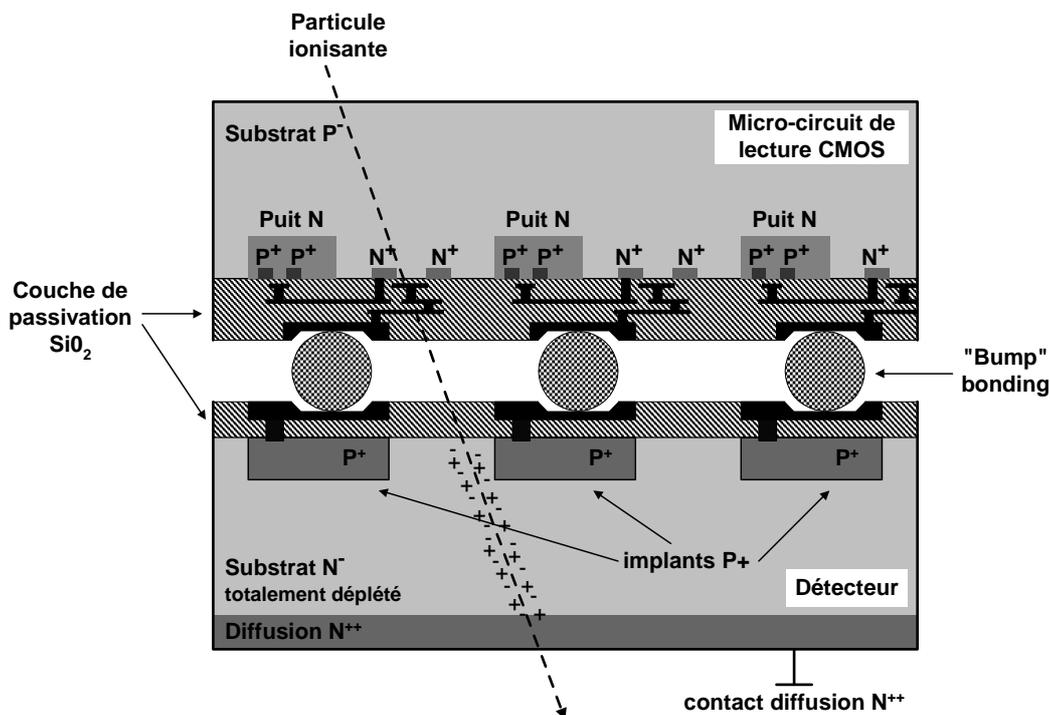


Figure A-3 : Vue schématique en coupe d'un capteur à pixels hybrides.

Ces capteurs sont composés de deux microcircuits interconnectés par des billes en Indium ou en Pb/Sn. La figure A-3 illustre la structure physique de l'ensemble : détecteur et circuit de lecture CMOS. Le détecteur est constitué d'une matrice de caissons P<sup>+</sup> implantés dans un substrat N<sup>-</sup> totalement dépleté, d'environ 300 µm d'épaisseur, par l'application d'une tension de plusieurs centaines de volts aux bornes du détecteur. Chaque caisson P<sup>+</sup> servant à la collection des charges est connecté au circuit CMOS de lecture qui polarise le caisson, amplifie le signal électrique qu'il délivre et le discrimine [17, 91]. Ainsi, le capteur à pixels hybrides renvoie des signaux numériques indiquant la position de l'impact des particules.

Le rapport signal à bruit des capteurs à pixels hybrides vaut typiquement de 10 à 20 pour la détection de particules minimum ionisantes [91-93]. Cette technologie procure une résolution spatiale typique entre plusieurs dizaines de micromètres selon la dimension des pixels. Cependant, ces capteurs ne peuvent équiper le MVD car leur budget de matière ne satisfait pas les exigences du CDC.

### A.1.4 Capteurs à DEPFETs

Le capteur à DEPFETs (DEPleted Field Effect Transistor) repose sur un transistor à effet de champ. Cette structure a été introduite en 1985 par Kemmer et Lutz. Les capteurs à DEPFETs sont développés pour les imageurs de rayon X des missions XEUS et SIMBOL-X. Ils sont également proposés pour le détecteur de vertex du futur Collisionneur Linéaire Internationale (ILC) [94].

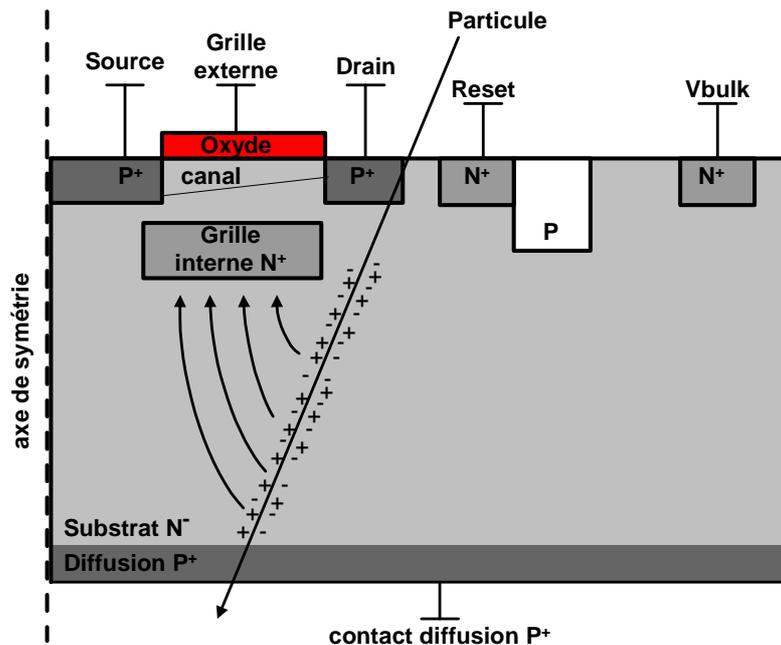


Figure A-4 : Vue schématique en coupe du DEPFET.

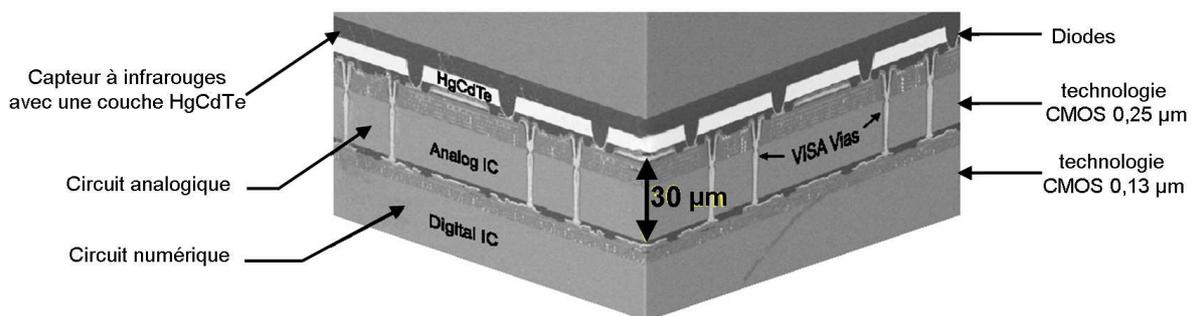
Dans la figure A-4, le transistor à effet de champ de type PMOS est réalisé dans un substrat totalement déplété. Ceci est obtenu par l'application d'un potentiel électrique entre le contact de diffusion P<sup>+</sup> et le contact N<sup>+</sup> connecté à V<sub>bulk</sub>. Ce potentiel peut atteindre plusieurs centaines de volts selon l'épaisseur du substrat N<sup>-</sup> [59, 95, 96].

Lorsqu'une particule ionisante traverse le capteur, elle libère des charges dans le substrat N<sup>-</sup>. Ces charges se propagent jusqu'à la grille interne de type N<sup>+</sup> placée à ~1µm sous la couche d'oxyde mince. Cette grille interne modulera le courant de drain du transistor PMOS en fonction du nombre de charges collectées. Le puit N<sup>+</sup> (connecté à Reset) permet de réinitialiser le dispositif en appliquant une tension de plusieurs dizaines de volts pour évacuer les charges accumulées dans la grille interne [96]. Pour extraire les informations délivrées par les pixels, le capteur à DEPFETs est associé à un microcircuit de lecture [19].

Actuellement un capteur à DEPFETs associé à son circuit de lecture présente une contribution en bruit, un budget de matière et une vitesse de lecture qui ne satisfont pas les exigences du MVD [19].

### A.1.5 Technologie de capteurs 3D

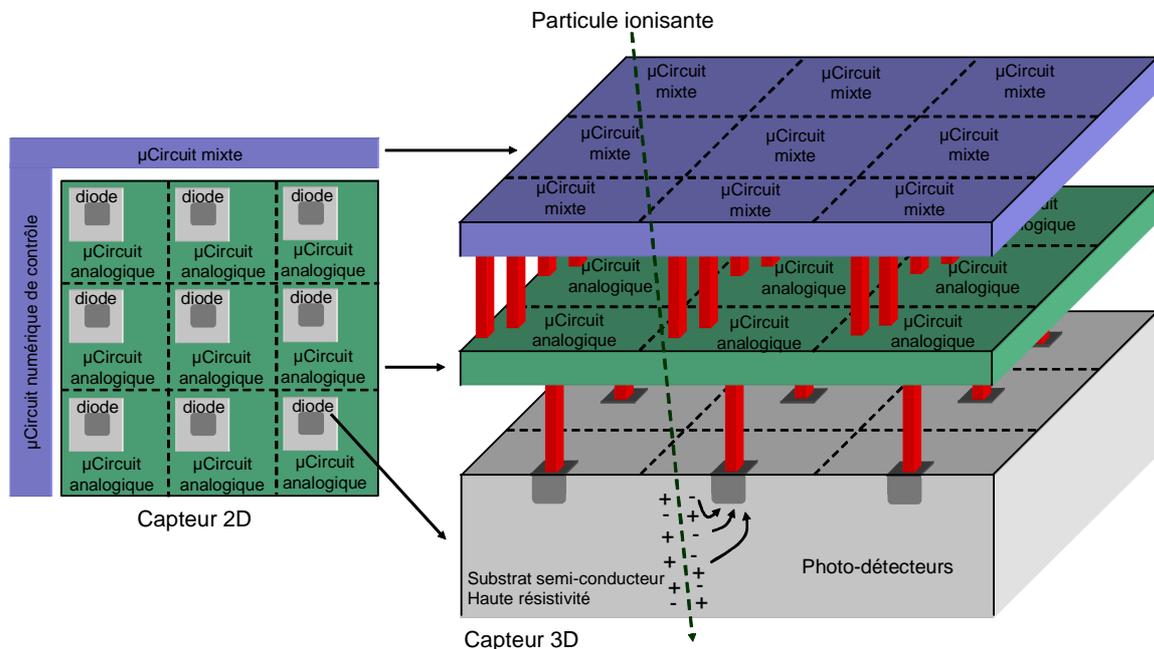
La technologie 3D consiste à assembler de plusieurs circuits électroniques et à les interconnecter. Les progrès des technologies d'amincissement et de connections des circuits à semi-conducteurs permettent d'empiler un circuit de détection de particules, un circuit de polarisation et d'amplification analogique et, un circuit de traitement de signaux mixtes [20]. Ci-dessous, nous présentons un capteur d'infrarouges réalisé en technologie 3D [20].



**Figure A-5 : Vue en coupe d'un capteur d'infrarouges en technologie 3D.**

D'après la figure A-5, chaque circuit constituant le capteur à infrarouge peut être fabriqué dans sa technologie de prédilection. Dans cet exemple, trois technologies sont combinées. Un capteur à pixels de 30 µm × 30 µm qui détectent des rayons infrarouges par l'emploi d'une couche HgCdTe est connecté à des circuits en technologie CMOS submicronique qui assurent le traitement des informations délivrées par le capteur [20, 97].

Décrit par la figure A-6, les circuits empilés sont interconnectés par des "vias" et peuvent échanger des informations.



**Figure A-6 : Comparatif entre les capteurs 2D et 3D.**

Cette technologie permet de combiner des technologies aux propriétés complémentaires. Elle offre également la possibilité de miniaturiser les pixels en repoussant les limites d'espace. En effet, l'empilement de circuits intégrés permet d'implémenter les fonctionnalités de traitement de signal au sein de petit pixels (amplifications, Correlated Double Sampling, CAN, sparsification, suppression de zéros, ...). Un capteur 3D permet de s'affranchir des zones périphériques réservées aux circuits mixtes et numériques, qui introduisaient autant de zones insensibles dans un détecteur pourvu de capteurs 2D.

En raison des différents avantages mentionnés précédemment, la technologie 3D est particulièrement intéressante pour les capteurs CMOS. Ces derniers pourront être interconnectés avec des circuits analogiques et numériques conçu dans leur technologie présentant les meilleures performances. Ceci se traduira par l'amélioration de la vitesse de lecture avec la réduction des interconnexions véhiculant les signaux analogiques. Le budget de matière des capteurs sera également améliorer avec la disparition des zones insensibles aux particules.

## A.2 Substrats des capteurs CMOS

La technologie CMOS AMS035<sup>1</sup> est proposée avec deux types de substrat : substrats avec couche épitaxiée ou de type Hi-res. Notons que certains fabricants proposent également la technologie SOI (Silicon On Insulator).

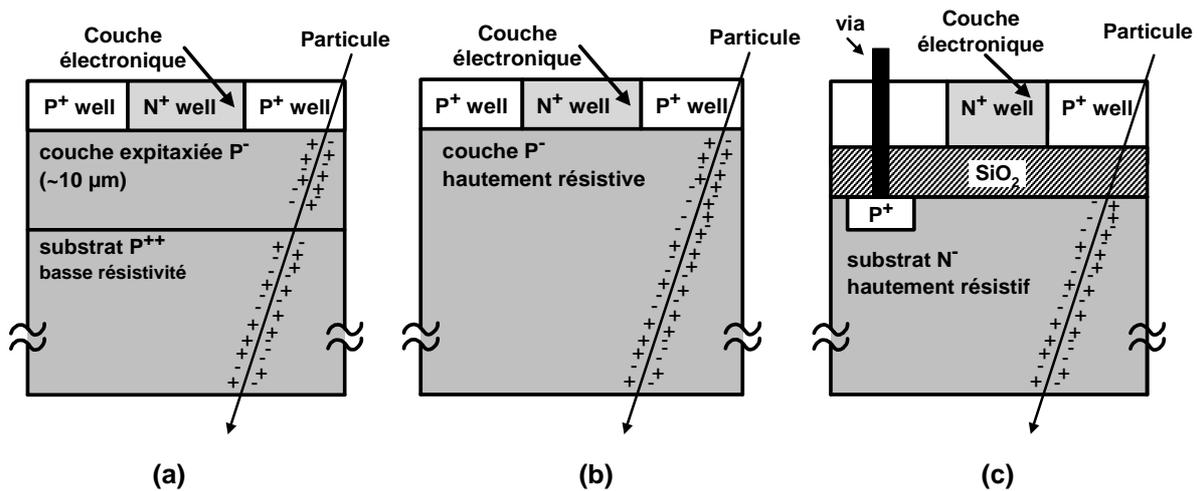


Figure A-7 : (a) Vue en coupe d'un substrat avec couche épitaxiée, (b) vue en coupe d'un substrat Hi-res, (c) vue en coupe du substrat de la technologie SOI.

Les substrats des figures A-7 (a) et (b) se différencient par leur profil de dopage. La majorité des capteurs CMOS développés au laboratoire IPHC utilisent un substrat avec une couche épitaxiée (figure A-7 (a)). Lorsqu'une particule ionisante traverse ce type de substrat, celle-ci libère plusieurs centaines de charges électriques dans la couche épitaxiée, épaisse de  $\sim 10 \mu\text{m}$ . Les charges libérées dans la couche  $\text{P}^{++}$  se recombinent rapidement en raison de la concentration élevée d'accepteurs. Cette couche  $\text{P}^{++}$ , épaisse de  $500\text{-}700 \mu\text{m}$ , constitue également une barrière de potentiel qui réfléchit les porteurs minoritaires de charge libérés dans la couche épitaxiée en direction de la couche électronique  $\text{N}^+$  et  $\text{P}^+$  (employée pour l'intégration des composants électroniques : diodes, transistors, ...) [49].

Le substrat hautement résistif présenté en figure A-7 (b) est constitué de silicium faiblement dopé (typiquement  $10^{16}$  atome/ $\text{cm}^3$ ) pour réaliser une couche de type  $\text{P}^-$ , dont l'épaisseur est typiquement  $500\text{-}700 \mu\text{m}$ . Par l'absence de couche  $\text{P}^{++}$ , aucun potentiel minimal n'est réellement fixé dans le substrat lors de la polarisation du caisson  $\text{N}^+$ . Le substrat de type Hi-res dispose d'une zone sensible aux particules ionisantes qui s'étend sur toute l'épaisseur de la couche  $\text{P}^-$ .

<sup>1</sup> AMS 035 : technologie CMOS de circuit intégrée dont la largeur de grille minimale est de  $0,35 \mu\text{m}$ , disponible chez Austria Mikro System International AG.

La résistivité de la couche P<sup>-</sup> est typiquement de 8-12 Ω.cm, ceci correspond à un niveau de dopage de quelques 10<sup>15</sup> atomes/cm<sup>3</sup>. Par ce niveau de dopage d'atomes de bore, la durée de vie des porteurs minoritaires est estimée à environ 10 μs. A partir des caractéristiques précédemment citées, le substrat Hi-res permet de collecter un grand nombre de charges électriques libérées. Or celles-ci seront plus amplement diffusées par rapport à un substrat à couche épitaxiée [38, 49].

La technologie SOI (Silicon On Insulator) dispose la couche de détection est isolée par rapport à la couche électronique N<sup>+</sup> et P<sup>+</sup>. Cette approche permet de dépléter totalement le substrat N<sup>-</sup> et de collecter plus de charges en profondeur. On améliore ainsi le rapport signal à bruit par rapport aux deux autres types de substrat. Cette technologie demande des phases de fabrication supplémentaires par rapport aux technologies standard, pour former la couche de SiO<sub>2</sub>, dont l'épaisseur est typiquement de ~1 μm et sur laquelle sont implémentés les microcircuits électroniques [98].

Traditionnellement, dans l'imagerie de lumière visible, les photons incidents doivent d'abord traverser une couche de passivation et d'interconnexions d'une épaisseur de ~6μm, puis la couche électronique active de ~2 μm avant d'atteindre la couche épitaxiée P<sup>-</sup> pour la technologie AMS 0.35 μm [38]. Le franchissement de cette succession de couches réduit l'efficacité de détection des photons ou des particules de faible énergie. En amincissant le substrat, la zone sensible aux particules jouxtant la couche électronique N<sup>+</sup> et P<sup>+</sup> peut être exposée directement aux rayonnements. Ceci permet aux capteurs CMOS de détecter des électrons accélérés de ~2 à 20 KeV [23]. Les capteurs CMOS auront alors un facteur de remplissage (fill factor) de 100% et seront mieux adaptés pour leur application dans l'imagerie de lumière visible ou de détection de particules de faible énergie. La caractérisation d'un capteur CMOS de taille réticulaire (2cm × 2cm) amincie à ~50 μm a démontré la capacité de détection de particules ionisantes du capteur avec une efficacité de détection supérieure à 99% [99].

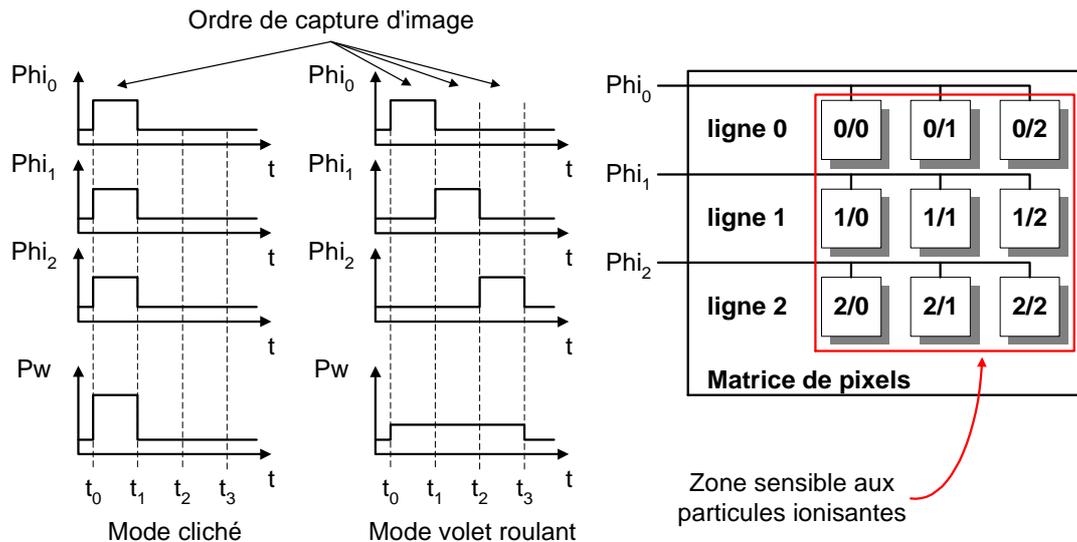
## **A.3 Principe de capture et de lecture d'images**

### **A.3.1 Modes de capture des Capteurs CMOS**

Les capteurs CMOS permettent deux modes de capture d'images. Le mode "cliché" (Global Shutter ou Snapshot) représente la capture d'une image complète par le capteur dans une période d'enregistrement finie. Alternativement, nous trouvons le mode "volet roulant" (Rolling Shutter), dans lequel la capture de l'image est décomposée en plusieurs

enregistrements successifs. Cette méthode est avantageuse en termes de consommation globale du capteur et est quasi dénuée de sur les "temps morts" introduits lors des périodes d'enregistrements.

Dans la figure A-8, les chronogrammes décrivent les signaux pilotant une matrice de  $3 \times 3$  pixels lors des captures d'image. Ces signaux proviennent d'un microcircuit numérique de contrôle situé en périphérie de la matrice (non représenté) [28].



**Figure A-8 : Mode de capture d'images dans les capteurs CMOS.**

Avec le mode "cliché", l'ordre de capture d'image est donné simultanément à tous les pixels de la matrice. Présenté par la figure A-8, le capteur enregistrera l'image complète durant la période  $[t_0-t_1]$ . Lorsque les éléments sensibles aux particules sont activés pour la capture d'images, leurs consommations électriques individuelles s'additionnent. La matrice passe ainsi par un pic de consommation  $P_w$  entre  $t_0$  et  $t_1$ . Durant la période d'enregistrement, la signature électrique laissée par une particule ne sera pas traitée dans le pixel. Ainsi, l'utilisation de ce mode introduit un "temps mort" de capture sur toute la zone sensible, pendant lequel, les particules traversant le capteur ne seront pas détectées.

Avec le mode "volet roulant", l'ordre de capture est envoyé successivement à chaque ligne de pixels. On disposera alors de fragments d'images prises à des instants différents. Cette technique peut être employée si la durée de capture est suffisamment courte face à l'intervalle temporel moyen entre deux impacts de particules dans un même pixel. Un traitement numérique réalisé par un ordinateur sera capable d'utiliser les fragments d'images pour retrouver la position et l'instant de passage d'une particule ionisante [100]. Dans ce mode, la consommation  $P_w$  entre  $t_0$  et  $t_3$  est identique à celle du mode "cliché". Mais elle sera répartie uniformément entre les deux instants, ce qui réduit les appels de courant

d'une matrice intégrant plusieurs centaines de milliers de pixels. La capture successive de fragments d'image introduit des "temps morts" partiels sur la zone sensible. Or, à tout instant, le capteur sera en mesure de détecter les particules car des pixels appartenant à plusieurs lignes transmettront des informations relatives à l'impact d'une seule particule.

### A.3.2 Cellules de mémorisation dans les pixels

Actuellement, la technologie CMOS permet d'intégrer des cellules de mémorisation au sein des pixels. Il est donc envisageable d'enregistrer une succession d'images dans les pixels. Ce type de fonctionnement est applicable dans les modes "cliché" et "volet roulant". La figure A-9 présente une matrice de pixels intégrant 4 mémoires pouvant enregistrer des images dans un intervalle de temps inférieur à la durée de lecture du capteur.

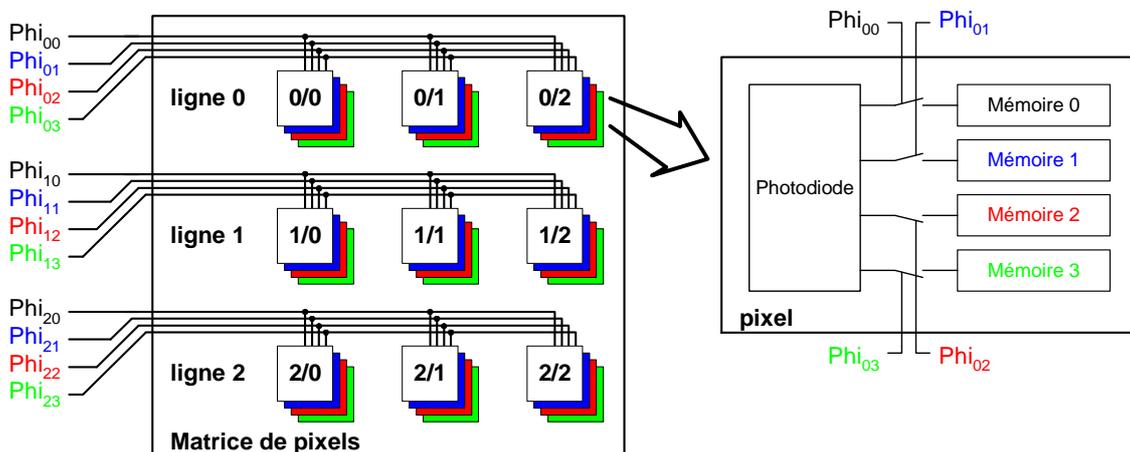


Figure A-9 : Méthode de capture d'images avec des pixels à plusieurs mémoires.

Durant la première capture d'image, la valeur du signal électrique délivré par la photodiode est stockée dans la mémoire 0 à l'aide des commandes  $\Phi_{i_0}$ . L'image suivante est enregistrée dans la mémoire 1. Ce cycle se poursuivra jusqu'à la capture de la dernière image dans la mémoire 3. Au terme des captures d'images, les informations mémorisées dans les différentes mémoires sont lues. Le nombre de mémoires intégrables dans un pixel dépend de la technologie employée. Un prototype de pixels ( $25 \mu\text{m} \times 25 \mu\text{m}$ ) à 4 mémoires a été réalisé en technologie AMS 0,35  $\mu\text{m}$ .

Le temps de lecture est généralement le facteur limitant la vitesse de fonctionnement des capteurs. Ainsi, l'enregistrement de plusieurs images au sein des pixels permet d'atteindre des intervalles temporels de capture de quelques centaines de ns [100, 101].

Nous présentons dans le paragraphe suivant les différentes méthodes de lecture implémentées dans le capteur CMOS.

### A.3.3 Mode de lecture des Capteurs CMOS

La méthode de lecture employée pour extraire les informations de la matrice de pixels définira la vitesse de lecture du capteur tel que le présente la figure A-10. La lecture série est très utilisée dans les capteurs d'imagerie de lumière visible (photographie), tandis que l'imagerie rapide et la détection de particules font appel à des capteurs implémentant une lecture parallélisée qui bien est plus rapide que la lecture série [66, 102, 103].

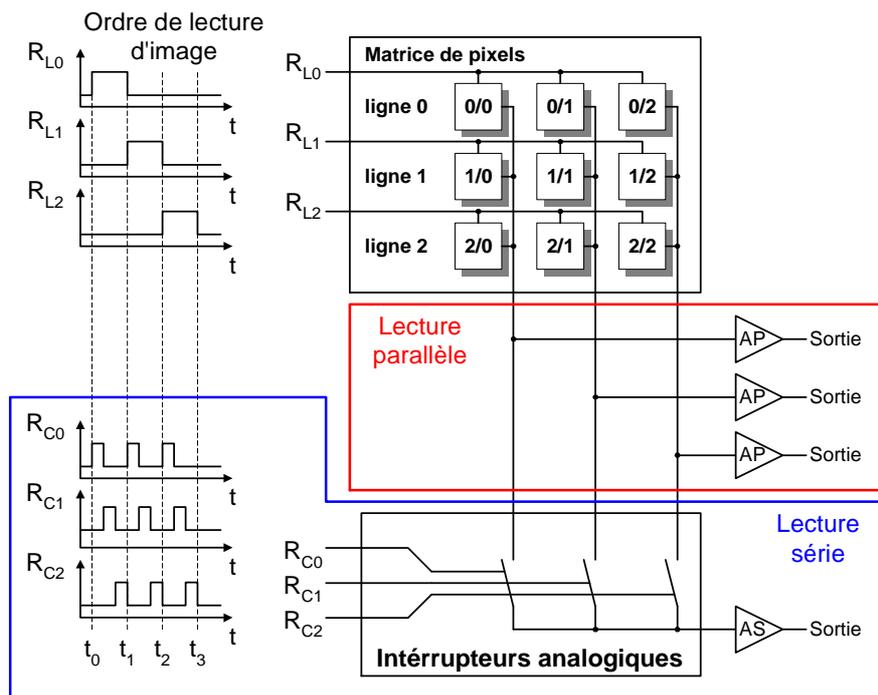


Figure A-10 : Représentation de la lecture parallélisée et série d'une matrice de pixels.

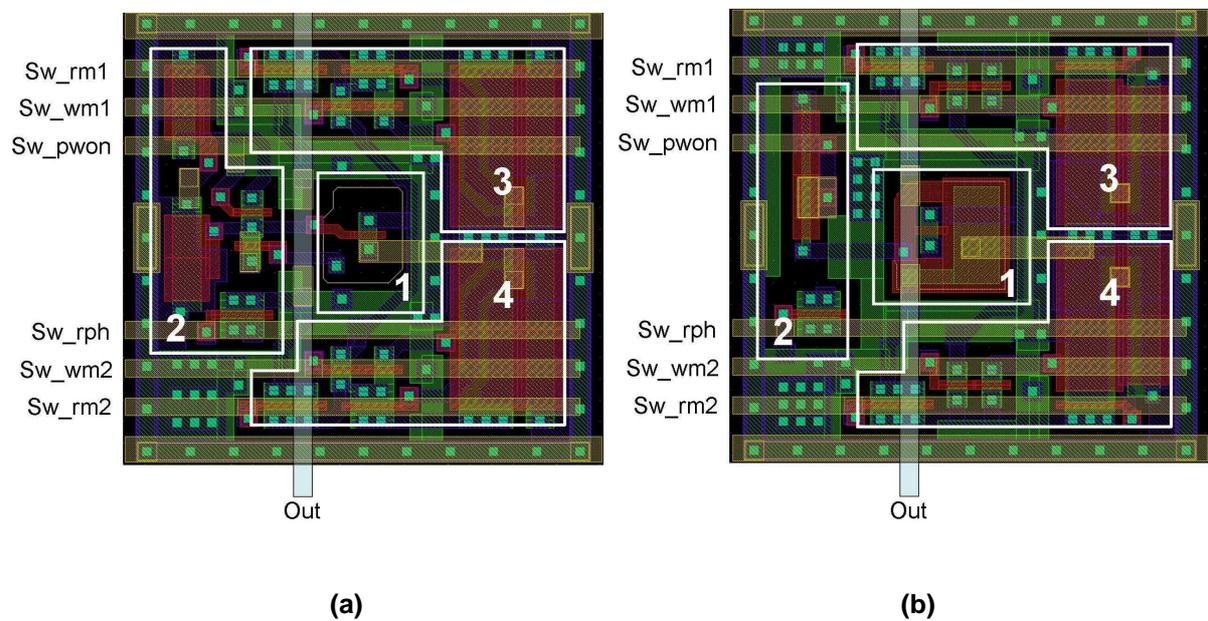
**Lecture série :** la commande  $R_{L0}$  est activée. Des interrupteurs analogiques pilotés par les commandes  $R_{C(0...2)}$  connectent successivement chaque pixel d'une même ligne sur l'entrée de l'amplificateur AS. Une fois la ligne 0 lue, entre les instants  $t_0$  et  $t_1$ , les sorties des pixels de la ligne 1 seront connectées successivement sur l'entrée de l'amplificateur AS. Ce cycle se poursuit jusqu'à la lecture complète de la matrice.

**Lecture parallélisée :** les informations de tous les pixels d'une même ligne sont envoyées simultanément aux amplificateurs de sorties AP. Lorsque la ligne 0 a été lue avec de l'activation de  $R_{L0}$ , la commande  $R_{L1}$  est activée pour lire la ligne 1. Le cycle de lecture activera successivement chaque commande  $R_{L[0...2]}$  pour lire toutes les lignes de la matrice. Cette technique permet d'obtenir un gain de vitesse considérable par rapport à la lecture série. Le choix entre une architecture à lecture série ou parallèle dépendra principalement des critères de vitesse de lecture, de consommation, et de densité de pixels par  $\text{cm}^2$  imposées par le domaine d'application visée.



# Annexe B

## B.1 Dessins physiques des pixels



**Figure B-1 : (a) Dessin physique du pixel intégrant le PhotoFET, (b) dessin physique du pixel intégrant le PhotoFET simplifié.**

Dans les dessins physiques des pixels intégrés dans Mimosa 13 présentés sur la figure B-1, nous distinguons 4 parties :

- Partie 1 : dessin physique du PhotoFET et du PhotoFET simplifié.
- Partie 2 : dessin physique de la contre réaction.
- Parties 3 et 4 : dessins physiques des deux mémoires de courants.

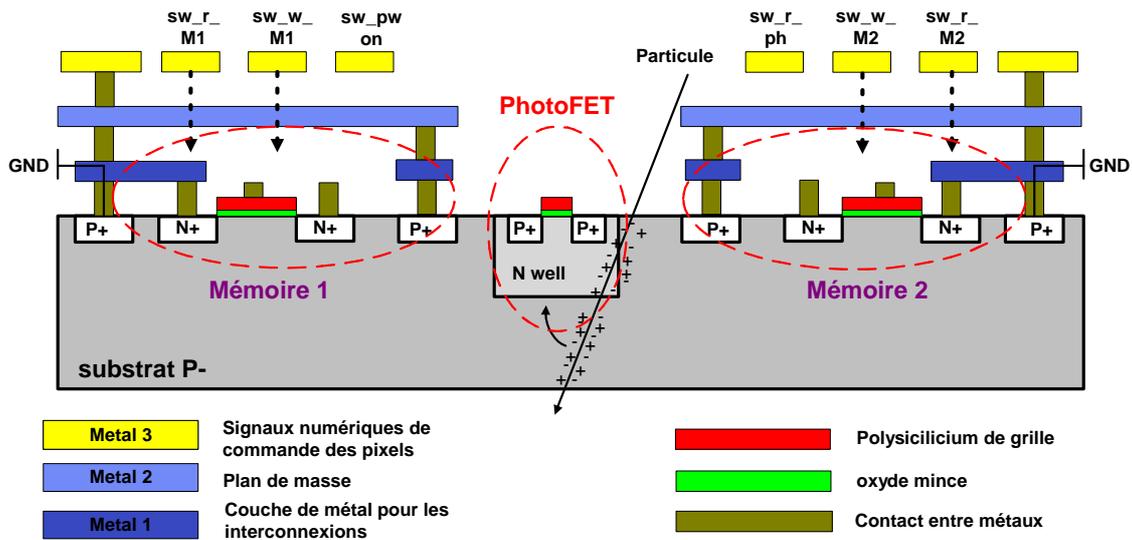


Figure B-2 : Vue en coupe d'un pixel.

La figure B-2 présente l'encapsulation des mémoires de courant dans une "cage de Faraday" connectée à la masse (GND). Ceci permet de réduire la sensibilité des mémoires de courant aux signaux numériques de commande des pixels (sw\_r\_M1, sw\_r\_M2, ...).

## B.2 Banc de test du circuit Mimosa 13

### B.2.1 Photographie du banc de test

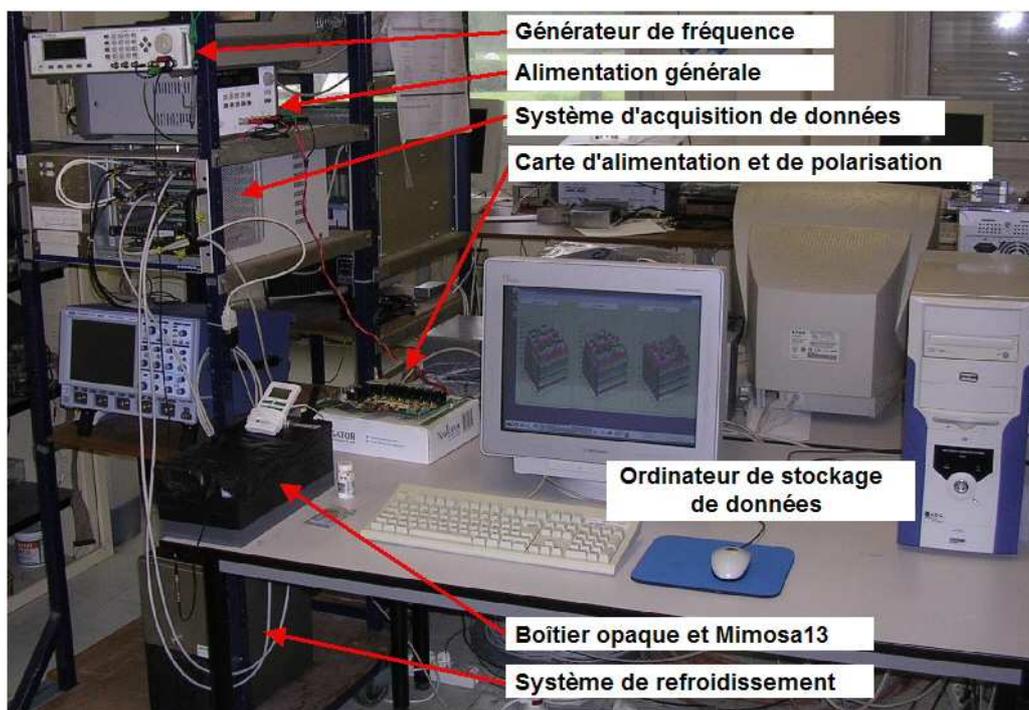
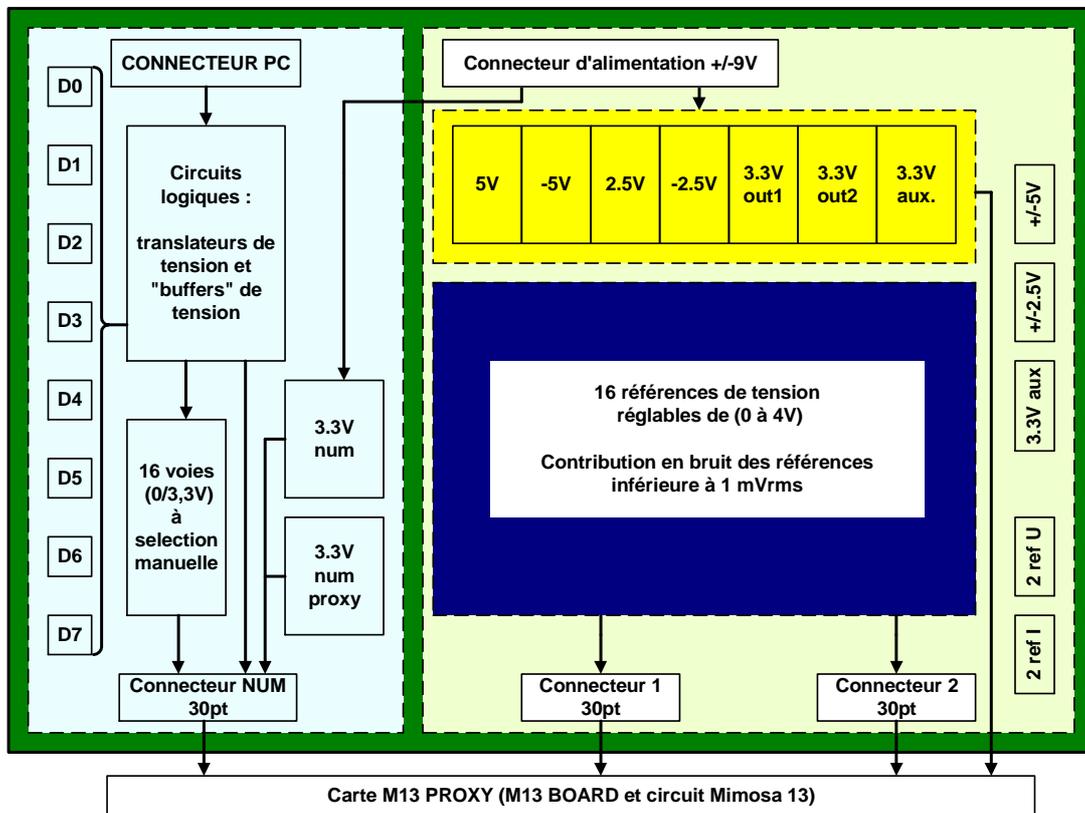


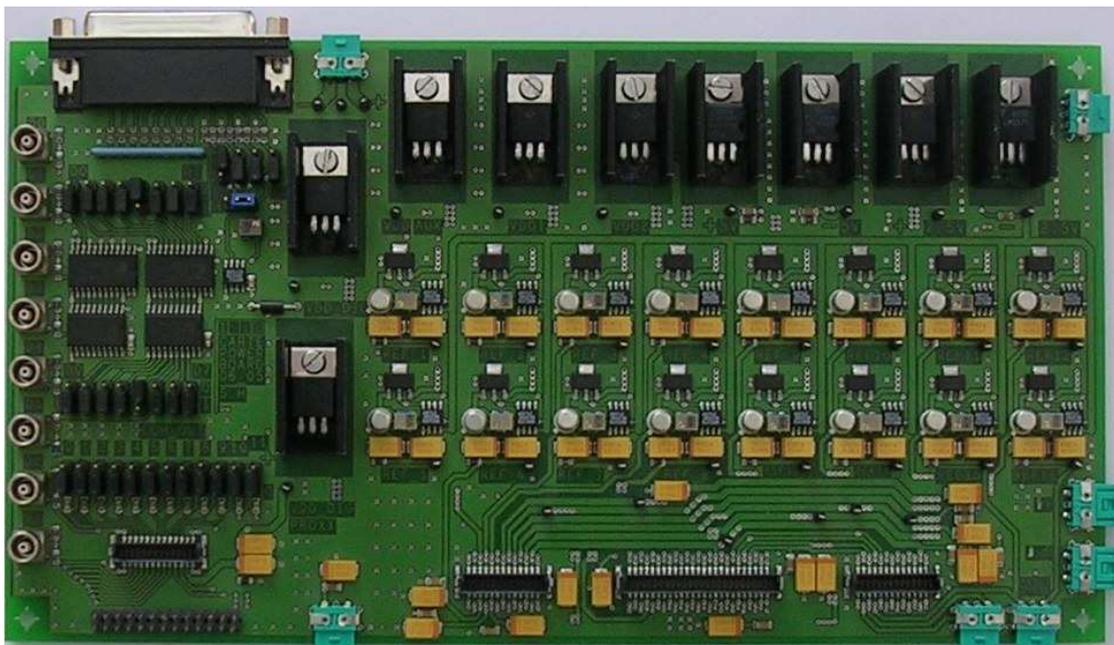
Figure B-3 : Photographie du banc de test de Mimosa 13.

## B.2.2 Carte électronique POWER\_BOARD

Cette carte fournit les alimentations en énergie et les polarisations du banc de test.



(a)

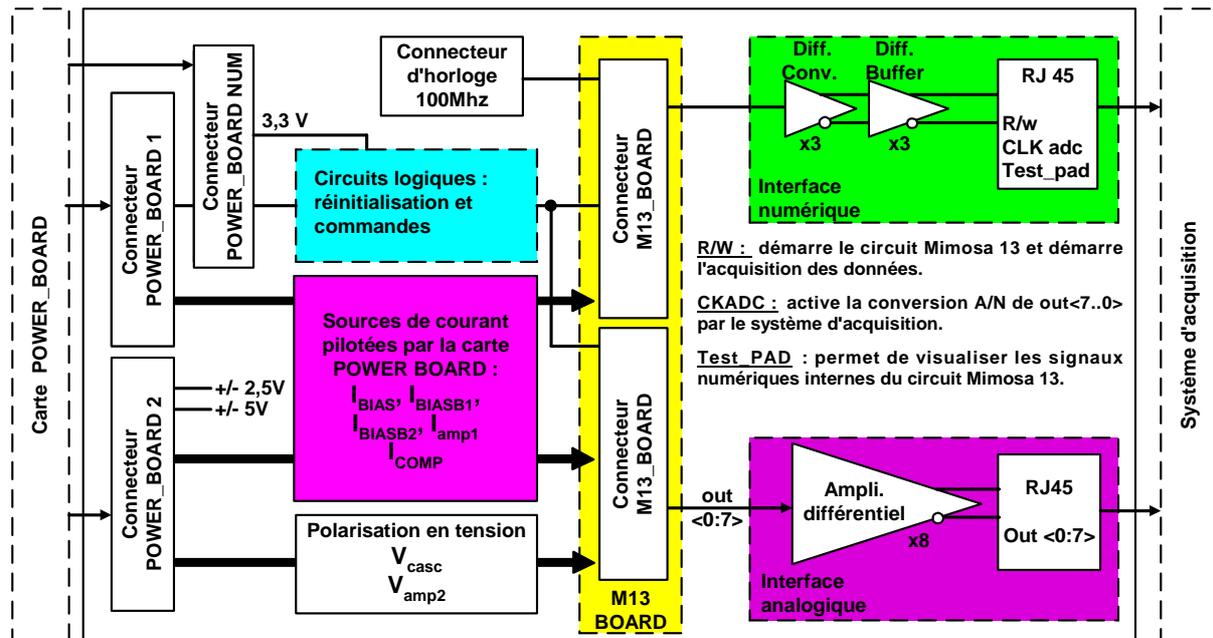


(b)

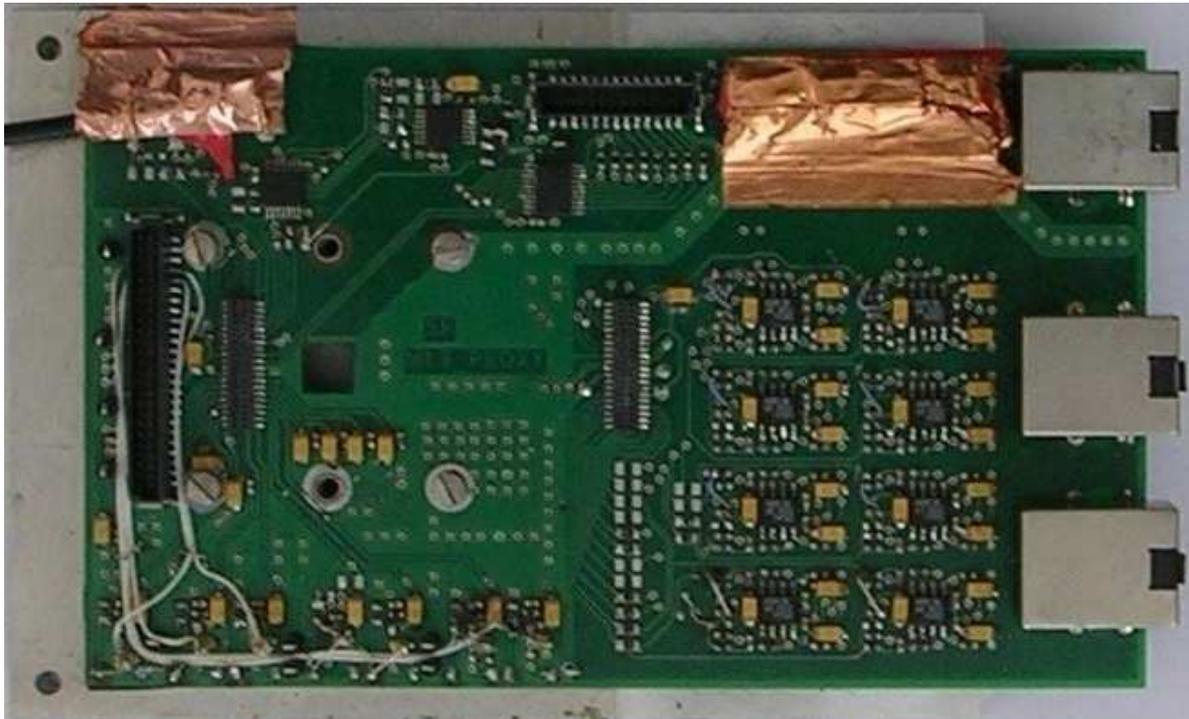
Figure B-4 : (a) Synoptique et (b) photographie de la carte POWER\_BOARD.

## B.2.3 Carte électronique M13 PROXY

La carte M13 PROXY supporte la carte M13 BOARD et interface cette dernière avec le système d'acquisition. L'ensemble M13 PROXY, M13 BOARD et le circuit Mimosa 13 est installé dans le boîtier opaque contenant le système de régulation thermique.



(a)

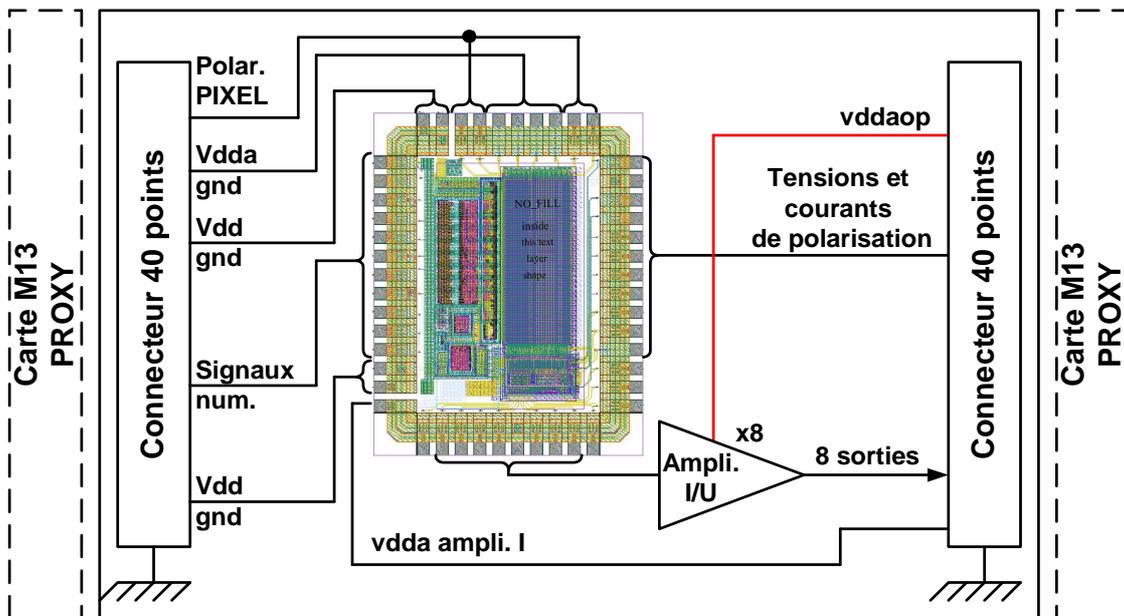


(b)

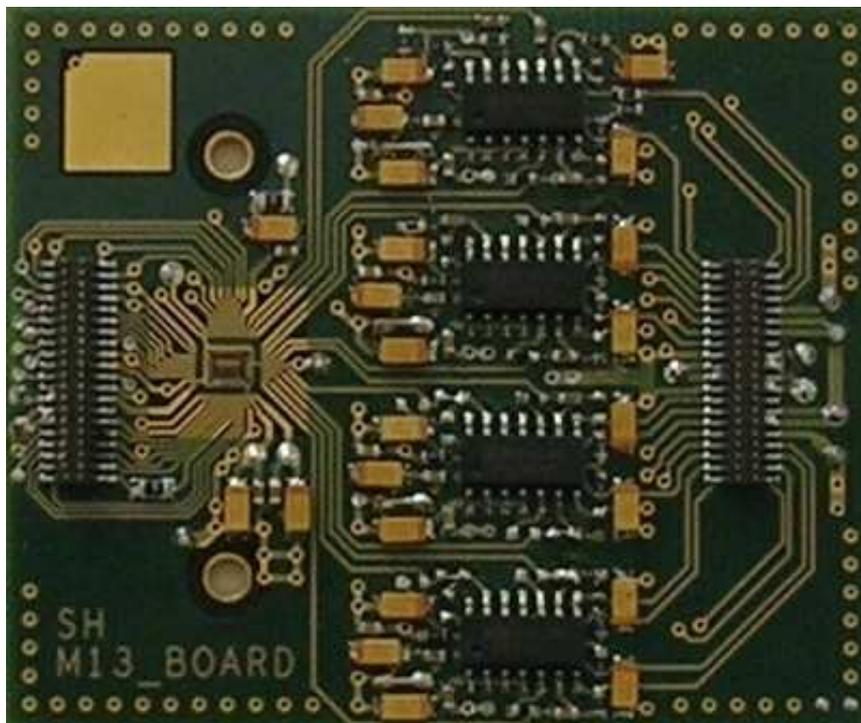
Figure B-5 : (a) Synoptique et (b) photographie de la carte M13 PROXY.

## B.2.4 Carte électronique M13 BOARD

La carte M13 BOARD présentée dans les figures B-6 (a et b) supporte le circuit Mimosa 13 et les amplificateurs I/U.



(a)



(b)

Figure B-6 : (a) Synoptique et (b) photographie de la carte M13 BOARD.



# Annexe C

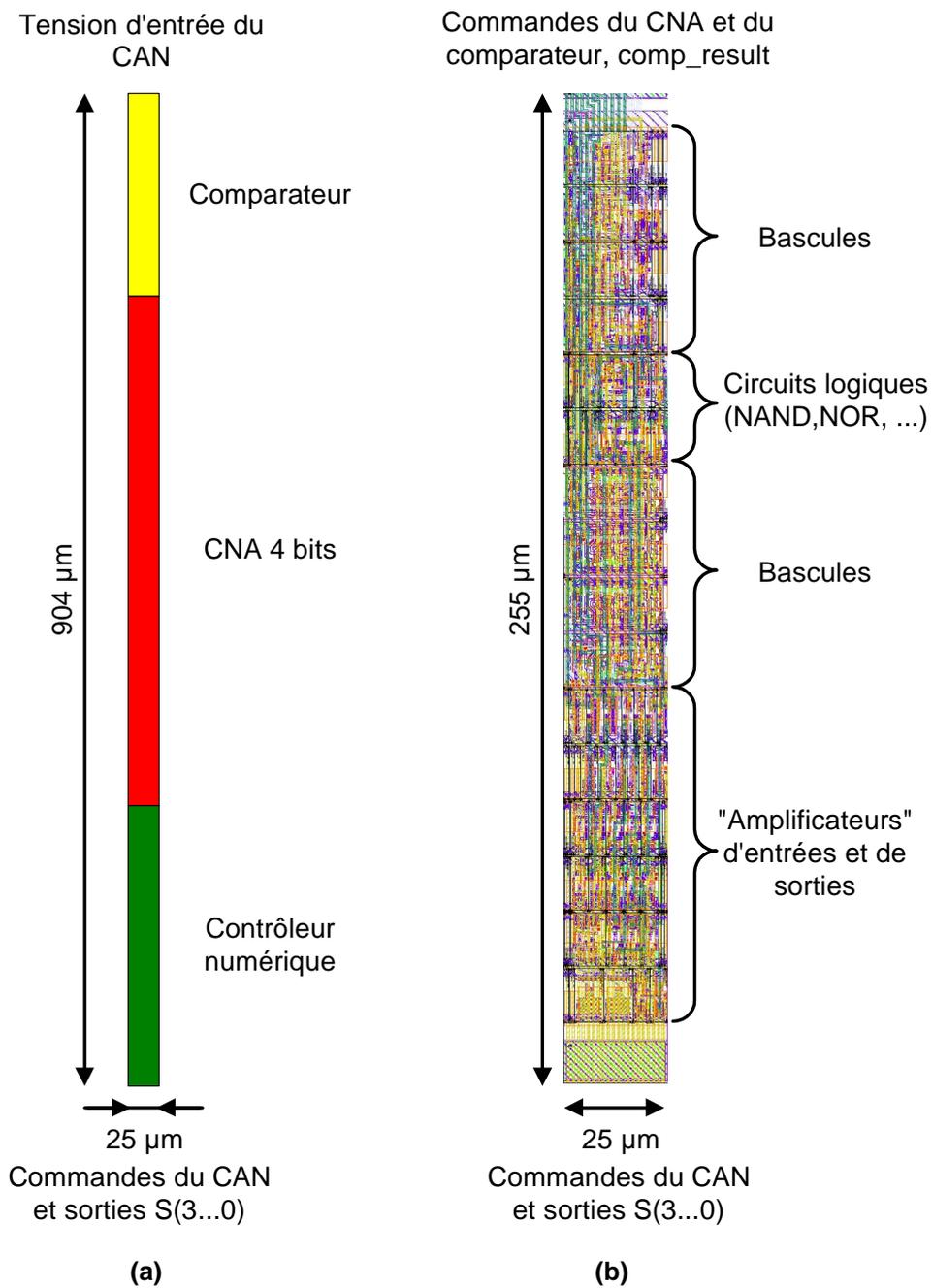
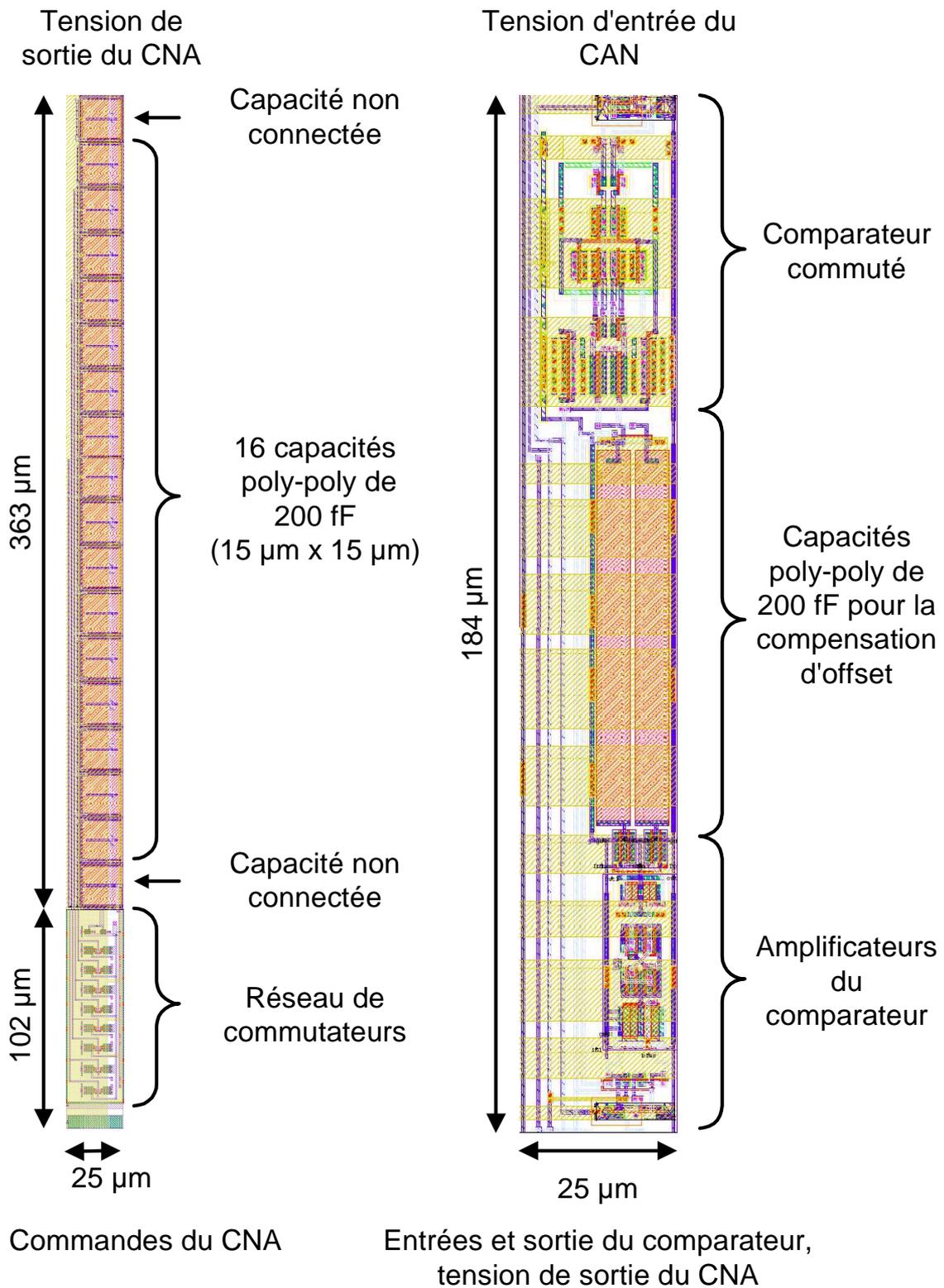


Figure C-1 : (a) Organisation physique du CAN, (b) dessin physique du contrôleur numérique.



(a)

(b)

Figure C-2 : (a) Dessin physique du CNA, (b) dessin physique du comparateur.





# Bibliographie

- [1] Site web Wikipédia, "historique des tubes électroniques", <http://fr.wikipedia.org>.
- [2] Site web Wikipédia, "semi-conducteur", <http://fr.wikipedia.org>.
- [3] Site web de l'IN2P3, "Voyage au cœur de la matière", <http://voyage.in2p3.fr>.
- [4] H. Sergolle, "Physique du noyau de l'atome", Techniques de l'Ingénieur, article AF 3 520, octobre 1997.
- [5] Revue d'Information Scientifique, "Elémentaire, de l'infiniment petit à l'infiniment grand, No. 1", <http://elementaire.web.lal.in2p3.fr>, mai 2005.
- [6] GSI, "FAIR, An International Accelerator Facility for Beam of Ions and Antiprotons, Baseline Technical Report", <http://www.gsi.de/fair/reports>, juillet 2006.
- [7] Site web du GSI, "rubrique FAIR", <http://www.gsi.de/fair>.
- [8] GSI, "FAIR, An International Accelerator Facility for Beam of Ions and Antiprotons, Conceptual Design Report", <http://www.gsi.de/fair/reports>, novembre 2006.
- [9] C. Höhne & al, "The Compressed Baryonic Matter Experiment at FAIR", NuPECC, Nuclear Physics News, Volume 16, No. 1, p. 19-23, février 2006.
- [10] J.M. Heuser, "Development of a Silicon Tracking and Vertex Detection System for the CBM Experiment at FAIR", Vertex 2006, actes de conférence, Perugia, Italie, septembre 2006.
- [11] GSI, The CBM collaboration, "Letter of Intent for the Compressed Baryonic Matter Experiment at the future Accelerator Facility in Darmstadt", janvier 2004.
- [12] GSI, The CBM collaboration, "Compressed Baryonic Matter Experiment, Technical Status Report", janvier 2005.
- [13] P. Senger, "The Compressed Baryonic Matter Experiment at FAIR", Critical Point and the Onset of Deconfinement, actes de conférence, Florence, Italie, juillet 2006.
- [14] J.M. Heuser, "Development of a Silicon Tracking and Vertex Detection System for the CBM Experiment at FAIR", Nuclear Instruments and Methods in Physics Research, Section A, Volume 582, Issue 3, p. 910-915, décembre 2006.
- [15] J.M. Heuser & al, "Requirements for the Silicon Tracking System of CBM at FAIR", Nuclear Instruments and Methods in Physics Research, Section A, Volume 568, Issue 1, p. 258-262, novembre 2006.
- [16] M. Bregant & al, "The ALICE vertex detector: Focus on the micro-strip layers", Nuclear Instruments and Methods in Physics Research, Section A, Volume 569, Issue 1, p. 29-32, décembre 2006.
- [17] M. Battaglia & al, "Hybrid pixel detector development for the linear collider vertex detector", IEEE Transactions on Nuclear Science, Volume 48, Issue 4, Part 1, p. 992-996, août 2001.

- [18] A. Sopczak & al, "Radiation Hardness of CCD Vertex Detectors for the ILC", IPRD 2006, 10th Topical Seminar on Innovative Particle and Radiation Detectors, actes de conférence, Siena, Italie, octobre 2006.
- [19] M. Trimpl & al, "Performance of a DEPFET pixel system for particle detection", Nuclear Instruments and Methods in Physics Research, Section A, Volume 568, Issue 1, p. 201-206, mai 2006.
- [20] R. Yarema, "3D Integrated Circuits for Hep", LECC 2006, 12<sup>th</sup> Workshop on Electronics for LHC and future, actes de conférence, Valencia, Espagne, septembre 2006.
- [21] Yu. Gornushkin & al, "Tracking performance and radiation tolerance of monolithic active pixel sensors", Nuclear Instruments and Methods in Physics Research, Section A, Volume 513, Issue 1-2, p. 291-295, novembre 2003.
- [22] M. Deveaux & al, "Charge collection properties of X-ray irradiated monolithic active pixel sensors", Nuclear Instruments and Methods in Physics Research, Section A, Volume 552, Issue 1-2, p. 118-123, octobre 2005.
- [23] W. Dulinski & al, "Test of backside illuminated monolithic CMOS pixel sensor in an HPD set-up", Nuclear Instruments and Methods in Physics Research, Section A, Volume 546, Issue 1-2, p. 274-280, juillet 2005.
- [24] R. Turchetta & al, "A monolithic active pixel sensor for charged particle tracking and imaging using standard VLSI CMOS technology", Nuclear Instruments and Methods in Physics Research, Section A, Volume 458, Issue 3, p. 677-689, février 2001.
- [25] R. Turchetta & al, "Monolithic active pixel sensors (MAPS) in a VLSI CMOS technology", Nuclear Instruments and Methods in Physics Research, Section A, Volume 501, Issue 1, p. 251-259, mars 2003.
- [26] M. L. Prydderch & al, "A 512x512 CMOS Monolithic Active Pixel Sensor with integrated ADCs for space science", Nuclear Instruments and Methods in Physics Research, Section A, Volume 512, Issues 1-2, p. 358-367, octobre 2003.
- [27] Y. Degerli & al, "A fast monolithic active pixel sensor with pixel level reset noise suppression and binary outputs for charged particle detection", NSS/MIC 2004, IEEE Nuclear Science Symposium and Medical Imaging Conference, actes de conférence, Rome, Italie, octobre 2004.
- [28] Revue technique "J'automatise, Capteur CCD/CMOS : comment choisir", Volume 37, p. 76-78, novembre-décembre 2004.
- [29] Thèse de C. Cavadore, "Conception et caractérisation de capteurs d'images à pixels actifs CMOS-APS", SUPAERO/ENSAE, France, juin 1998.
- [30] Thèse de G. Deptuch, "Développement d'un capteur de nouvelle génération et son électronique intégrée pour les collisionneurs futurs", Université Louis Pasteur, Strasbourg, France, septembre 2002.
- [31] R. C. Alig & al, "Scattering by ionization and phonon emission in semiconductors", The American Physical Society Rev. B, Volume 22, Issue 12, p. 5565-5582, décembre 1980.
- [32] F. Scholze & al, "Measurement of the mean electron-hole pair creation energy in crystalline silicon for photons in the 50-1500 eV spectral range", Applied Physics Letters, Volume 69, Issue 20, p. 2974-2976, novembre 1996.
- [33] H. Bichsel, "Straggling in thin silicon detectors", Reviews of Modern Physics, Volume 60, Issue 3, p. 663-699, juillet 1988.

- [34] Site web du Particle Data Group, H. Bichsel & al, "Passage of Particles Through Matter", The Review of Particle Physics, avril 2006, <http://pdg.lbl.gov>.
- [35] R. H. Richter & al, "Design and technology of DEPFET pixel sensors for linear collider applications", Nuclear Instruments and Methods in Physics Research Section A, Volume 511, Issue 1-1, p. 250-256, septembre 2003.
- [36] M. C. Lépy & al, "Experimental study of the response of semiconductor detectors to low-energy photons", Nuclear Instruments and Methods in Physics Research Section A, Volume 439, Issues 2-3, p. 239-246, janvier 2000.
- [37] J.P. Ponpon, "DéTECTEURS à semi-conducteurs et imagerie des rayons X", Journal de physique, J. Phys. IV France, Volume 12, Issue 6, p. 323-340, juillet 2002.
- [38] Austria Mikro System, "Process Parameters" de la technologie AMS 035, REV 3.0, octobre 2004.
- [39] Enrico Giulio Villani, "Charge diffusion in undepleted regions of silicon particle detectors: analysis and simulation", Nuclear Instruments and Methods in Physics Research Section A, Volume 539, Issue 1, p. 125-131, novembre 2004.
- [40] G. Deptuch & al, "Simulation and measurements of charge collection in monolithic active pixel sensors", Nuclear Instruments and Methods in Physics Research Section A, Volume 465, Issue 1, p. 92-100, juin 2001.
- [41] S. M. Sze, "Physics of Semiconductor Devices", 2<sup>nd</sup> edition, J. Wiley and Sons Inc, 1981.
- [42] D. Schroder, "Semiconductor Material and Device Characterization", J. Wiley and Sons Inc., 1990.
- [43] A. Besson & al, "A vertex detector for the International Linear Collider based on CMOS sensors", Nuclear Instruments and Methods in Physics Research Section A, Volume 568, Issue 1, 30, p. 233-239, novembre 2006.
- [44] Wei-Jean Liu Chen & al, "A CMOS Photodiode Model", BMAS 2001, 5<sup>th</sup> IEEE International Workshop on Behavioral Modeling and Simulation, actes de conférence, Santa Rosa, USA, octobre 2001.
- [45] I. Shcherback, O. Yadid-Pecht, "Photoresponse analysis and pixel shape optimization for CMOS active pixel sensors", IEEE Transactions on Electron Devices, Volume 50, Issue 1, p. 12-18, janvier 2003.
- [46] W. Dulinski & al, "Radiation hardness improved CMOS sensors as particle detectors in high energy physics and medical applications", IEEE Nuclear Science Symposium Conference Record, actes de conférence, Volume 1, p. 310-314, octobre 2003.
- [47] Hui Tian, B. Fowler, A.E. Gamal, "Analysis of temporal noise in CMOS photodiode active pixel sensor", Solid-State Circuits, IEEE Journal of, Volume: 36, Issue 1, p. 92-101, janvier 2001.
- [48] G. Deptuch & al, "Development of monolithic active pixel sensors for charged particle tracking", Nuclear Instruments and Methods in Physics Research Section A, Volume 511, Issues 1-2, p. 240-249, septembre 2003.
- [49] W. Dulinski & al, "CMOS monolithic active pixel sensors for minimum ionizing particle tracking using non-epitaxial silicon substrate", IEEE Transactions on Nuclear Science, Volume 51, Issue 4, p. 1613-1617, août 2004.
- [50] S. Heini & al, "Design of PhotoFET for monolithic active pixel sensors in high energy physics and biomedical imaging applications", IEE, Electronic Letters, Volume 42, Issue 23, p. 1347-p1348, novembre 2006.
- [51] F. Cannillo & al, "Monolithic active pixel sensor for dosimetry application", ESSDERC 2003, 33<sup>rd</sup> European Solid-State Device Research Conference, actes de conférence, Estoril, Portugal, septembre 2003.

- [52] S. Heini & al, "Design and characterization of fully integrated PhotoFETs for ionizing particle sensors using a CMOS submicron technology", AICSP, Springer Netherlands, Volume 57, Issue 3, p. 1573-1979, décembre 2008.
- [53] W. M.C. Sansen, K. R. Laker, "Design of Analog Integrated Circuits and Systems", McGraw-Hill Companies, 1<sup>st</sup> edition, janvier 1994.
- [54] G. Anelli & al, "Noise characterization of a 0.25  $\mu\text{m}$  CMOS technology for the LHC experiments", Nuclear Instruments and Methods in Physics Research Section A, Volume 457, Issues 2, p. 295-298, janvier 2007.
- [55] S. Heini, C. Hu-Guo, M. Winter, Y. Hu, "A new PhotoFET for Monolithic Active Pixel Sensors Using CMOS submicronic Technology", ICECS 2006, 13<sup>th</sup> IEEE International Conference on Electronics, Circuits and Systems, actes de conférence, Nice, France, décembre 2006.
- [56] V. Gruev & al, "Linear current mode imager with low fix pattern noise", ISCAS 2004, International Symposium on Circuits and Systems, actes de conférence, Vancouver, Canada, mai 2004.
- [57] J. Coulombe, "Variable resolution CMOS current mode active pixel sensor", ISCAS 2000, International Symposium on Circuits and Systems, actes de conférence, Genève, Suisse, mai 2000.
- [58] C. Toumazou, J. B. Hughes, D. M. Pattullo, "Regulated cascode switched-current memory cell", IEEE Electronic Letters, Volume 26, Issue 5, p. 303-305, mars 2005.
- [59] M. Trimpl M & al, "A fast readout using switched current techniques for a DEPFET-pixel vertex detector at TESLA", Volume 511, Issue 1-2, p. 257-264, septembre 2003.
- [60] W. Dulinski & al, "Radiation hardness study of an APS CMOS particle tracker", IEEE Nuclear Science Symposium Conference Record, actes de conférence, Volume 1, p. 100-103, novembre 2001.
- [61] Y. Gornushkin & al, "Tracking performance and radiation tolerance of monolithic active pixel sensors", Nuclear Instruments and Methods in Physics Research Section A, Volume 513, Issue 1-2, p. 291-295, novembre 2003.
- [62] M. Deveaux & al, "Charge collection properties of Monolithic Active Pixel Sensors (MAPS) irradiated with non-ionising radiation", Nuclear Instruments and Methods in Physics Research Section A, Volume 583, Issue 1, p. 134-138, décembre 2007.
- [63] S. Heini, M. Winter, Y. Hu, "Swift Integrated Signal Processing Architectures for CMOS Sensors Equipping Future Vertex Detectors", LECC 2005, 11<sup>th</sup> Workshop on electronics for LHC and future experiments, actes de conférence, Heidelberg, Allemagne, septembre 2005.
- [64] THèse de G. Anelli, "Design and characterization of radiation tolerant integrated circuits in deep submicron CMOS technologies for the LHC experiments", Institut Polytechnique de Grenoble, France, décembre 2000.
- [65] F. Faccio & al. "Total Dose and Single Event Effects (SEE) in a 0.25 $\mu\text{m}$  CMOS Technology", CERN, RD49.
- [66] G. Deptuch & al, "Development of monolithic active pixel sensors for charged particle tracking", Nuclear Instruments and Methods in Physics Research, Section A, Volume 511, Issues 1-2, p. 240-249, septembre 2003,
- [67] T. Morris & al, "A column-based processing array for high-speed digital image processing", ARVLSI 1999, 20<sup>th</sup> Anniversary Conference on Advanced Research in VLSI, actes de conférence, Atlanta, USA, mars 1999.
- [68] C.J.S. Damerell & al, "Real-time data sparsification for the SLD vertex detector", IEEE Transactions on Nuclear Science, Volume 37, Issue 2, p. 305-309, avril 1990.

- [69] A.I. Krymski, "A high-speed, 240-frames/s, 4.1-Mpixel CMOS sensor", IEEE Transactions on Electron Devices, Volume 50, Issue 1, p. 130-135, janvier 2003.
- [70] S. Heini & al, "Etat d'avancement des ADCs développés à l'IPHC", Journées VLSI et IAO-CAO de l'IN2P3 au Laboratoire de Physique Nucléaire et Hautes Energies, Paris, France, 06-08 juin 2007.
- [71] Y. Degerli, "Performance of a fast binary readout CMOS active pixel sensor chip designed for charged particle detection", IEEE Transactions on Nuclear Science, Volume 53, Issue 6, p. 3949-3955, décembre 2006.
- [72] C. Hu, "Revue technique du projet MAPS relative à la conception de l'ADC", Réunion inter-laboratoire IN2P3, Laboratoire de Physique Corpusculaire, Transparents présentés à Clermont Ferrand, France, 18 janvier 2005.
- [73] Auguste Besson, "Status of the development of MIMOSA CMOS sensors", LCWS 07, on the DESY campus in Hamburg, actes de conférence, Hamburg, Allemagne, mai-juin 2007.
- [74] R. Van de Plassche, "CMOS Integrated Analog-to-Digital Converters", 2<sup>nd</sup> Edition, Kluwer Academic Publishers, ISBN 1-4020-7500-6, 2003.
- [75] A. Yakovlev, "Double-Ramp ADC for CMOS sensors", US PATENT, US 6,670,904, décembre 2003.
- [76] Hwang-Cherng Chow & al, "1V 10-bit successive approximation ADC for low power biomedical applications", ECCTD 2007, 18<sup>th</sup> European Conference on Circuit Theory and Design, actes de conférence, Séville, Espagne, août 2007.
- [77] K. Kiyoyama & al, "A low current consumption CMOS latched comparator for body-implanted chip", ISCAS 2005, IEEE International Symposium on Circuits and Systems, 2005, actes de conférence, mai 2005.
- [78] G. Deptuch & al, "Monolithic active pixel sensors with in-pixel double sampling operation and column-level discrimination", IEEE Transactions on Nuclear Science, Volume 51, Issue 5, p. 2313-2321, octobre 2004.
- [79] R. K. Hester & al, "Fully differential ADC with rail-to-rail common-mode range and nonlinear capacitor compensation", IEEE Transactions on Solid-State Circuits, Volume 25, Issue 1, p. 173-183, février 1990.
- [80] P. M. Figueiredo & al, "Kickback noise reduction techniques for CMOS latched comparators", IEEE Transactions on Circuits and Systems II: Express Briefs, Volume 53, Issue 7, p. 541-545, juillet 2006.
- [81] P. Uthaichana, "Low power CMOS dynamic latch comparators", TENCON 2003, Conference on Convergent Technologies for Asia-Pacific Region, actes de conférence, Bangalore, Inde, octobre 2003.
- [82] IEEE Instrumentation and Measurement Society, "IEEE Standard for Terminology and Test Methods for Analog-to-Digital Converters", IEEE Std, p. 1241-2000, décembre 2000.
- [83] Thèse de Nicolas Pillet, "Optimisation de la chaîne de lecture des Capteurs CMOS", Université de Strasbourg, France, 2010.
- [84] Konstantin D. Stefanov, "CCD developments for particle colliders", Nuclear Instruments and Methods in Physics Research, Section A, Volume 565, Issue 1, p. 157-164, octobre 2006.
- [85] C.J.S. Damerell, "CCD-based vertex detectors", Nuclear Instruments and Methods in Physics Research, Section A, Volume 541, Issues 1-2, p. 178-188, avril 2005.
- [86] Y. Sugimoto & al, "CCD-based vertex detector for GLC", Nuclear Instruments and Methods in Physics Research, Section A, Volume 549, Issue 1-3, p. 87-92, septembre 2005.

- [87] L. Arnolda, J. Baudota & al, "The STAR silicon strip detector (SSD) ", Nuclear Instruments and Methods in Physics Research, Section A, Volume 499, Issues 2-3, p. 652-658, mars 2003.
- [88] A. Macchiolo & al, "Characterization of micro-strip detectors made with high resistivity n- and p-type Czochralski silicon", Nuclear Instruments and Methods in Physics Research, Section A, Volume 573, Issues 1-2, p. 216-219, avril 2007.
- [89] C. Colledani & al, "A Submicron Precision Silicon Telescope for Beam Test Purposes", Nuclear Instrumentation Method, A372, p. 379-384, 1996.
- [90] D. Bonnet & al, "The HAL25 front-end chip for the ALICE silicon strip detectors", LECC 2001, 7<sup>th</sup> Workshop on electronics for LHC experiments, actes de conférence, Stockholm, Suède, septembre 2001.
- [91] J. Grosse-Knetter, "The ATLAS pixel detector", Nuclear Instruments and Methods in Physics Research, Section A, Volume 568, Issue 1, p. 252-257, novembre 2006
- [92] G. Bolla & al, "Sensor development for the CMS pixel detector", Nuclear Instruments and Methods in Physics Research, Section A, Volume 485, Issue 1-2, p. 89-99, juin 2002
- [93] G. McMullan & al, "Electron imaging with Medipix2 hybrid pixel detector", Ultramicroscopy, Volume 107, Issues 4-5, p. 401-413, avril-mai 2007.
- [94] G. Lutz & al, "DEPFET-detectors: New developments", Nuclear Instruments and Methods in Physics Research, Section A, Volume 572, Issue 1, p. 311-315, mars 2007.
- [95] J. J. Velthuis & al, "Status of DEPFET", Nuclear Instruments and Methods in Physics Research, Section A, Volume 569, Issue 1, p. 57-60, décembre. 2006.
- [96] R. H. Richter & al, "Design and technology of DEPFET pixel sensors for linear collider applications", Nuclear Instruments & Methods in Physics Research, Section A, Volume 511, Issue 1-2, p. 250-256, juin 2003.
- [97] V. Suntharalingam, "Silicon-on-Insulator-Based Single-Chip Image Sensors", LECC 2006, 12<sup>th</sup> Workshop on Electronics for LHC and future Experiments, actes de conférence, Valence, Espagne, septembre 2006.
- [98] J. Marczewski & al, "SOI active pixel detectors of ionizing radiation-technology and design development", IEEE Transactions on Nuclear Science, Volume 51, Issue 3, p. 1025-1028, juin 2004.
- [99] A. Bulgheroni & al, "Characterization of a thinned back illuminated MIMOSA V sensor as a visible light camera", Nuclear Instruments & Methods in Physics Research, Section A, Volume 565, Issue 1, p. 221-226, septembre 2006.
- [100] Y. Degerli, & al, "Performance of a fast binary readout CMOS active pixel sensor chip designed for charged particle detection", IEEE Transactions on Nuclear Science, Volume 53, Issue 6, p. 3949-3955, decembre 2006.
- [101] M. Winter, "A Swift and Slim Flavour Tagger exploiting the CMOS Sensor Technology", LCWS 05, actes de conférence, Stanford, USA, mars 2005.
- [102] D. Ginhac & al, "Principles of a CMOS sensor dedicated to face tracking and recognition", CAMP 2005, 7<sup>th</sup> International Workshop on Computer Architecture for Machine Perception, actes de conférence, juillet 2005.
- [103] S. Kleinfelder & al, "Four-million-frame/s CMOS image sensor prototype with on-focal-plane 64-frame storage", Ultrahigh- and High-Speed Photography, Photonics, and Videography, Edited by Snyder, Volume 5210, p. 76-83, février 2004.





# Conférences et publications

## Conférences avec comité de lecture :

S. Heini, M. Winter, Y. Hu, "Swift Integrated Signal Processing Architectures for CMOS Sensors Equipping Future Vertex Detectors", 11<sup>th</sup> Workshop on electronics for LHC and future experiments (LECC 2005), actes de conférence, p. 135-139, Heidelberg, Allemagne, septembre 2005.

S. Heini, M. Winter, Y. Hu, "Conception et caractérisation de PhotoFETs intégrés dans un capteur de particules ionisantes en technologie CMOS submicronique", 7<sup>ième</sup> Colloque sur le Traitement Analogique de l'information, du Signal et ses Applications, actes de conférence p. 47-50, Strasbourg, France, octobre 2006.

S. Heini, C. Hu-Guo, M. Winter, Y. Hu, "A new PhotoFET for Monolithic Active Pixel Sensors Using CMOS submicronic Technology", 13<sup>th</sup> IEEE International Conference on Electronics, circuits and Systems, actes de conférence, p. 1148-1151, Nice, France, décembre 2006.

## Conférences sans comité de lecture :

S. Heini & al, "State of the Art of CMOS Sensors for Charged Particle Tracking: On Pixel Signal Processing and On Chip Readout Architectures", First FAIR FEE Workshop, GSI, Darmstadt, Allemagne, octobre 2005.

S. Heini, A. Himmi, N. Pillet, I. Valin, "Etat d'avancement des ADCs développés à l'IPHC", Journées VLSI et IAO-CAO de l'IN2P3, Laboratoire de Physique Nucléaire et Hautes Energies, Paris, France, juin 2006.

## Revue spécialisée :

S. Heini, C. Hu-Guo, M. Winter, Y. Hu, "Design of PhotoFET for monolithic active pixel sensors in high energy physics and biomedical imaging applications", IEE, Electronic Letters, Volume 42, Issue 23, p. 1347–p1348, novembre 2006.

"This Letter was selected by the Editors of Electronics Letters as "Letter of the Month" and was featured on the Electronics Letters homepage in January 2007".

S. Heini, C. Hu-Guo, M. Winter, Y. Hu, "Design and characterization of fully integrated PhotoFETs for ionizing particle sensors using a CMOS submicron technology", Analog Integrated Circuits and Signal Processing, Springer Netherlands, Volume 57, Issue 3, p. 1573-1979, décembre 2008.

S. Heini, C. Hu-Guo, M. Winter, Y. Hu, "A CMOS Current-Mode Active Pixel Sensor for High Energy Physics and Biomedical Imaging applications", IEEE Transactions on Nuclear Science, accepté le 16 novembre 2008.

## Revue spécialisée (co-auteur) :

M. A. Szelezniak, G. W. Deptuch, F. Guilloux, S. Heini, A. Himmi, "A Current Mode Monolithic Active Pixel Sensor With Correlated Double Sampling for Charged Particle Detection", Sensors Journal, IEEE, Volume 7, Issue 1, p. 137-p150, janvier 2007.



**'Design of photoFET for monolithic active pixel sensors in high energy physics and biomedical imaging applications'**

by

**S. Heini, C. Hu-Guo, M. Winter and Y. Hu**

published in

***Electronics Letters*, volume 42, issue 23, 2006**

**This Letter was selected by the Editors of *Electronics Letters* as 'Letter of the Month' and was featured on the *Electronics Letters* homepage in January 2007**



The Knowledge Network

A handwritten signature in black ink, reading 'Helen Dyball'.

**Dr Helen Dyball  
Managing Editor  
*Electronics Letters***