

N° d'ordre : 401

École Doctorale Mathématiques, Sciences de
l'Information et de l'Ingénieur

UdS

THÈSE

présentée pour obtenir le grade de

Docteur de l'Université de Strasbourg
Discipline : Sciences pour l'Ingénieur
Spécialité : Microélectronique

par

Mingchun TANG

Études et Modélisation Compacte du Transistor FinFET

Soutenue publiquement le 03 décembre 2009

Membres du jury

Président du jury : Pr. Daniel Mathiot, Université de Strasbourg

Rapporteur : Pr. Benjamin Iñiguez, Universitat Rovira i Virgili

Rapporteur : Pr. Patrick Loumeau, Télécom ParisTech

Directeur de thèse : Pr. Christophe Lallement, Université de Strasbourg

Examineur : Dr. Jean-Michel Sallese, Ecole Polytechnique Fédérale de Lausanne

Examineur : Dr. Fabien Prégaldiny, Université de Strasbourg

Remerciements

Je tiens à remercier mon directeur de thèse, Pr. Christophe Lallement, et le directeur du laboratoire InESS, Pr. Daniel Mathiot, pour m'avoir donné cette occasion de réaliser ma thèse.

Je voudrais exprimer mon grand merci au Dr. Fabien Prégaldiny et au Pr. Christophe Lallement qui m'ont aidé énormément et m'ont ouvert une porte à une carrière de recherche scientifique. J'ai beaucoup profité de leurs expériences sur la recherche scientifique notamment sur la modélisation du composant électronique. Grâce à leurs grandes patiences et leurs conseils, j'ai pu finir ce travail de thèse.

Je tiens à remercier Dr. Jean-Michel Sallese pour les aimables et très utiles discussions.

Je remercie aussi très fortement Pr. Benjamin Iñiguez, Pr. Patrick Loumeau, Pr. Daniel Mathiot, Dr. Jean-Michel Sallese et Dr. Fabien Prégaldiny pour avoir accepté de faire partie du jury de ma thèse.

Je voudrais aussi remercier Dr. Romain Ritzenthaler à Universitat Rovira i Virgili en Espagne pour les discussions très utiles et mes collègues du laboratoire InESS, Morgan Madec, Nicolas Chevillon, Qing Sun, Dumitru Armeanu, Ashkhen Yesayan, Birahim Diagne, et Jacques Morel.

Un grand merci spécial à mes parents et ma fiancée Yimei pour leur support et patience.

Table des matières

| | |
|---|-----------|
| LISTE DES CONSTANTES, SYMBOLES ET ABREVIATIONS | III |
| LISTE DES FIGURES | VII |
| LISTE DES TABLEAUX | XIII |
| ÉVOLUTION DU MODELE INESS-EPFL ET LES REFERENCES CONCERNEES :..... | XV |
| INTRODUCTION..... | 1 |
| CHAPITRE I LA TECHNOLOGIE MOS A MULTIPLES GRILLES | 5 |
| I.1 POINT DE VUE DE L'ITRS POUR SUIVRE LA « LOI DE MOORE »..... | 7 |
| I.1.1 <i>Le MOSFET bulk</i> | 7 |
| I.1.2 <i>Silicium sur isolant (SOI)</i> | 16 |
| I.1.3 <i>MOSFET double-grille</i> | 22 |
| I.1.4 <i>FinFET</i> | 24 |
| I.1.5 <i>MOSFET triple-grille</i> | 29 |
| I.1.6 <i>GAA MOSFET</i> | 30 |
| I.1.7 <i>MOSFET à nanofil</i> | 30 |
| I.1.8 <i>Théorie du scaling</i> | 31 |
| <i>1^{ère} Conclusion (à mi-chapitre)</i> | 33 |
| I.2 LE TRANSISTOR FINFET : PROPRIETES ELECTRIQUES ET EFFETS PHYSIQUES..... | 35 |
| I.2.1 <i>Présentation du FinFET</i> | 35 |
| I.2.2 <i>Propriétés électriques du FinFET</i> | 36 |
| I.2.3 <i>Effets de coin</i> | 39 |
| I.2.4 <i>Les effets de mécanique quantique</i> | 44 |
| I.2.5 <i>Underlap - Overlap</i> | 47 |
| I.2.6 <i>Extension de la technologie FinFET – Bulk FinFET</i> | 48 |
| <i>Conclusion</i> | 50 |
| <i>Références</i> | 51 |
| CHAPITRE II MODELISATION COMPACTE DU TRANSISTOR FINFET | 57 |
| II.1 INTRODUCTION..... | 59 |
| II.2 ÉTAT DE L'ART | 60 |
| II.2.1 <i>Modèle de Yuan Taur</i> | 60 |
| II.2.2 <i>Modèle PSP FinFET</i> | 62 |
| II.2.3 <i>Modèle de Benjamin Iniguez</i> | 65 |
| II.2.4 <i>Modèle de Tor A. Fjeldly</i> | 67 |
| II.2.5 <i>Synthèse des principaux modèles existants</i> | 70 |
| II.3 L'OUTIL DE SIMULATION – TCAD | 71 |
| II.3.1 <i>Généralités</i> | 72 |
| II.3.2 <i>Simulation quantique</i> | 75 |
| II.3.2.1 <i>Self-Consistent Coupled Schrödinger Poisson</i> | 75 |
| II.3.2.2 <i>Quantum Moments</i> | 76 |
| II.3.2.3 <i>Bohm Quantum Potential (BQP)</i> | 77 |
| II.3.2.4 <i>Quantum correction</i> | 78 |
| II.3.3 <i>Simulation quantique d'un FinFET de type-p</i> | 79 |
| II.3.4 <i>Paramétrisation du script de la simulation numérique</i> | 79 |
| II.4 TRAVAUX PRECEDENTS..... | 80 |
| II.4.1 <i>Bases du modèle de FinFET</i> | 80 |
| II.4.2 <i>Modélisation des effets de petites géométries</i> | 87 |
| II.4.2.1 <i>Pente sous le seuil</i> | 91 |
| II.4.2.2 <i>Effets DIBL et Roll-Off</i> | 91 |
| II.4.3 <i>Comparaison du modèle compact de DG MOSFET avec les simulations numériques des FinFETs</i> | 93 |
| II.4.3.1 <i>Validation du modèle pour un FinFET à canal long</i> | 94 |

| | | |
|--|---|------------|
| II.4.3.2 | Validation du modèle pour un FinFET canal court | 96 |
| | Conclusion..... | 100 |
| | Références | 100 |
| CHAPITRE III | MODELISATION AVANCEE..... | 105 |
| III.1 | MODELE STATIQUE | 107 |
| III.1.1 | La pente sous le seuil..... | 107 |
| III.1.2 | Le partage de charge (SCE) et l'abaissement de la barrière induit par le drain (DIBL) | 110 |
| III.1.3 | Nouvelle formulation du courant de drain | 113 |
| III.1.4 | Tension de saturation (V_{dsat})..... | 115 |
| III.1.5 | Modulation de la longueur du canal (CLM)..... | 118 |
| III.1.6 | Effets de mécanique quantique (QME)..... | 121 |
| III.1.7 | Validation du modèle statique | 124 |
| III.2 | MODELE DYNAMIQUE | 135 |
| III.2.1 | Méthode EKV plus | 135 |
| III.2.1.1 | Modèle du FinFET avec canal long | 135 |
| III.2.1.2 | Modèle du FinFET avec canal court..... | 141 |
| III.2.2 | Méthode analytique directe | 144 |
| III.2.2.1 | Développement du modèle analytique..... | 144 |
| III.2.2.2 | Validation du modèle analytique..... | 149 |
| III.2.2.2.1 | FinFET avec un canal long | 149 |
| III.2.2.2.2 | FinFET avec un canal court..... | 150 |
| III.2.3 | Comparaison des méthodes EKV plus et analytique directe | 151 |
| | Conclusion..... | 153 |
| | Références | 153 |
| CHAPITRE IV | VERS L'INSERTION DU MODELE DANS UN FLOT DE CONCEPTION | 155 |
| IV.1 | LES CARACTERISTIQUES ELECTRIQUES POUR L'EXTRACTION DE PARAMETRES | 158 |
| IV.2 | METHODOLOGIE DE LA PROCEDURE D'EXTRACTION | 159 |
| IV.2.1 | Méthodes d'extraction..... | 160 |
| IV.2.2 | Méthodologie d'extraction par optimisation..... | 160 |
| IV.2.3 | Mise en œuvre de la procédure d'extraction..... | 161 |
| IV.3 | SIMULATION DES PORTES LOGIQUES | 161 |
| | Conclusion..... | 165 |
| | Référence | 165 |
| CONCLUSION ET PERSPECTIVES | 167 | |
| ANNEXES | 171 | |
| ANNEXE I. | SOLUTION EXPLICITE..... | 172 |
| ANNEXE II. | METHODE A RETROUVER LES CORRECTIONS DES EFFETS CANAUX COURTS | 176 |
| | Références | 178 |
| PUBLICATIONS ET COMMUNICATIONS ASSOCIEES A CE TRAVAIL | 179 | |

Liste des constantes, symboles et abréviations

Constantes Physiques

| Notation | Commentaire | Valeur approximative | Unités (S. I.) |
|-----------------|-----------------------------------|--------------------------------|------------------|
| ϵ_0 | Permittivité diélectrique du vide | $8.85 \cdot 10^{-12}$ | $F \cdot m^{-1}$ |
| e | Charge de l'électron | $1.60 \cdot 10^{-19}$ | C |
| h | Constante de Planck | $6.63 \cdot 10^{-34}$ | J·s |
| \hbar | Quantum de moment cinétique | $h/2\pi = 1.05 \cdot 10^{-34}$ | J·s |
| k_B (ou k) | Constante de Boltzmann | $1.38 \cdot 10^{-23}$ | $J \cdot K^{-1}$ |
| m_e | Masse de l'électron 'au repos' | $9.11 \cdot 10^{-31}$ | kg |

Abréviations

| Notation | Signification | Unités usuelles |
|------------------|---|------------------|
| C_{ox} | Capacité d'oxyde de grille | F |
| C_{Si} | Capacité de silicium | F |
| E_{trans_sat} | Champ électrique transversal au point de saturation | $V \cdot m^{-1}$ |
| E_{sat_long} | Champ électrique longitudinal au point de saturation | $V \cdot m^{-1}$ |
| H_{Si} | Hauteur du silicium | m |
| I_D | Courant de drain | A |
| I_{DSAT} | Courant de saturation | A |
| $I_{on/off}$ | Courant de drain en état « on » / « off » | |
| L | Longueur du canal | m |
| L_{ov} | Longueur de recouvrement ('overlap') | m |
| l | Longueur naturelle | m |
| n | facteur de pente | |
| N_a | Dopage du canal/silicium | cm^{-3} |
| $N_{S/D}$ | Dopage des source et drain | cm^{-3} |
| n_i | Concentration intrinsèque des porteurs dans le silicium | cm^{-3} |
| Q_i | Densité de charge d'inversion | cm^{-3} |
| Q_{msat} | Densité de charge au point de saturation | cm^{-3} |
| T | Température | K |
| t_{ox} | Epaisseur de l'oxyde de grille | m |
| U_T | Tension thermique ($=k_B \cdot T/e$) | V |
| V_{dsat} | Tension de saturation | V |
| v_{sat} | Vitesse de saturation des porteurs | $m \cdot s^{-1}$ |
| V_{FB} | Tension de bandes plates | V |
| V_d | Polarisation de drain | V |
| V_g | Polarisation de grille | V |
| V_s | Polarisation de source | V |

| | | |
|-----------------|--|---|
| V_T | Tension de seuil | V |
| W | Largeur du DG MOSFET | m |
| W_{Si}/t_{Si} | Largeur/Epaisseur du silicium | m |
| x_0 | Position du potentiel minimum dans le silicium | m |
| α_n | Paramètre du facteur de pente | |
| γ_{SCE} | Paramètre de la correction due à l'effet SCE | |
| γ_{DIBL} | Paramètre de la correction due à l'effet DIBL | |
| ΔL | Longueur de la région de saturation | m |
| μ | Mobilité des porteurs | $\text{cm}^2 \cdot \text{V}^{-1} \cdot \text{s}^{-1}$ |
| Φ_f | Potentiel de Fermi | V |
| Ψ_{cmin} | Potentiel minimum à la mi-largeur du silicium | V |

Grandeurs électriques normalisées

Notation Signification

| | |
|-----------------------|---|
| c_{ox} | Capacité d'oxyde de grille normalisée |
| c_{si} | Capacité de silicium normalisée |
| e_{trans_sat} | Champ électrique transversal normalisé au point de saturation |
| e_{sat_long} | Champ électrique longitudinal normalisé au point de saturation |
| g_m | Transconductance normalisée |
| g_{ds} | Conductance de sortie normalisée |
| i | Courant de drain normalisé |
| i_{dsat} | Courant de saturation normalisé |
| q_D | Charge de drain normalisée |
| q_G | Charge de grille normalisée |
| q_{msat} | Densité de charge au point de saturation normalisée |
| q_m | Densité de charge mobile normalisée pour un transistor avec un canal court |
| q_{m0} | Densité de charge mobile normalisée pour un transistor avec un canal long |
| q_{md} | Densité de charge au drain normalisée |
| q_{ms} | Densité de charge à la source normalisée |
| q_S | Charge de source normalisée |
| v_{bi} | Potentiel aux jonctions source/drain-canal normalisé |
| v_{ch} | Quasi-potentiel de Fermi normalisé |
| v_d | Polarisation de drain normalisée |
| v_{dsat} | Tension de saturation normalisée |
| v_g | Polarisation de grille normalisée |
| v_s | Polarisation de source normalisée |
| v_{to} | Tension de seuil normalisée pour un transistor avec un canal long |
| v_{to_qm} | Tension de seuil quantique normalisée pour un transistor avec un canal long |
| Δv_{th} | Décalage de tension de seuil normalisée |
| Δv_{th_SCE} | Décalage de tension de seuil normalisée dû à l'effet SCE |
| Δv_{th_DIBL} | Décalage de tension de seuil normalisée dû à l'effet DIBL |
| φ_{ms} | Travail de sortie de grille normalisé |
| φ_f | Potentiel de Fermi normalisé |

Abréviations et acronymes

| Nom | Signification | Traduction française |
|------------|---|---|
| BOX | Buried-OXide | Oxyde enterré |
| DIBL | Drain Induced Barrier Lowering | Abaissement de la barrière induit par le drain |
| DIVSB | Drain Induced Virtuel Substrate Bias | Polarisation virtuelle de substrat induit par le drain |
| FEM | Finit Element Method | Méthode des éléments finis |
| GCA | Gradual Channel Approximation | Approximation du canal graduel |
| LDD | Lightly Doped Drain | Extensions faiblement implantées |
| LTO | Low Temperature Oxide | Oxyde de basse température |
| P(F)D-SOI | Partially (Fully) Depleted Silicon On Insulator | Silicium sur isolant partiellement (complètement) déplété |
| PDE | Poly-Depletion Effect | Effet de polydéplétion |
| QME | Quantum Mechanical Effects | Effets de mécanique quantique |
| RSCE | Reverse Short Channel Effect | Effet canal court inverse |
| SCE | Short Channel Effect | Effet canal court |
| S(A)DG | Symmetric (Asymmetric) Double Gate | Double-grille symétrique (Asymétrique) |
| SOI | Silicon On Insulator | Silicium sur isolant |
| SS | Subthreshold Slope | Pente sous le seuil |
| Super-Halo | Pocket doping | Dopage des poches |

Liste des figures

| | | |
|-------------|--|----|
| Figure I-1 | La loi de Moore | 7 |
| Figure I-2 | Evolution de la technologie silicium..... | 7 |
| Figure I-3 | Le recouvrement des régions de déplétion induite par la grille et par les Source/Drain..... | 8 |
| Figure I-4 | Les régions d'extension du canal du à l'effet de canal étroit | 8 |
| Figure I-5 | Variation de la tension de seuil avec la longueur L (courbe en bas) et la largeur W (courbe en haut) d'après des simulations 2-D [2]-[3] | 9 |
| Figure I-6 | Profil du potentiel de canal pour un dispositif canal court. La tension de drain abaisse la barrière de potentiel à la fin de la source dans le canal [3]..... | 9 |
| Figure I-7 | Caractéristiques de sortie d'un transistor de grande géométrie pour une technologie 0.7 μ m (mesure et simulation) montrant l'effet du courant de substrat..... | 10 |
| Figure I-8 | Un transistor MOSFET canal n avec une extension faiblement dopée, aux source et drain conventionnels | 10 |
| Figure I-9 | La concentration du dopage dans le canal avec la technologie du dopage des poches (super-halo). NH est le pic de la concentration du dopage des poches; NCH est le dopage du canal. [4]..... | 11 |
| Figure I-10 | Profil de dopage (NA) dans le transistor MOS bulk après redistribution de dopant due à une diffusion rehaussée par l'oxydation (cas ici du transistor de type -n)..... | 11 |
| Figure I-11 | La tension de seuil en fonction de la fuite tunnel avec une tension de grille (Vg) de 1,5V pour différentes épaisseurs de l'oxyde de grille de (a) 2,8nm, (b) 2,0nm et (c) 1,2nm [6] | 12 |
| Figure I-12 | Diagramme des bandes d'énergie d'un transistor n-MOS (direction transversale) en régime d'inversion. En raison des effets quantiques, le premier niveau d'énergie E0 ne coïncide plus avec le bas de la bande de conduction EC, résultant ainsi en une différence d'énergie ΔE_g | 13 |
| Figure I-13 | Section de transistors parasites dans le CMOS-bulk..... | 13 |
| Figure I-14 | Circuit équivalent des transistors parasites dans le CMOS - bulk | 13 |
| Figure I-15 | Points clés de l'optimisation d'un MOSFET bulk [7]..... | 14 |
| Figure I-16 | Structure d'un transistor (simple grille) SOI de type-n..... | 16 |
| Figure I-17 | Mode de fonctionnement d'un transistor SOI..... | 16 |
| Figure I-18 | Coupe schématique dans un circuit BULK (a) et SOI (b). | 17 |
| Figure I-19 | Effet Kink | 19 |
| Figure I-20 | Forte influence de conductivité thermique par l'épaisseur du film de silicium et de germanium [9] | 19 |
| Figure I-21 | (a) Schématique de la pénétration de champ de Drain vers le corps, via l'oxyde enterré et le substrat de Si, (b) SOI MOSFET optimisé par le plan de masse (une électrode métallique) [10]..... | 20 |
| Figure I-22 | Diminution de la tension de seuil en fonction de l'épaisseur du film (cas d'un transistor SOI MOSFET de longueur de grille 100nm) [10]..... | 21 |
| Figure I-23 | Lignes de champ électrique | 23 |
| Figure I-24 | Etudes de désalignement des grilles d'un transistor DG MOSFET [18] | 24 |

| | |
|---|----|
| Figure I-25 Fabrication d'un transistor FinFET | 25 |
| Figure I-26 (a) Structure 3D d'un transistor FinFET ; Sections horizontale (b) et verticale (c) du FinFET | 26 |
| Figure I-27 Le film de silicium est formé par gravure sèche [20]..... | 26 |
| Figure I-28 Film de silicium est formé par gravure dans la solution de tétraméthylammonium hydroxyde (TMAH) à 50 °C pendant 1min [21] | 26 |
| Figure I-29 Le film de silicium est formé par gravure ionique réactive [22]..... | 27 |
| Figure I-30 Illustration de la section de lithographie par espaceur (a) formation de l'espaceur LTO autour de la couche Si ₃ N ₄ (b) Si ₃ N ₄ est enlevé (c) Transfert de la forme de l'espaceur LTO à la masque en oxyde (d) gravure du film de silicium par la masque formée précédemment [23] | 27 |
| Figure I-31 Multiplication des lithographies par espaceur en formant un film de silicium plus mince [23]..... | 28 |
| Figure I-32 Structure 3D d'un TG MOSFET | 29 |
| Figure I-33 Structure du GAA MOSFET..... | 30 |
| Figure I-34 Structure de Nanofil MOSFET | 30 |
| Figure I-35 L'épaisseur du film de silicium maximum vs la longueur de la grille afin d'éviter les effets de canal court dans les cas de MOSFET SOI avec simple-, double- et quadruple-grille [26]. | 32 |
| Figure I-36 Ion vs I _{off} pour différentes structures des dispositifs avec différentes longueurs du canal (L _{ch}) et l'épaisseur (pour SG MOSFET) ou la largeur (pour DG, TG, QG MOSFET) (T _{Si}) de silicium [28]..... | 33 |
| Figure I-37 Définition du FinFET | 35 |
| Figure I-38 Influence du paramètre W _{Si} dans les simulations 3D | 37 |
| Figure I-39 Influence du surélévation des source et drain pour un FinFET court (L=30nm, W _{Si} =20nm) [34] | 38 |
| Figure I-40 Section d'un transistor FinFET SDG perpendiculaire au flux de courant [34]..... | 39 |
| Figure I-41 Section d'un transistor FinFET ADG perpendiculaire au flux de courant. W _{Si} =40nm, t _{ox} =2,2nm, t _{poly} =120nm, W=360nm (2x la Hauteur du 'fin') [34]. | 39 |
| Figure I-42 Les régions où les effets de coin se produisent dans la section verticale d'un FinFET..... | 40 |
| Figure I-43 dgm/dVG à V _{DS} = 0.1V pour différents transistors SOI [37]..... | 40 |
| Figure I-44 Potentiel dans l'oxyde et le silicium à la section y-z (Figure I-37) pour les FinFETs avec une longueur de canal de 1µm. V _{GS} =0.3V. Les effets quantiques ne sont pas pris en compte. | 41 |
| Figure I-45 Effet du BOX dans la direction Y-Z | 42 |
| Figure I-46 Effet du BOX dans la direction X-Z | 43 |
| Figure I-47 Contour du potentiel dans l'oxyde et le silicium du FinFET avec H _{Si} =1µm, L=1µm pour différentes épaisseurs – c'est-à-dire W _{Si} = (a) 50 nm, (b) 20 nm, (c) 10 nm et (d) 5 nm..... | 43 |
| Figure I-48 Contour du potentiel dans l'oxyde et le silicium du FinFET avec H _{Si} =20nm, L=1µm pour différentes largeurs W _{Si} = (a) 50 nm, (b) 20 nm, (c) 10 nm et (d) 5 nm. | 44 |
| Figure I-49 Comparaison de la distribution classique et quantique des électrons dans le film de silicium pour la faible inversion. L'abscisse est normalisée par rapport à la largeur du Fin..... | 45 |
| Figure I-50 Comparaison de la distribution classique et quantique des électrons dans le film de silicium pour la forte inversion. L'abscisse est normalisée par rapport à la largeur du Fin..... | 45 |

| | |
|---|----|
| Figure I-51 Diagramme des sous-bandes quantiques d'énergie pour deux petites largeurs du silicium ($W_{Si}=10$ & $3nm$) pour (a) bande plate, (b) faible inversion et (c) forte inversion..... | 46 |
| Figure I-52 Structure d'un FinFET avec la région « underlap »..... | 47 |
| Figure I-53 Structure d'un Body-Tied FinFET | 48 |
| Figure I-54 Comparaison des caractéristiques de transfert des SOI et bulk FinFET avec $\Delta x_j=-10nm$ pour les deux différents dopages du body à $V_{DS}=1,2V$ [44]. | 49 |
| Figure I-55 Le DIBL en fonction du dopage du Fin pour SOI et Bulk FinFET avec $\Delta x_j=-10nm$ [44]. | 49 |
| Figure I-56 Comparaison des caractéristiques de sortie des SOI et Bulk FinFET avec $\Delta x_j=-10nm$ pour les deux différents dopages du corps [44]. | 50 |
| Figure II-1 Structure d'un DG MOSFET | 60 |
| Figure II-2 Schéma de la section du DG MOSFET (a) et du plan transformé (u, iv) où le demi-plan représente le corps du dispositif reflété (b). Les lignes électriques du champ 2D et les lignes équipotentielles associées avec le couplage capacitif sont indiquées dans (a). | 68 |
| Figure II-3 Comparaison des maillages uniformes (a) et non-uniformes (b) pour un FinFET de même dimension ($L=H_{Si}=1\mu m$, $W_{Si}=10nm$)..... | 74 |
| Figure II-4 Définition des électrodes et les dopages | 74 |
| Figure II-5 Transcapacité C_{gg} quasi-statique en fonction de la tension de grille | 76 |
| Figure II-6 Comparaison des méthodes de Schrodinger-Poisson et de Quantum..... | 76 |
| Figure II-7 Calibration du modèle BQP par rapport au modèle de Schrödinger-Poisson ($W_{Si}=10nm$)..... | 77 |
| Figure II-8 Calibration du modèle BQP par rapport au modèle de Schrödinger-Poisson ($W_{Si}=5nm$)..... | 78 |
| Figure II-9 Comparaison des modèles de Schrodinger-Poisson et de Van Dort..... | 78 |
| Figure II-10 Résultats de simulations classique et quantique pour $L=1\mu m$, et $W_{Si}=10nm$ et $3nm$ | 79 |
| Figure II-11 Structure du MOSFET double-grille | 81 |
| Figure II-12 : Diagramme des bandes d'énergie suivant la coupe verticale AB, avec $d = t_{Si}/2$ | 81 |
| Figure II-13 Définition de l'origine des coordonnées du DG MOSFET | 87 |
| Figure II-14 Comparaison des valeurs absolues obtenues par les différents termes dans (2.50) | 93 |
| Figure II-15 Comparaison du modèle statique (a et b) ID vs VGS et (c et d) ID vs VDS d'InESS-EPFL v0. [14] avec la simulation classique numérique sous Silvaco. ... | 94 |
| Figure II-16 Comparaison du modèle dynamique (CGG, CDG, CSG) (a et b) et (CDD) (c et d) [27], avec une simulation classique numérique sous Atlas/Silvaco. Dans (a) et (b), les symboles vides et les lignes discontinues sont pour $V_{DS}=0,1V$ et les symboles pleins et les lignes continues sont pour $V_{DS}=1V$ | 95 |
| Figure II-17 Comparaison du modèle dynamique (CGG, CDG, CSG) [27] (décalé d'une tension de grille plus petite de $30mV$) avec la simulation classique numérique sous Silvaco. $L=1\mu m$, $W_{Si}=10nm$ (a) et $3nm$ (b), $H_{Si}=1\mu m$. Dans (a) et (b), les symboles vides et les lignes discontinues sont pour $V_{DS}=0,1V$ et les symboles pleins et les lignes continues sont pour $V_{DS}=1V$ | 96 |
| Figure II-18 Comparaison du modèle dynamique (CDD) [27] (décalé d'une tension de grille plus petite de $30mV$) avec la simulation classique numérique sous Silvaco. $L=1\mu m$, $W_{Si}=10nm$ (a) et $3nm$ (b), $H_{Si}=1\mu m$ | 96 |

| | |
|--|-----|
| Figure II-19 Comparaison du modèle statique (a et b) ID vs VGS et (c et d) ID vs VDS d'InESS-EPFL v1. et la simulation classique numérique sous Silvaco. L=50nm, WSi=10nm (a et c) et 3nm (b et d), HSi=1µm. | 97 |
| Figure II-20 Comparaison du modèle dynamique (CGG, CDG, CSG) (a et b) et (CDD) (c et d) d'InESS-EPFL v1. avec la simulation classique numérique sous Silvaco. Dans (a) et (b), les symboles vides et les lignes discontinues sont pour VDS=0,1V et les symboles pleines et les lignes continues sont pour VDS=1V. | 98 |
| Figure II-21 Dégradation de la pente sous le seuil, en fonction de la longueur du canal : Comparaison entre le modèle d'InESS-EPFL v1. et la simulation classique numérique pour WSi=10nm et 3nm et HSi=1µm. | 99 |
| Figure II-22 Effet DIBL en fonction de la longueur du canal : Comparaison entre le modèle d'InESS-EPFL v1. et la simulation classique numérique pour WSi=10nm et 3nm et HSi=1µm. | 99 |
| Figure II-23 Effet Roll-off en fonction de la longueur du canal : Comparaison entre le modèle d'InESS-EPFL v1. et la simulation classique numérique pour WSi=10nm et 3nm et HSi=1µm. | 99 |
| Figure III-1 Position du potentiel minimum par rapport à la longueur du canal en fonction de la polarisation de grille pour différentes dimensions. | 108 |
| Figure III-2 Position du potentiel minimum par rapport à la longueur du canal en fonction de la polarisation de drain pour différentes dimensions. | 108 |
| Figure III-3 Pente sous le seuil en fonction de la longueur du canal pour WSi= 10 nm et 3 nm. | 109 |
| Figure III-4 Erreur absolue de la pente sous le seuil entre: le modèle explicite actuel, celui d'InESS-EPFL v1., et les simulations numériques en fonction de la longueur du canal, pour WSi= 10 nm et 3 nm. | 109 |
| Figure III-5 Effet Roll-off en fonction de la longueur du canal pour WSi= 10 nm et 3 nm. | 112 |
| Figure III-6 Erreur absolue de l'effet Roll-off entre les modèles explicites actuel et d'InESS-EPFL v1., et les simulations numériques en fonction de la longueur du canal pour WSi= 10 nm et 3 nm. | 112 |
| Figure III-7 Effet DIBL en fonction de la longueur du canal. | 112 |
| Figure III-8 Erreur absolue de l'effet DIBL entre les modèles explicites actuel et d'InESS-EPFL v1., et les simulations numériques en fonction de la longueur du canal pour WSi= 10 nm et 3 nm. | 113 |
| Figure III-9 Influence du terme logarithmique sur le calcul du courant de drain. | 116 |
| Figure III-10 Schéma électrostatique dans la région de saturation. | 117 |
| Figure III-11 Tension de saturation calculée par (3.17). | 118 |
| Figure III-12 Influence de la fonction de lissage de la région linéaire à saturation. | 120 |
| Figure III-13 Diagramme des sous-bandes quantiques d'énergie pour deux petites largeurs du silicium (WSi= 10 & 3 nm) pour (a) bande plate, (b) faible inversion et (c) forte inversion. | 121 |
| Figure III-14 Comparaison de la distribution classique et quantique des électrons dans le film de silicium pour la forte inversion. L'abscisse est normalisée par rapport à la largeur du Fin. | 123 |
| Figure III-15 Comparaison entre (3.30) et les simulations 3D. | 124 |
| Figure III-16 Courant de drain (ID) en fonction de la tension de grille (VGS) pour des FinFETs avec différentes longueurs du canal, e.g. L= 1 µm, 100 nm et 50 nm et pour différentes tensions de drain (VDS): (a) 0,1 V et (b) 1 V. Les effets quantiques ne sont pas pris en compte ici. | 126 |

| | |
|---|-----|
| Figure III-17 Courant de drain (ID) en fonction de la tension de grille (VGS) pour des FinFETs avec différentes largeurs du film de silicium, e.g. $W_{Si} = 3 \text{ nm}$, 5 nm et 10 nm et pour différentes tensions de drain (VDS): (a) $0,1 \text{ V}$ et (b) 1 V . Les effets quantiques ne sont pas pris en compte ici. | 127 |
| Figure III-18 Courant de drain (ID) en fonction de la tension de grille (VGS) | 127 |
| Figure III-19 Le courant de drain (ID) vs la tension de drain (VDS) | 128 |
| Figure III-20 Produit du courant de drain par la longueur du canal en fonction de la tension de drain pour différentes longueur du canal : $L = 50 \text{ nm}$, 100 nm et $1 \mu\text{m}$, avec différentes largeurs du film de silicium : $W_{Si} =$ (a) 10 nm et (b) 3 nm | 128 |
| Figure III-21 (a) Courant de drain (ID) en fonction de la tension de grille (VGS), (b) Courant de drain (ID) en fonction de la tension de drain (VGS) et (c) Transconductance (g_m) en fonction de la tension de grille (VGS) pour les FinFETs de type-n et -p. Les effets quantiques ne sont pas pris en compte..... | 129 |
| Figure III-22 Courant de drain en fonction de la tension de grille pour les FinFETs avec différentes largeurs du film de silicium ($W_{Si} = 10 \text{ nm}$ et 3 nm)..... | 130 |
| Figure III-23 Courant de drain en fonction de la tension de drain pour un FinFET avec un film de silicium étroit ($W_{Si} = 3 \text{ nm}$). Lignes discontinues : simulation classique ; Lignes continues : simulation quantique. | 131 |
| Figure III-24 (a) Courant de drain en fonction de la tension de grille, (b) courant de drain en fonction de la tension de drain, (c) transconductance en fonction de la tension de grille et (d) conductance de sortie en fonction de la tension de drain, pour un FinFET avec une dimension critique. | 131 |
| Figure III-25 Courant de drain en fonction de la tension de grille pour les différents dopages du silicium de 10^{10} cm^{-3} à 10^{18} cm^{-3} | 132 |
| Figure III-26 L'augmentation de la tension de seuil en fonction du dopage de silicium..... | 133 |
| Figure III-27 Comparaison du courant de drain en fonction de la tension de grille pour deux dopages différents de 10^{10} cm^{-3} et 10^{18} cm^{-3} . (a) comparaison directe et (b) après le décalage des courbes pour 10^{18} cm^{-3} de 12 mV vers le sens que VGS soit plus faible..... | 133 |
| Figure III-28 Le courant de drain en fonction de la tension de grille en échelles linéaire et logarithmique pour un FinFET avec le dopage de silicium de 10^{17} cm^{-3} | 134 |
| Figure III-29 Comparaison du modèle dynamique [6] et la simulation TCAD pour la transcapacité C_{gg} vs V_{gs} dans les régions de (I) faible inversion, (II) d'inversion modérée et (III) de forte inversions..... | 136 |
| Figure III-30 Comparaison entre le modèle de [6] pour la transcapacité C_{gg} vs V_{gs} dans les régions de (I) faible inversion, (II) d'inversion modérée et (III) de forte inversion. Les lignes discontinues correspondent au modèle d'InESS-EPFL v1. sans Cov [6] ; Les lignes continues correspondent au modèle d'InESS-EPFL v1. avec Cov..... | 136 |
| Figure III-31 Comparaison de la simulation 3D avec les expressions du courant de drain de (3.34) (lignes continues) et (3.35) (lignes discontinues). | 137 |
| Figure III-32 Comparaison de la simulation 3D avec les expressions du courant de drain de (3.34) (Lignes continues bleu), de (3.35) (Lignes discontinues rouges) et de (3.38) (Lignes discontinues vertes). | 138 |
| Figure III-33 Comparaison de la simulation 3D (Symboles) avec les solutions des transcapacités (C_{gg}) qui utilisent les expressions de (3.37) (lignes continues) et (3.35) (lignes discontinues). | 139 |
| Figure III-34 Comparaison de la transcapacité (C_{gg}) vs V_g entre la simulation TCAD (symboles), les solutions calculées en utilisant les expressions du courant de | |

| | |
|---|-----|
| (3.35) (lignes pointillées), de (3.37) (lignes discontinues) et de (3.42) (lignes continues). | 140 |
| Figure III-35 Comparaison du modèle dynamique (CGG, CDG, CSG) et la simulation classique numérique sous Silvaco. Les symboles vides et les lignes discontinues sont pour $V_{DS}=0,1V$ et les symboles pleins et les lignes continues sont pour $V_{DS}=1V$ | 141 |
| Figure III-36 Comparaison du modèle dynamique d'InESS-EPFL v2. (CDD) et la simulation classique numérique sous Silvaco. $L=1\mu m$, $W_{Si}=10nm$ (a) et $3nm$ (b), $H_{Si}=1\mu m$ | 141 |
| Figure III-37 Comparaison du modèle explicite et la simulation TCAD pour un FinFET avec $L=50nm$, $W_{Si}=10nm$ et $H_{Si}=1\mu m$ | 142 |
| Figure III-38 Comparaison du modèle explicite prenant en compte (lignes continues) et pas (lignes discontinues) la longueur d'overlap et la simulation TCAD (symboles). | 143 |
| Figure III-39 Comparaison du modèle explicite prenant en compte (lignes continues) et pas (lignes discontinues) la longueur d'overlap et la simulation TCAD (symboles) pour un FinFET avec $L=50nm$, $W_{Si}=3nm$ et $H_{Si}=1\mu m$ | 144 |
| Figure III-40 Comparaison du modèle explicite et des simulations TCAD pour un FinFET avec un canal long ($L=1\mu m$). (a) et (b) C_{gg} , C_{dg} , C_{sg} vs V_{gs} ; (c) et (d) C_{dd} vs V_{ds} . (a) et (c) pour $W_{Si}=10nm$; (b) et (d) pour $W_{Si}=3nm$. Dans (a) et (b), les symboles vides et les lignes discontinues sont pour $V_{DS}=0,1V$ et les symboles pleines et les lignes continues sont pour $V_{DS}=1V$ | 150 |
| Figure III-41 Comparaison du modèle explicite et des simulations TCAD pour un FinFET avec un canal court ($L=50nm$). (a) et (b) C_{gg} , C_{dg} , C_{sg} vs V_{gs} ; (c) et (d) C_{dd} vs V_{ds} . (a) et (c) pour $W_{Si}=10nm$; (b) et (d) pour $W_{Si}=3nm$. Dans (a) et (b), les symboles vides et les lignes discontinues sont pour $V_{DS}=0,1V$ et les symboles pleines et les lignes continues sont pour $V_{DS}=1V$ | 151 |
| Figure III-42 Erreur (a) relative et (b) absolue ramenée par les méthodes EKV plus et analytique directe | 152 |
| Figure III-43 Erreurs absolues ramenée par les méthodes EKV plus et analytique directe pour les transcapacités en fonction de (a et b) V_{GS} et de (c et d) V_{DS} pour deux largeurs de silicium (W_{Si}) différentes de (a et c) $10nm$ et de (b et d) $3nm$. Les effets quantiques ne sont pas pris en compte..... | 153 |
| Figure IV-1 Banc de mesure et simulations 3D, nécessaire à l'étape d'extraction..... | 159 |
| Figure IV-2 Schéma logiciel de l'extraction des paramètres. | 159 |
| Figure IV-3 (a) Symbole, (b) schéma électronique et (c) caractéristique de transfert de l'inverseur basé sur FinFET pour $L=1\mu m$ et $50nm$, $W_{Si}=10nm$. (d) simulation temporelle de l'inverseur basé sur FinFET pour $L=50nm$ et $W_{Si}=10nm$ | 162 |
| Figure IV-4 (a) Symbole, (b) schéma électronique et (c) simulation temporelle de la porte NAND basé sur FinFET pour $L=50nm$ et $W_{Si}=10nm$ | 163 |
| Figure IV-5 (a) Symbole, (b) schéma électronique et (c) simulation temporelle de la porte NOR basé sur FinFET pour $L=50nm$ et $W_{Si}=10nm$ | 164 |

Liste des tableaux

| | |
|--|-----|
| Tableau I-1 Expressions de la longueur naturelle (critère) dans les différentes structures SOI : MOS Bulk, GAA (Gate-All-Around) et Plan de masse enterré. | 32 |
| Tableau I-2 Comparaison des avantages et inconvénients des dispositifs MOS avancés..... | 34 |
| Tableau II-1 Bilan des caractéristiques des différents modèles compacts de DG MOSFET en mode de fonctionnement symétrique..... | 70 |
| Tableau II-2 Diagramme de la simulation numérique de Silvaco..... | 73 |
| Tableau II-3 Bilan des dimensions des transistors FinFET simulés sous Silvaco | 80 |
| Tableau II-4 Facteurs des normalisations des grandeurs électriques | 83 |
| Tableau III-1 Valeur de n pour les différentes longueurs du canal et largeurs du film de silicium | 110 |
| Tableau III-2 Pente sous le seuil pour les différentes longueurs du canal et largeurs du film de silicium..... | 126 |
| Tableau III-3 Gamme de validation du modèle statique | 134 |

Évolution du modèle InESS-EPFL et les références concernées :

v2. :

- [1] M. Tang, F. Prégaldiny, C. Lallement and J.-M. Sallese, "Explicit compact model for ultranarrow body FinFETs," IEEE Trans. Electron Devices, vol.56, no.7, pp. 1543-1547, July 2009.
- [2] M. Tang, "Études et modélisation compacte du transistor FinFET," Thèse de l'Université de Strasbourg, Déc. 2009.

v1. :

- [1] B. Diagne, "Étude et modélisation compacte d'un transistor MOS SOI double-grille dédié à la conception," Thèse de l'Université Louis Pasteur (Strasbourg), Nov. 2007.
- [2] B. Diagne, F. Prégaldiny, C. Lallement, J.-M. Sallese et F. Krummenacher, "Explicit compact model for symmetric double-gate MOSFETs including solutions for small-geometry effects," Solid-State Electronics, vol. 52, no. 1, pp 99-106, Jan. 2008.
- [3] F. Prégaldiny, F. Krummenacher, J.-M. Sallese, B. Diagne and C. Lallement, "An explicit quasi-static charge-based compact model for symmetric DG MOSFET," Nano Science and Technology Institute, Nanotech, vol. 3, pp 686-691, 2006.

v0. (version initiale DG MOSFET canal long) :

- [1] J.M. Sallese, F. Krummenacher, F. Prégaldiny, C. Lallement, A. Roy and C. Enz, "A design oriented charge-based current model for symmetric DG MOSFET and its correlation with the EKV formalism," Solid-State Electronics, vol.49, no.3, pp 485-489, Mar. 2005.

Introduction

L'évolution de l'électronique et de l'informatique durant ces trente dernières années a permis de modifier réellement notre façon d'appréhender les produits de haute technologie. En effet, les équipements dont le fonctionnement repose sur des produits dérivés de la microélectronique ont envahi notre quotidien. L'acteur fondamental de cette course à la recherche de performances associée à la miniaturisation des objets est sans conteste le transistor MOS (Metal Oxide Semiconductor). Ce dernier est à la base de la conception des circuits intégrés à très large et ultra-large échelle (VLSI-ULSI), et a mené la technologie CMOS (Complementary MOS) au rang incontesté de technologie dominante de l'industrie du semi-conducteur. Au fil des années, la complexité des circuits intégrés a augmenté de façon continue, principalement grâce aux performances accrues des nouvelles générations de transistors MOS (TMOS).

En réduisant au fil des générations la taille des TMOS, les circuits intégrés deviennent de plus en plus performants et leurs dimensions sont réduites. Par conséquent, le moteur de l'évolution de la microélectronique a principalement consisté en la réduction des dimensions des transistors. En 1973, Gordon Moore (un des co-fondateurs d'Intel) a constaté que la densité des transistors sur une surface donnée pouvait être doublée tous les 2 ans, ce qui revient à dire que la taille des TMOS peut être réduite par un facteur de 0,7 tous les deux ans. Cette constatation empirique qui s'est vérifiée durant les 30 dernières années est ce que l'on appelle « la loi de Moore ».

A chaque nouvelle génération de transistor, la réalisation du défi lancé par « la loi de Moore » apparaît comme un casse-tête de plus en plus difficile à résoudre. Un compromis complexe entre la physique, la technologie et la rentabilité concentre ainsi toute l'attention des ingénieurs et chercheurs. Des paramètres et contraintes souvent contradictoires, tels que la performance, la consommation et la fiabilité sont à prendre en compte. Pour résumer, disons que le jeu consiste à augmenter les performances en diminuant les dimensions, sans trop augmenter la puissance dissipée à l'état bloqué du transistor.

Ainsi, la réduction de la taille des TMOS de technologie conventionnelle, c'est-à-dire le MOSFET bulk, approche de ses limites. En effet, cette réduction d'échelle est accompagnée d'une augmentation très forte d'effets néfastes au bon fonctionnement des dispositifs. Ces effets sont directement liés à la petite géométrie du TMOS. Les principaux effets indésirables sont le partage de charge entre la grille et les régions de source et drain (short-channel effects), l'abaissement de la barrière de potentiel induit par le drain (DIBL), les effets quantiques et la fluctuation du nombre de dopants. Les solutions technologiques permettant de compenser ces

effets néfastes coûtent de plus en plus chères ce qui signifie que la technologie MOS bulk est proche de ses limites. L'ITRS'08 (International Technology Roadmap of Semiconductors) prévoit que la dernière évolution du TMOS bulk aura lieu en 2016. Ensuite pour améliorer les performances des transistors, il sera préférable de s'orienter vers d'autres structures basées sur la technologie SOI (Silicon on Insulator).

La technologie SOI permet de réaliser des transistors multiple-grille qui représentent les dispositifs les plus prometteurs pour succéder à la technologie MOS Bulk. En particulier, le renforcement du contrôle du canal de conduction par les multiples grilles et la suppression du courant de fuite de substrat sont de précieux avantages par rapport au TMOS Bulk sur substrat de silicium massif. Un type de transistor multiple-grille appelé FinFET fait l'objet d'intensives études non seulement au niveau recherche mais aussi au niveau industriel. Ce composant a en effet une bonne compatibilité avec les chaînes de fabrication actuelles de l'industrie microélectronique. Il se pose alors naturellement le problème de la conception de circuits intégrant ces nouveaux dispositifs. Ainsi, le développement de modèles compacts performants pour le FinFET devient une demande pressante. A la différence d'un modèle purement physique, un modèle compact utilise -idéalement- des expressions explicites (i.e. sans itération) pour le calcul des différentes grandeurs physiques telles que le courant de drain, les densités de charge, les transcapacités, etc. L'intérêt d'un modèle compact est de donner au concepteur un résultat de simulation le plus rapidement possible tout en conservant une précision suffisante à la bonne fonctionnalité du circuit simulé. En outre, un modèle compact se doit d'être lisible pour le concepteur et le fait pour ce dernier de pouvoir effectuer un pré-dimensionnement "à la main" (avec le modèle) de son design est un réel atout. Depuis quelques années, plusieurs modèles compacts de MOSFET double-grille et de FinFET ont été publiés. Cependant, actuellement aucun d'entre eux ne répond complètement à toutes les attentes des concepteurs, ainsi la réalisation d'un modèle complet reste donc encore à faire.

Structure de la thèse :

Dans le Chapitre I, nous allons présenter les effets indésirables dus aux petites géométries et introduire ensuite les avantages -de ce point de vue- de la technologie MOSFET multiple-grille. En particulier, la technologie FinFET sera détaillée dans ce chapitre.

Ensuite, dans le Chapitre II, nous dresserons un état de l'art des modèles compacts de FinFET ou MOSFET double-grille. Nous décrirons aussi l'outil de simulation numérique

indispensable à nos travaux. Avant de présenter notre travail de modélisation compacte du FinFET, nous rappellerons les travaux précédents effectués dans notre groupe à l'InESS sur le modèle compact du MOSFET double-grille.

Le modèle compact explicite du FinFET sera détaillé dans le Chapitre III. La modélisation du FinFET se compose de deux parties : statique et dynamique. Nous allons présenter l'expression du courant de drain en prenant en compte la dégradation de la pente sous le seuil, l'effet SCE, l'effet DIBL, la saturation de la vitesse des porteurs, la modulation de la longueur du canal et les effets quantiques. Nous détaillerons aussi notre modèle dynamique en présentant les expressions des transcapacités.

Enfin dans le Chapitre IV, nous montrerons l'environnement de mesures et d'extractions de paramètres bâti autour de l'outil logiciel de caractérisation IC-CAP, permettant notamment la caractérisation du FinFET, et l'extraction puis l'optimisation des paramètres du modèle. A titre illustratif, nous proposerons quelques simulations de portes logiques réalisées avec notre modèle de FinFET, après avoir implémenter le modèle dans des langages de haut niveau tels que Verilog-A et VHDL-AMS.

Cette étape est très importante car elle permet de montrer que le modèle développé peut s'insérer dans un flot industriel de conception de circuits avancés en utilisant la technologie FinFET.

Chapitre I

La technologie MOS à multiples grilles

Sommaire du chapitre I

| | | |
|------------|--|-----------|
| I.1 | POINT DE VUE DE L'ITRS POUR SUIVRE LA « LOI DE MOORE » | 7 |
| I.1.1 | <i>Le MOSFET bulk</i> | 7 |
| I.1.2 | <i>Silicium sur isolant (SOI)</i> | 16 |
| I.1.3 | <i>MOSFET double-grille</i> | 22 |
| I.1.4 | <i>FinFET</i> | 24 |
| I.1.5 | <i>MOSFET triple-grille</i> | 29 |
| I.1.6 | <i>GAA MOSFET</i> | 30 |
| I.1.7 | <i>MOSFET à nanofil</i> | 30 |
| I.1.8 | <i>Théorie du scaling</i> | 31 |
| | <i>1^{ère} Conclusion (à mi-chapitre)</i> | 33 |
| I.2 | LE TRANSISTOR FINFET : PROPRIETES ELECTRIQUES ET EFFETS PHYSIQUES | 35 |
| I.2.1 | <i>Présentation du FinFET</i> | 35 |
| I.2.2 | <i>Propriétés électriques du FinFET</i> | 36 |
| I.2.3 | <i>Effets de coin</i> | 39 |
| I.2.4 | <i>Les effets de mécanique quantique</i> | 44 |
| I.2.5 | <i>Underlap - Overlap</i> | 47 |
| I.2.6 | <i>Extension de la technologie FinFET – Bulk FinFET</i> | 48 |
| | <i>Conclusion</i> | 50 |
| | <i>Références</i> | 51 |

I.1 Point de vue de l'ITRS pour suivre la « loi de Moore »

I.1.1 Le MOSFET bulk

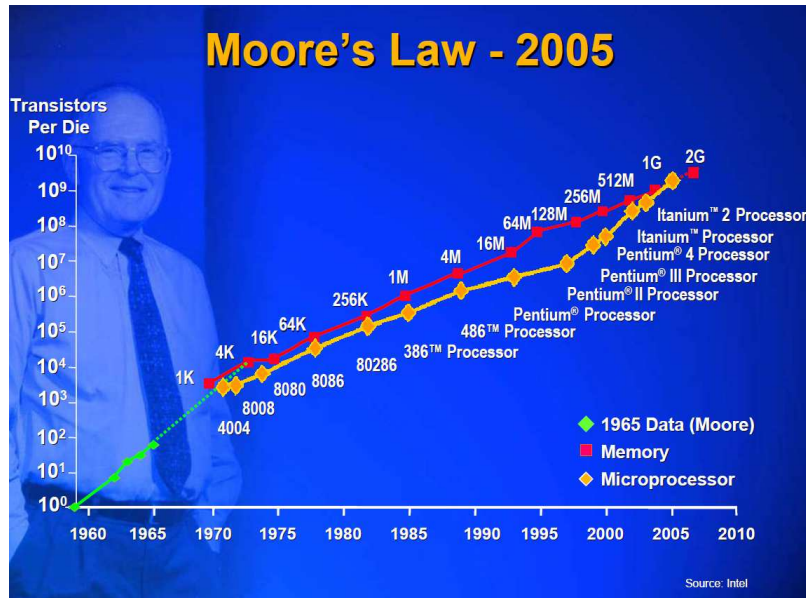


Figure I-1 La loi de Moore

D'après la « loi de Moore » (Figure I-1) (qui traduit une constatation faite depuis une trentaine d'années), la densité des transistors sur une surface donnée peut être doublée ou la taille du transistor MOSFET-Bulk peut être réduite par un facteur de 0,7 tous les deux ans (Figure I-2), c'est ce que l'on appelle le « Scaling » CMOS.

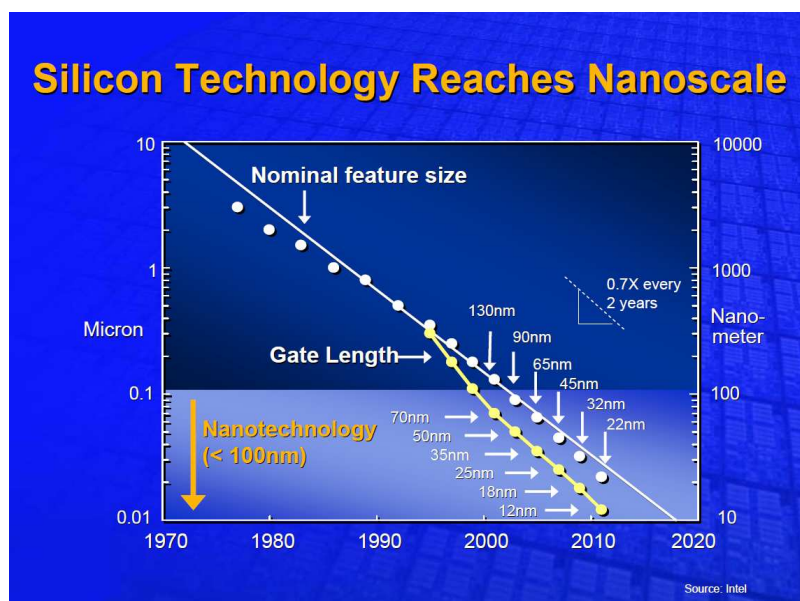


Figure I-2 Evolution de la technologie silicium

Mais depuis que cette technologie est entrée dans l'ère du nanométrique, de nombreux effets néfastes apparaissent et deviennent non-négligeables ; certains d'entre eux deviennent difficilement contournables ou obligent à des solutions technologiques complexes et coûteuses. L'ITRS prévoit qu'il ne reste pas plus de cinq années de réduction des dimensions (d'évolution) de la technologie MOSFET bulk ; ensuite ce transistor ne pourra plus être réduit et la technologie des processus permettant de supprimer (ou limiter) ces effets néfastes coûtera trop chère, ce qui aura pour effet d'augmenter le prix des puces [1].

Quels sont les effets néfastes qui empêchent la miniaturisation de la technologie MOS bulk ?

➤ **Le recouvrement des régions de déplétion (effet canal court et effet canal étroit)**

Effet canal court :

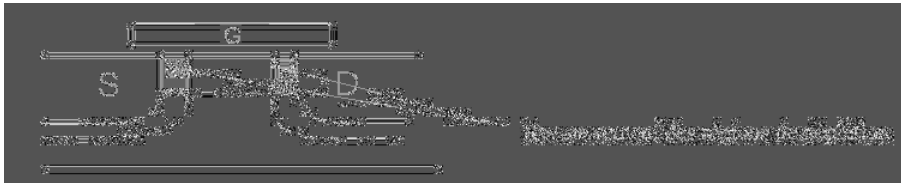


Figure I-3 Le recouvrement des régions de déplétion induite par la grille et par les Source/Drain

Dans un petit transistor MOSFET-Bulk (Figure I-3), les régions du recouvrement des régions de déplétion des jonctions ne sont plus négligeables comparées avec la région de déplétion de la grille. La région du canal contrôlée par la grille est réduite par ces régions du recouvrement des charges, ce qui a pour conséquence une diminution de la tension de seuil.

Effet canal étroit :

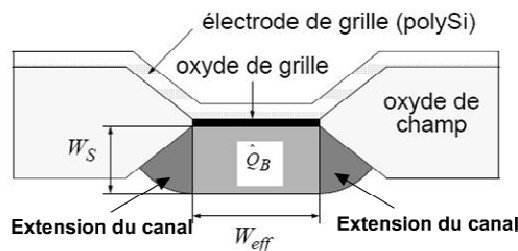


Figure I-4 Les régions d'extension du canal du à l'effet de canal étroit

Similairement à l'effet canal court, l'effet canal étroit est l'extension de la région de déplétion dans la région appelée « bec d'oiseau » (Figure I-4) à cause des champs frangeants. Les deux régions foncées dans Figure I-4 montrent cette extension. Contrairement à l'effet canal court, l'effet canal étroit induit une augmentation de la tension de seuil.

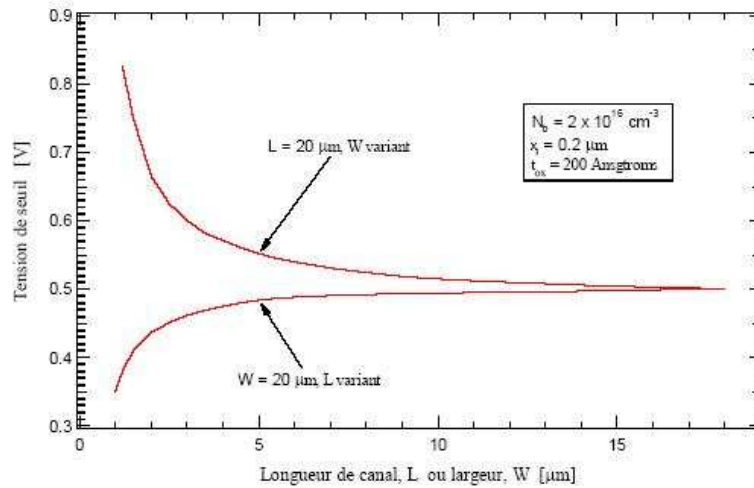


Figure I-5 Variation de la tension de seuil avec la longueur L (courbe en bas) et la largeur W (courbe en haut) d'après des simulations 2-D [2]-[3]

La Figure I-5 montre la variation de la tension de seuil en fonction de la longueur (L) ou la largeur (W) du canal. Ces deux effets entraînent donc une augmentation ou une réduction (suivant le cas) de la tension de seuil.

➤ **Abaissement de la barrière induite par le drain (Drain-Induced Barrier Lowering ou DIBL)**

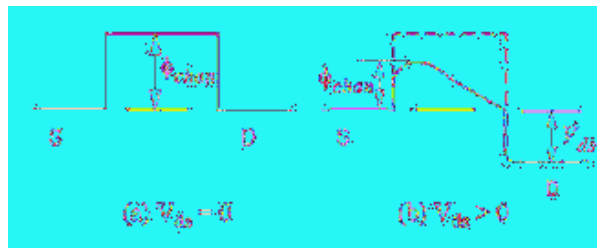


Figure I-6 Profil du potentiel de canal pour un dispositif canal court. La tension de drain abaisse la barrière de potentiel à la fin de la source dans le canal [3]

Pour un dispositif 'canal court', lorsqu'une tension est appliquée sur le drain, le profil du potentiel de canal s'en trouve affecté (Figure I-6). La polarisation de drain change le profil sur toute la longueur du canal, abaissant la barrière à la jonction bulk-source ; cela est référé comme étant l'abaissement de la barrière induite par le drain, ou l'effet DIBL.

➤ **Courant de substrat**

Lorsque le champ longitudinal dans le transistor devient tellement fort qu'un électron (pour un NMOS) ait alors une énergie plus grande que 1,5 eV [4], un courant de faible avalanche (courant de substrat) se rajoute au courant de drain. Il peut se montrer très gênant surtout dans les applications analogiques à cause d'une augmentation de la conductance de sortie (g_{ds}) pour un fort champ longitudinal (Figure I-7). Ce courant est principalement généré dans la région de saturation où est situé le champ fort.

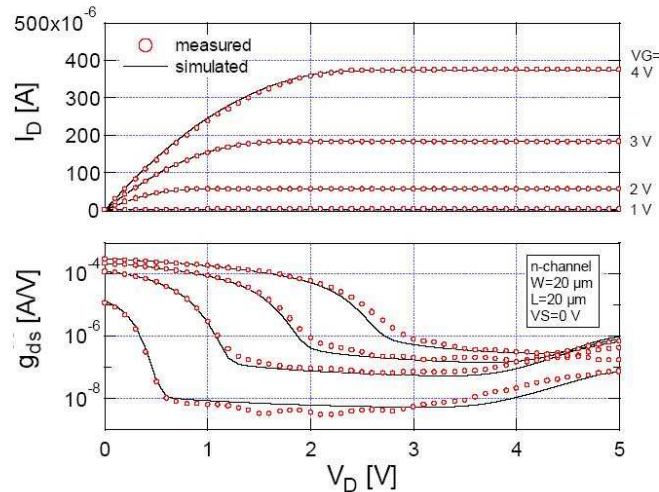


Figure I-7 Caractéristiques de sortie d'un transistor de grande géométrie pour une technologie $0.7\mu\text{m}$ (mesure et simulation) montrant l'effet du courant de substrat

➤ **LDD (Lightly Doped Drain) et le dopage des poches (Super-Halo)**

Afin d'éviter la création des porteurs chauds, des zones faiblement dopées (LDD) ont été rajoutées (Figure I-8) pour diminuer le champ latéral. Mais l'inconvénient de ces zones LDD est l'augmentation de la taille du transistor et une dégradation de l'effet de canal court (SCE) ainsi qu'une diminution du gain statique [5].

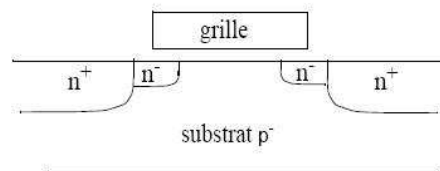


Figure I-8 Un transistor MOSFET canal n avec une extension faiblement dopée, aux source et drain conventionnels

La technologie du dopage de poche, i.e. « super-halo », a été développée afin d'éliminer l'effet de canal court ou plus précisément l'effet du partage de charge entre la grille et le drain. Comme montrée à la Figure I-9, un dopage de poche est implanté avec un type contraire à celui des source et drain ainsi de la région de LDD. Si nous prenons l'exemple du nMOS, les électrons de cette région contrôlés par la grille et le drain peuvent se combiner avec les trous engendrés par le dopage de poche de type-p. L'effet du partage de charge contrôlé par la grille et le drain est ainsi éliminé.

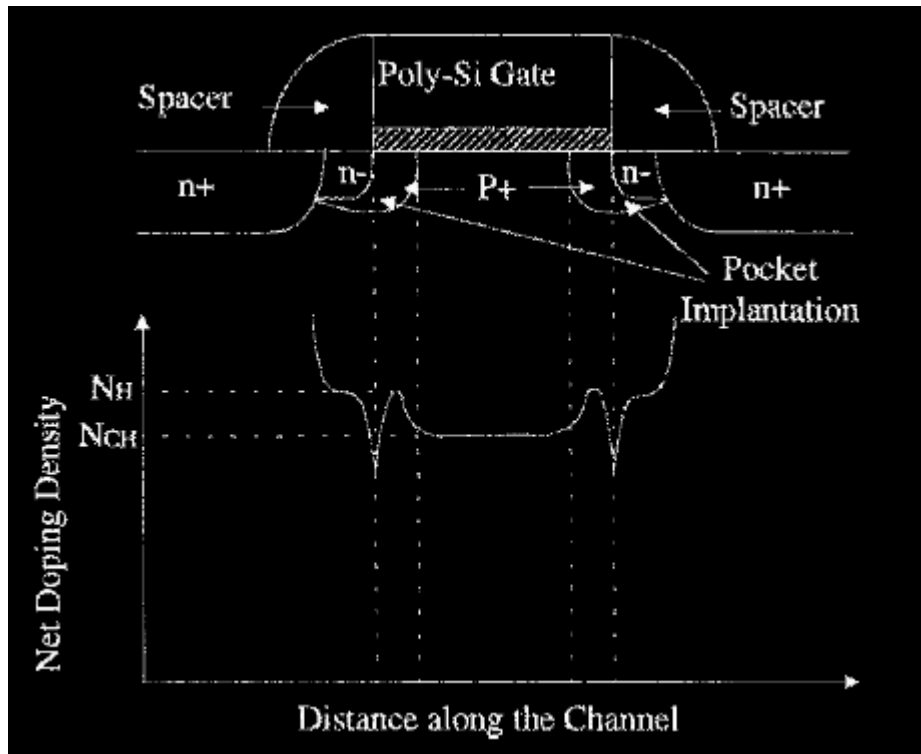


Figure I-9 La concentration du dopage dans le canal avec la technologie du dopage des poches (super-halo). N_H est le pic de la concentration du dopage des poches; N_{CH} est le dopage du canal. [4]

➤ **RSCE (Reverse Short Channel Effect)**

Lors de l'élaboration du transistor MOSFET, un sur-dopage non-uniforme latéral du canal se produit. Ce phénomène a pour incidence l'augmentation de la tension de seuil lorsque la longueur du canal est réduite, ce qui correspond à un effet contraire à l'effet *canal court*. Cet effet est ainsi appelé l'effet *canal court inverse*, soit en anglais, *Reverse Short Channel Effect* (RSCE) [4].

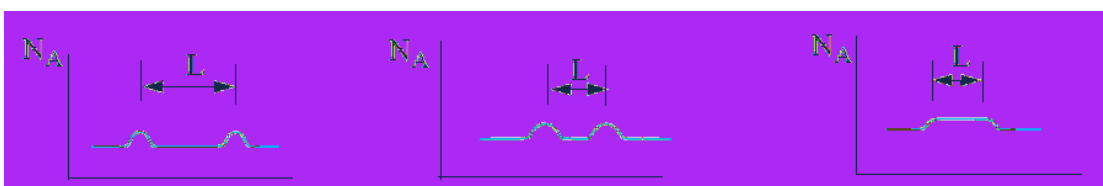


Figure I-10 Profil de dopage (N_A) dans le transistor MOS bulk après redistribution de dopant due à une diffusion rehaussée par l'oxydation (cas ici du transistor de type -n)

L'explication de ce phénomène est le suivant : lors du processus de fabrication du transistor MOS bulk, un processus de nettoyage par l'oxydation est nécessaire juste après la gravure de la grille. Un stress mécanique au-dessous de la grille se produit pendant cette oxydation et ce stress introduit les défauts dans le silicium juste au dessous des cotés de la grille. Ces points de défauts rassemblent des impuretés du substrat. Cela augmente le potentiel aux points de défauts et donc la tension de seuil augmente pour une longueur de grille plus courte (Figure I-10).

➤ **Effet de polydépétion (PDE)**

Pour simplifier le processus de fabrication de MOS, la grille est r alis ee en polysilicium au lieu du m etal. Dans la technologie submicronique, la grille implant ee ioniquement n'est plus d eg en er ee, lorsque l' epaisseur d'oxyde est de l'ordre de 10nm ou encore moins. Elle ne peut donc plus  tre trait ee comme une surface  quipotentielle et la capacit  r elle de l'oxyde de grille (C_{ox}) est diminu e   cause d'une capacit  C_{poly} en s rie due   la grille polysilicium.

➤ **Fuite tunnel**

Lorsque l' paisseur d'oxyde de grille est fortement r duite (inf rieure   2nm) par les effets de m canique quantique, un courant de fuite tunnel non-n gligeable traverse l'oxyde de grille et augmente la tension de seuil (Figure I-11). En m me temps, une quantit  d' nergie statique est perdue.

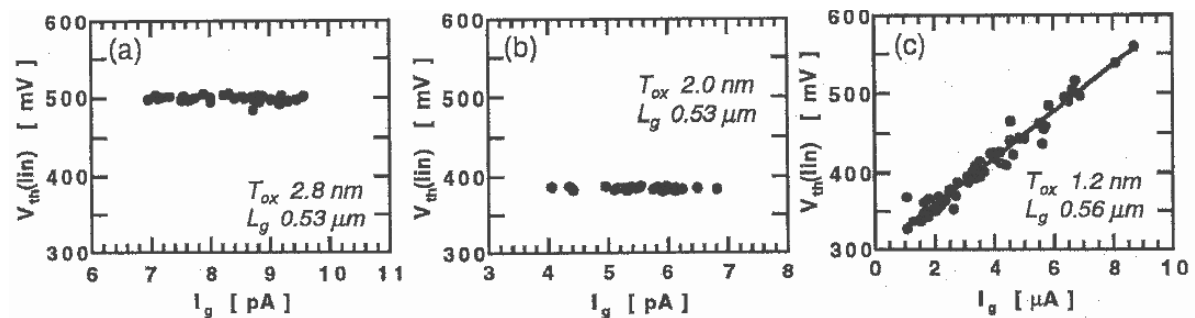


Figure I-11 La tension de seuil en fonction de la fuite tunnel avec une tension de grille (V_g) de 1,5V pour diff rentes  paisseurs de l'oxyde de grille de (a) 2,8nm, (b) 2,0nm et (c) 1,2nm [6]

➤ **Elargissement du gap d  aux effets quantiques**

Toujours d'apr s la m canique quantique, lorsque l'oxyde de grille est r duit et surtout le dopage du substrat est  lev , la bande de conduction est discr t s e. Ce ph nom ne r sulte en un  largissement du gap d'une quantit  ΔE_g (Figure I-12).

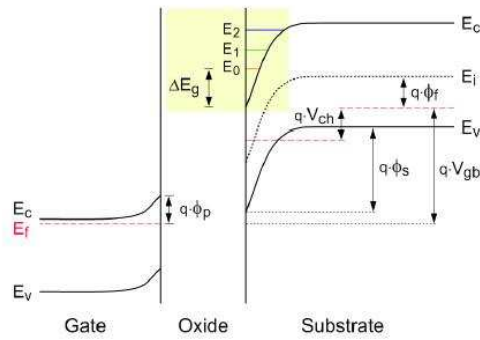


Figure I-12 Diagramme des bandes d'énergie d'un transistor n-MOS (direction transversale) en régime d'inversion. En raison des effets quantiques, le premier niveau d'énergie E_0 ne coïncide plus avec le bas de la bande de conduction E_C , résultant ainsi en une différence d'énergie ΔE_g

Cela a pour conséquence directe un abaissement de la capacité de grille C_{gg} et une augmentation de la tension de seuil [3].

➤ **Latch-up**

Dans une cellule CMOS, un transistor parasite p-n-p vertical et un transistor parasite n-p-n latéral se forment dans le bulk (Figure I-13), ce qui induit un courant dans le substrat (Figure I-14). Ce courant pose un gros problème pour le fonctionnement de CMOS et peut le détruire.

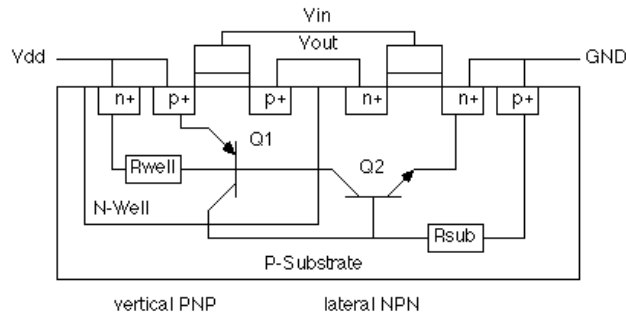


Figure I-13 Section de transistors parasites dans le CMOS-bulk

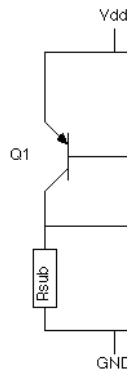


Figure I-14 Circuit équivalent des transistors parasites dans le CMOS - bulk

Certaines solutions sont proposées pour éviter l'effet de latch-up. Les NMOS et PMOS peuvent être bien isolés l'un de l'autre par une couche d'oxyde qui élimine la circulation du courant, e.g. la technologie SOI. Les dispositifs faiblement dopés peuvent être epitaxés sur un substrat fortement dopé qui joue un rôle comme une couche d'atténuation du courant de latch-up. Une autre solution possible est la technologie de protection contre le latch-up. Il s'agit d'un circuit qui peut éteindre le dispositif pour une durée prédéfinie quand il détecte un latch-up.

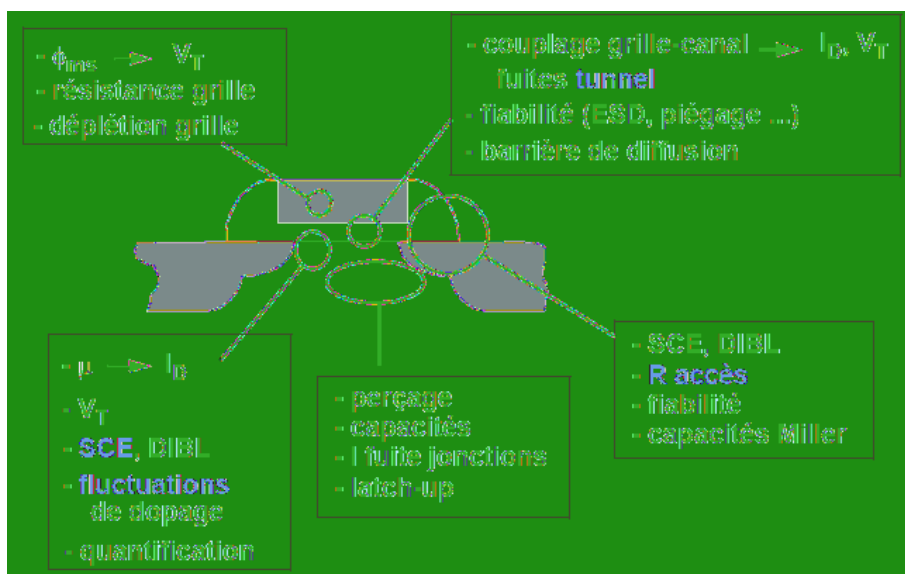


Figure I-15 Points clés de l'optimisation d'un MOSFET bulk [7]

Un petit résumé des effets néfastes dans la technologie MOS bulk est montré à la Figure I-15. Parmi eux, l'effet de canal court (SCE) et l'effet DIBL sont deux effets importants et très problématiques dans l'optimisation d'un MOSFET bulk et qui perturbent fortement le bon fonctionnement électrique du dispositif lors de sa miniaturisation à des dimensions nanométriques. Afin de limiter les effets SCE et DIBL, le dopage du canal doit être très grand ce qui induit alors des effets quantiques néfastes au niveau de la grille. Pour avoir un courant de drain plus important, la solution technologique *Si contraint* a été développée. Elle consiste à élargir l'espace entre les atomes de silicium et donc réduire la possibilité de collision (amélioration de la mobilité). Une faible résistance de grille est préférée afin de diminuer la chute du potentiel traversant la grille. Par ailleurs, la grille fabriquée en polysilicium a permis de simplifier le processus de fabrication du transistor, mais a engendré un effet de poly-

déplétion. Le choix d'une technologie de grille métallique permet d'éliminer cet effet de poly-déplétion.

La réduction de l'épaisseur de l'oxyde de grille entraîne un courant de fuite tunnel traversant l'oxyde de grille. Cela a une incidence sur la fiabilité du transistor qui celui-ci est très sensible à la qualité de la couche d'oxyde de grille et notamment du nombre de pièges dans cet oxyde.

La résistance d'accès (résistance source + résistance drain) devient un facteur très important pour le courant de drain. Pour ne pas diminuer ce courant de drain, la résistance d'accès doit être la plus faible possible. Car sinon, la résistance d'accès devient comparable en valeur à celle du canal.

La réduction du nombre de porteurs participant à l'élaboration du courant est réduite de par la miniaturisation des dimensions, ce qui amène le problème de la fluctuation du nombre de porteurs ; ce point a des conséquences très importantes pour la conception de circuits analogiques où l'appariement (matching) est un point clef.

En raison de la collision entre les porteurs et les atomes du cristal lorsque le champ longitudinal devient très important, des paires électrons-trous sont créées. Dans le cas d'un NMOS, les électrons circulent vers le drain attirés par le champ intense et des trous se dirigent vers le substrat ce qui forme le courant de fuite du substrat ; nous trouvons également une petite quantité de porteurs se dirigeant vers l'oxyde de grille et qui constitue une partie du courant de fuite de grille.

Dans une cellule de CMOS conventionnelle, entre le NMOS et le PMOS, un transistor bipolaire est formé, ainsi un courant de fuite de substrat circule et une quantité d'énergie est perdue.

Tous ces effets empêchent la miniaturisation du transistor MOS bulk, et les solutions pour y remédier deviennent de plus en plus complexes et coûteuses. Par conséquent, une autre technologie doit être trouvée en remplacement de la technologie MOS bulk pour continuer la miniaturisation des composants dans les circuits intégrés.

I.1.2 Silicium sur isolant (SOI)

Le transistor SOI (Silicium sur Isolant) est réalisé avec un film de silicium mince posé sur un oxyde (BOX, Buried OXYde) (Figure I-16); la première différence par rapport à un transistor MOSFET Bulk est qu'il n'y a donc plus de courant de substrat.

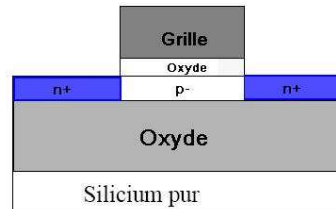


Figure I-16 Structure d'un transistor (simple grille) SOI de type-n

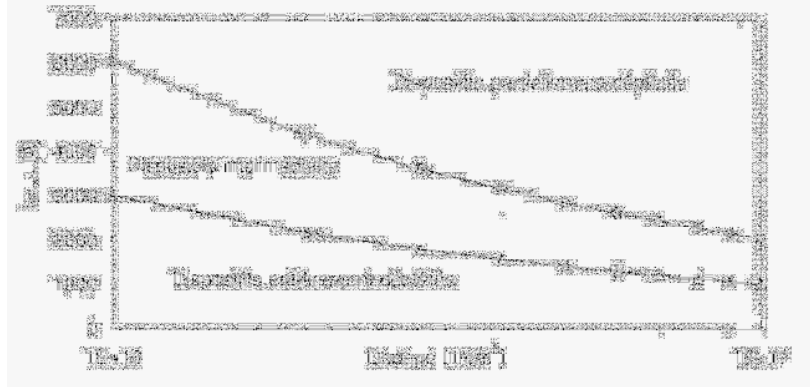


Figure I-17 Mode de fonctionnement d'un transistor SOI

Suivant les différentes épaisseurs du silicium et dopages du canal, il existe deux types de technologies SOI (simple grille) (Figure I-17):

- Si tout le film de silicium (avec une épaisseur très grande et un fort dopage du canal) n'est pas complètement déplété, nous sommes dans le cas d'un SOI partiellement déplété (Partially Depleted SOI, ou PD SOI). Le fait que toute l'épaisseur de silicium ne soit pas déplétée donne alors un fonctionnement semblable au MOS bulk. Le PD SOI n'a donc que relativement peu d'intérêt par rapport au MOS Bulk.
- Par contre, si l'épaisseur du silicium est suffisamment mince et le dopage du silicium est moins important pour que tout le silicium puisse être déplété, nous sommes dans le cas d'un SOI entièrement déplété (Fully Depleted SOI, or FD SOI).

Dans le cas du FD SOI, l'épaisseur de silicium est très petite, et donc nous n'avons plus besoin d'une grande tension de grille pour dépléter le silicium et le champ transversal est naturellement plus faible que dans le MOS bulk. Il y a moins de porteurs qui circulent vers la grille sous le champ transversale donc moins de porteurs sont capturés par les pièges dus à

l'imperfection de l'interface. Par conséquent, cela relâche l'exigence de l'état d'interface Si-SiO₂.

La Figure I-18 montre une coupe schématique de transistors MOS réalisés en technologie bulk et en technologie SOI.

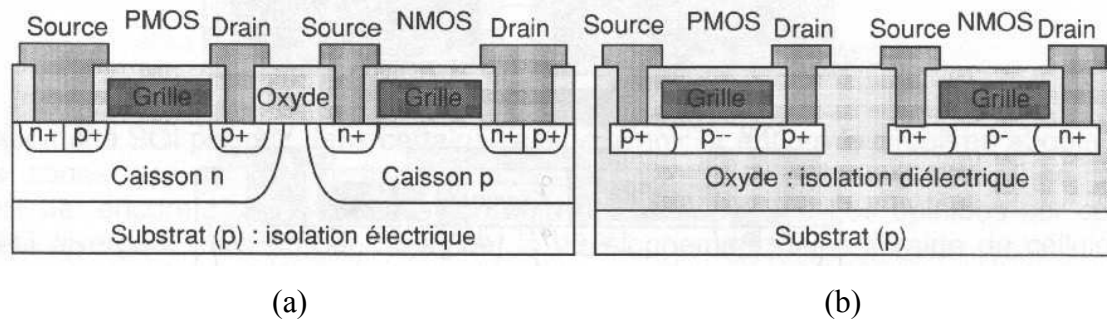


Figure I-18 Coupe schématique dans un circuit BULK (a) et SOI (b).

Dans le cas du transistor MOS bulk, l'isolation des composants est de type électrique, c'est-à-dire qu'elle s'effectue au travers des jonctions polarisées dans le sens inverse et que les composants complémentaires sont réalisés dans des caissons de types opposés. Par contre, pour les transistors SOI, l'isolation est de type diélectrique ou hybride électrique-diélectrique, ce qui signifie qu'un isolant entoure entièrement les composants ; ces derniers sont réalisés dans un film de silicium et ne nécessitent aucune polarisation particulière d'isolation. Le courant de substrat et le phénomène de latch-up sont donc naturellement éliminés. Mais à cause de la faible conductivité thermique de l'oxyde, cette isolation apporte aussi un effet néfaste par rapport à MOS bulk, c'est-à-dire l'effet d'auto-échauffement.

Les caractéristiques de FD-SOI sont très sensibles à l'épaisseur du film de silicium ce qui demande une exigence stricte à l'uniformité de l'épaisseur du film de silicium ; sinon, un circuit intégré à base de FD-SOI avec une épaisseur non uniforme causerait un problème de non-appariement (mismatch).

Un petit résumé des avantages de la technologie SOI par rapport à la technologie MOS bulk est maintenant donné :

- **L'isolation diélectrique** : les composants sont bien séparés les uns par rapport aux autres par l'oxyde et aussi du substrat par l'isolation verticale. Le courant de fuite lié au bulk, le latch-up et le photocourant dû à la radiation sont bien éliminés.

- **Les jonctions verticales** : Les jonctions source/drain s'étendent jusqu'à l'isolant. Cela réduit la capacité parasite et le courant de fuite. Cela est surtout intéressant dans les applications de faible consommation et de grande vitesse.
- **Le processus de fabrication** : L'utilisation des wafers SOI, en dépit du coût très cher, facilite le processus de fabrication grâce à l'absence des caissons de la technologie MOS bulk.
- **L'effet de canal court** : La petite épaisseur du film de silicium limite la pénétration des champs des source/drain dans le silicium. L'effet de canal court est donc moins sensible dans le FD-SOI que dans le MOS bulk.
- **La faible tension de fonctionnement** : le transistor FD-SOI a une pente sous le seuil « plus idéale » que le transistor MOS bulk pour un jeu de paramètres technologiques comparable. Tout cela rend la technologie FD-SOI attractive notamment pour des applications mobiles qui demandent une faible consommation d'énergie et une faible tension d'alimentation.

Les principaux inconvénients rencontrés dans les transistors SOI simple grille sont les suivants :

1. **L'effet Kink (Figure I-19) [8]**

a. Dans le cas du SOI MOSFET partiellement déplété :

Lors du fonctionnement du dispositif, un fort champ près du drain peut induire une ionisation par impact. Les porteurs majoritaires, les trous dans le transistor de type -p, générés par l'ionisation par impact seront stockés dans le substrat parce qu'il n'y a plus de contact de substrat/drain pour faire évacuer ces charges. Ils induisent alors une augmentation de potentiel du canal qui abaisse la tension de seuil et produit une augmentation brusque du courant de drain sur la caractéristique $I_{DS}(V_{DS})$ (« 1^{er} Kink »). Dans le transistor SOI MOSFET canal court partiellement déplété, la jonction source-canal est facilement polarisée en sens direct et le transistor bipolaire latéral est alors activé. De plus lorsque la tension de drain augmente, les porteurs majoritaires s'accumulent de plus en plus. Par conséquent, la tension de seuil baisse et le courant de drain augmente (« 2^{ème} Kink »).

Dans le transistor canal-n, les porteurs majoritaires sont des électrons, ce qui conduit à une possibilité d'ionisation par impact plus grande que les trous dans le p-canal car la mobilité de l'électron est plus importante que le trou. L'effet Kink a donc principalement lieu dans les dispositifs à canal-n, où la probabilité d'ionisation par impact est importante. Cet

effet peut être éliminé par rajout d'un contact de source/substrat ce qui ressemble au cas de bulk CMOS et complique la structure du dispositif.

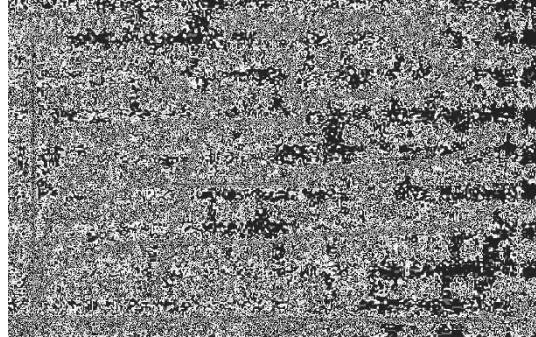


Figure I-19 Effet Kink

b. Dans le cas du SOI MOSFET entièrement déplété :

Le FD-SOI peut fonctionner dans un champ faible, aussi la mobilité des porteurs majoritaires est moins importante ici que dans le cas de PD-SOI. Cela résulte en une faible possibilité d'ionisation par impact et donc moins de trous stockés proche du drain, et l'effet Kink est moins important comparé avec la technologie PD-SOI.

2. Auto-échauffement

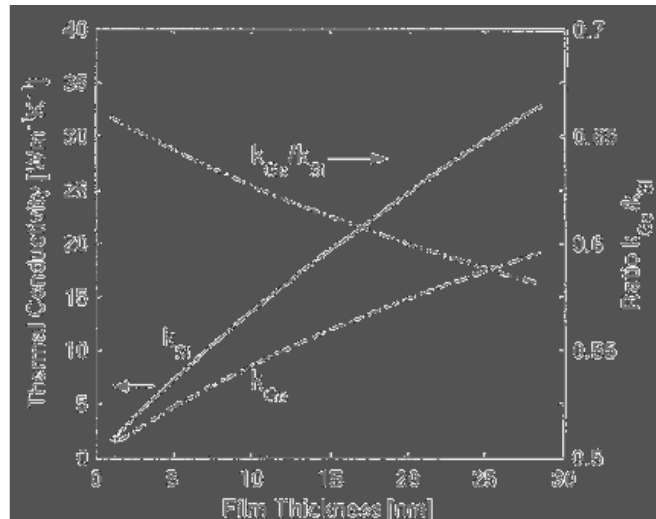


Figure I-20 Forte influence de conductivité thermique par l'épaisseur du film de silicium et de germanium [9]

Le refroidissement du transistor SOI est limité par la faible conductivité thermique de l'oxyde et du film de silicium. L'épaisseur influence beaucoup la conductivité thermique du film silicium surtout dans le cas d'un film mince de silicium. (Figure I-20) [9]. Ce phénomène conduit essentiellement en une réduction de la mobilité des porteurs, une augmentation de la tension de seuil et une chute de la conductance pour les tensions de grille et de drain importantes.

3. L'effet du canal court [10]

Pour les SOI entièrement et partiellement déplétés de longueur de canal submicronique, le transistor latéral bipolaire (source-canal-drain) peut être facilement polarisé en sens direct. L'ionisation par impact augmente le potentiel du canal ce qui induit une polarisation directe de la jonction source-canal. L'activation du transistor parasite bipolaire induit un courant en excès. Ce phénomène est renforcé dans le canal de type n pour les dispositifs *canal court* à haute température parce que la possibilité de collision ionique est plus importante dans un NMOS à haute température qu'un NMOS à basse température ou un PMOS quelle que soit sa température.

Un effet *canal court* dans le transistor PD SOI est la transformation de l'état de déplétion partielle à celui de déplétion entière. La région de déplétion latérale, gouvernée par les source/drain, ne couvre pas seulement une grande portion du corps ('body'), mais réduit aussi le dopage effectif dans le corps ; cela a pour incidence la déplétion entière par l'action de la grille. De plus, le profil latéral du potentiel de l'interface arrière peut être fortement inhomogène : de déplétion au milieu du canal à la faible inversion près du bout du canal. Cette faible inversion localisée explique la dégradation de la pente sous le seuil.

Les effets canaux courts résultant en un abaissement de la tension de seuil sont le recouvrement des zones de charge d'espace entre la grille et les source/drain et l'effet DIBL.

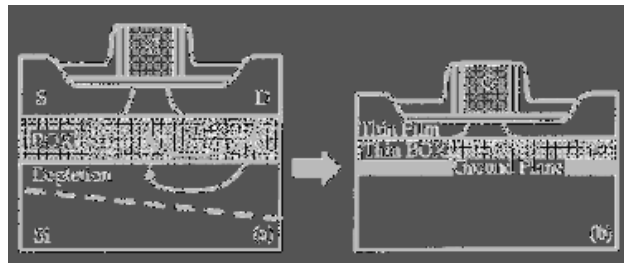


Figure I-21 (a) Schématisation de la pénétration de champ de Drain vers le corps, via l'oxyde enterré et le substrat de Si, (b) SOI MOSFET optimisé par le plan de masse (une électrode métallique) [10].

Un effet DIBL additionnel est dû à la pénétration latérale des champs électriques dans l'oxyde enterré et sous le substrat (Figure I-21(a)). Les lignes de champ électrique du bas induisent une forte augmentation de potentiel dans l'oxyde enterré si la grille arrière est polarisée positivement: cet effet s'appelle l'effet DIVSB (Drain Induced Virtual Substrate Biasing) [11]. A cause du DIVSB et du couplage d'interface, la tension de seuil du canal avant et la pente de seuil se trouvent abaissées. C'est une des raisons pour laquelle sera élaborée la structure SOI à double grille.

4. Le scaling

Afin d'éliminer les effets de partage de charge (SCE) et DIBL, le scaling pour le MOS bulk demande une réduction de l'épaisseur de jonction et une augmentation du dopage, ce qui par ailleurs affecte la capacité de jonction et la mobilité des porteurs et crée des effets quantiques. Cette nécessité d'augmenter le dopage va probablement freiner le scaling des transistors Bulk MOSFET et PD-SOI.

Mais la limite (longueur minimum) sera un peu repoussée dans le cas du transistor FD SOI en jouant sur certains paramètres tel que l'épaisseur de film et d'oxyde, le dopage de substrat et la polarisation [12].

La longueur minimale du canal qui peut être envisagée est donnée par $L \approx 3 l$ [12], où l est la longueur naturelle (critère), calculée par l'équation de Poisson. Cela sera détaillé dans (I.1.8).

L'expression de la longueur naturelle (l) permet de montrer que celle-ci est fortement réduite lorsque l'épaisseur du film de silicium est petite, et donc un film ultra mince de silicium est souhaitable [12]. Le dopage (du canal) n'intervient pas dans l'évaluation de la longueur naturelle s'il est faible ou intrinsèque. Par contre, si le dopage du silicium est fort, l'expression de la longueur naturelle doit prendre en compte son impact [13].

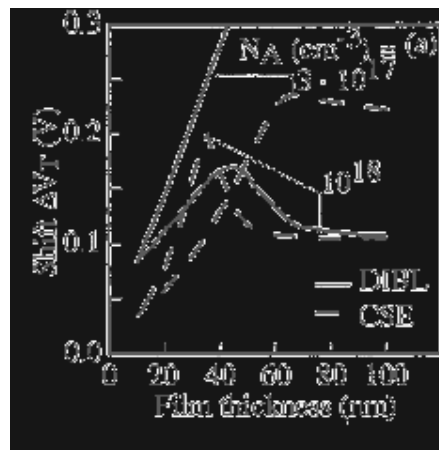


Figure I-22 Diminution de la tension de seuil en fonction de l'épaisseur du film (cas d'un transistor SOI MOSFET de longueur de grille 100nm) [10]

La Figure I-22 montre que l'effet SCE et l'effet DIBL, disparaissent rapidement lorsque l'épaisseur du film de silicium est diminuée. En fait, aucun dopage n'est nécessaire pour un MOSFET de longueur de 80 nm, sous une épaisseur du film de 15 nm. Cela est extrêmement bénéfique en terme de mobilité des porteurs, mais cela implique l'usage d'une grille métallique pour contrôler la tension de seuil. L'effet DIVSB peut être affaibli par l'usage d'un oxyde mince avec une faible constante diélectrique, en augmentant la capacité

drain/oxyde/substrat. De plus, un plan de masse localisé sous l'oxyde enterré peut éliminer la pénétration de champ et la région de déplétion dans le substrat. La Figure I-21(b) montre que l'effet DIVSB est fortement amélioré par le plan de masse. En combinant une épaisseur d'oxyde de 50 nm avec un plan de masse, il est possible d'utiliser un film 50% plus épais soit 20-30 nm, ce qui convient parfaitement au processus de fabrication des SOI actuels. Un plan de masse peut être fait par implantation ionique sous l'oxyde enterré ou par wafer bonding ; il a une interface fortement dopée ou une couche métallique collée avec un autre wafer avec une surface d'oxyde.

Un des principaux challenges pour les fabricants de wafer sera de fournir prochainement des films ultra-minces d'excellentes qualité et uniformité. Autrement, cette non-uniformité de l'épaisseur conduira à un effet SCE non acceptable induit par l'effet DIBL et la pénétration de champ [10]. La variation de charge déplétée causée par la non-uniformité de l'épaisseur du film a moins d'incidence sur le comportement du transistor.

L'effet Kink peut être bien éliminé lorsque l'épaisseur du film de silicium d'un FD SOI est réduite. En même temps, la longueur et/ou la largeur du canal peuvent être réduites simultanément sans trop introduire d'effets néfastes.

I.1.3 MOSFET double-grille

Comme cela a été évoqué précédemment, il existe un champ électrique dans l'oxyde enterré d'un transistor SOI simple grille (Figure I-23). Les lignes de champ électriques relient le drain et le silicium en traversant l'oxyde enterré et augmentent le potentiel dans le silicium. Cela s'appelle l'effet DIVSB (Drain Induced Virtual Substrate Biasing). Une solution efficace proposée pour éliminer l'effet DIVSB est l'ajout d'une deuxième grille enterrée sous le silicium. Ce dispositif s'appelle simplement le MOSFET double-grille (DG). La grille enterrée coupe les lignes de champ électrique dans l'oxyde enterré, éliminant ainsi l'effet de DIVSB. Par rapport au plan de masse enterré, le DG MOSFET est plus avantageux grâce au renforcement du contrôle du canal par les grilles. La pénétration des zones de charge déplétée par les source/drain étant réduite par rapport à la technologie SOI, cela implique donc un plus faible effet de canal court et une pente sous le seuil quasi-idéale (relativement proche de 60mV/décade) sous le seuil. Un second canal se forme proche de l'interface Si-SiO₂ de la grille enterrée doublant ainsi le courant en régime de forte inversion.

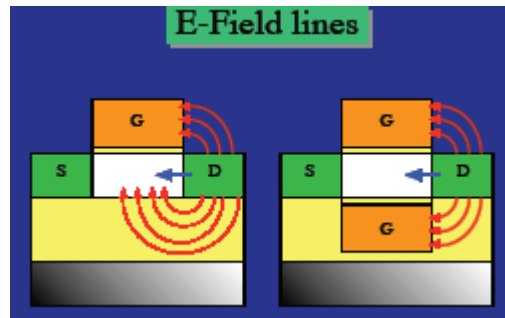


Figure I-23 Lignes de champ électrique

Des prototypes de DG MOSFET ont été réalisés [14]-[17]. Le processus de fabrication d'un DG MOSFET peut varier de l'un à l'autre. Mais quel que soit le processus de fabrication, les deux grilles doivent être strictement alignées. La Figure I-24 montre une étude de désalignement des grilles. Nous voyons que dans la caractéristique de la transconductance en fonction de la tension de grille, il y a deux pics pour les structures de DG MOSFET (i.e. Figure I-24d, e, f) et un pic pour le MOSFET simple grille (i.e. Figure I-24a). Nous pouvons considérer que la courbe de la transconductance en fonction de V_g est formée par la superposition des deux grilles. Les deux pics correspondent aux activations différentes des deux canaux contrôlés par les deux grilles respectivement. Le deuxième pic de la transconductance est plus important si la grille (G2 dans la Figure I-24) est plus proche de la source ; la résistance série de source est alors plus faible. Cela pose un problème très gênant dans le comportement d'un DG MOSFET [18]. Tout le film de silicium ne peut plus être contrôlé par la grille enterrée et une capacité parasite importante intervient dans le comportement électrique du transistor. Afin d'aligner les deux grilles, une technique d'auto-alignement a été développée [17]. Cette technique résout le problème d'alignement des grilles mais elle complique le processus de fabrication et l'inconvénient est que les deux grilles et les deux couches d'oxyde de grille sont fabriquées individuellement, ainsi il existe donc forcément plus ou moins une différence des grilles et des oxydes de grille. Cela apporte un effet parasite de non-symétrie.

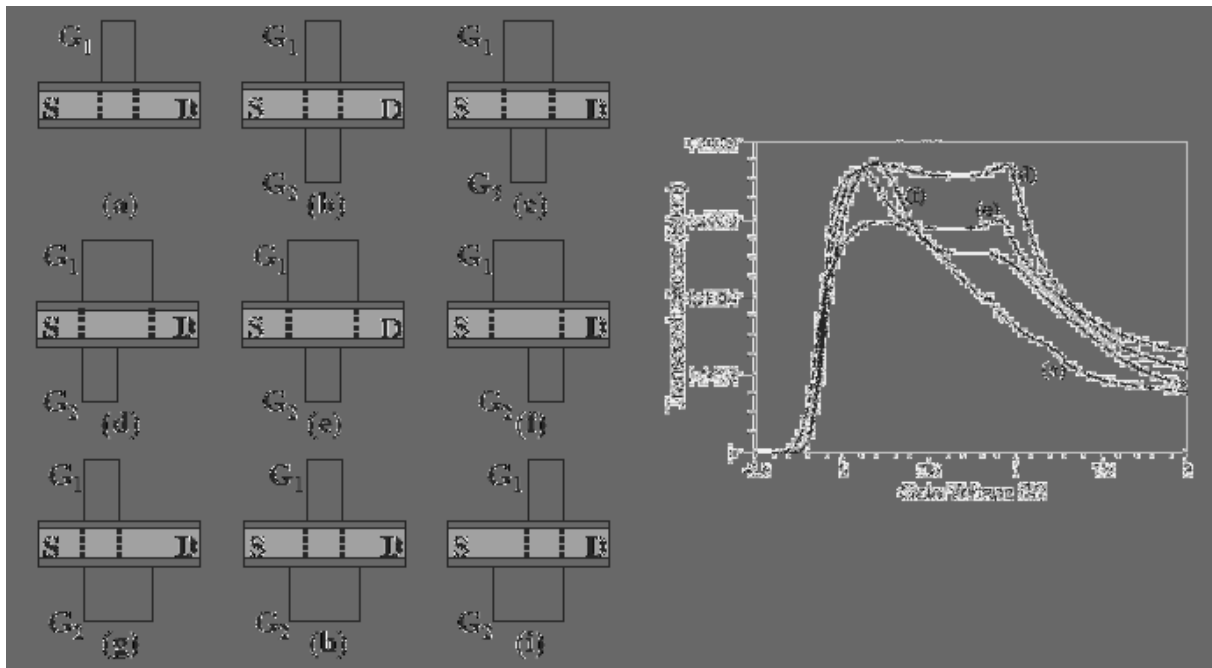


Figure I-24 Etudes de désalignement des grilles d'un transistor DG MOSFET [18]

I.1.4 FinFET

La première structure FinFET a été publiée sous le nom de « DELTA » [19]. Elle est construite à base d'un film de silicium fin sur un wafer SOI. La forme du film de silicium ressemble à un aileron (soit « fin » en anglais). C'est pourquoi elle est nommée FinFET. La section horizontale est similaire à un transistor DG MOSFET. La hauteur du Fin correspond à la largeur du canal d'un DG MOSFET.

Par rapport au DG MOSFET, la fabrication du FinFET est plus compatible à celle du MOS bulk.

La fabrication d'un transistor FinFET démarre avec un wafer SOI (Figure I-25, a-1 et -2). La qualité de fabrication d'un wafer SOI est importante notamment pour obtenir un bon état d'interface Si-SiO₂. Le premier processus englobe les deux étapes de gravure de l'oxyde et du film de silicium (Figure I-25, b-1 et -2). Nous obtenons un film mince de silicium. Après une étape d'oxydation (Figure I-25, c-1 et -2), le silicium est déposé autour de l'oxyde (Figure I-25, d-1 et -2). La grille est formée par implantation ionique dans le silicium (Figure I-25 e-1 et e-2). Nous avons bien un transistor FinFET (Figure I-25 f-1 et f-2). La Figure I-25 (g-1 et g-2) montre les sections longitudinales et verticales.

La Figure I-26a représente le schéma 3D du transistor. Les Figure I-26b et c représentent les sections horizontale et verticale. La section horizontale du FinFET est

similaire au DG MOSFET. En fait, pour une hauteur du Fin supérieure à 50nm et avec un film de silicium très faiblement dopé ou intrinsèque, le comportement électrique est similaire (cela sera détaillé dans III.1.7).

Les Figure I-27, Figure I-28 et Figure I-29 montrent 3 formes possibles pour le film mince de silicium. Celui-ci est réalisé par différents processus. La forme du film de silicium est très importante. Le cas idéal est de former un film de silicium avec une section Y-Z rectangulaire (Figure I-28).

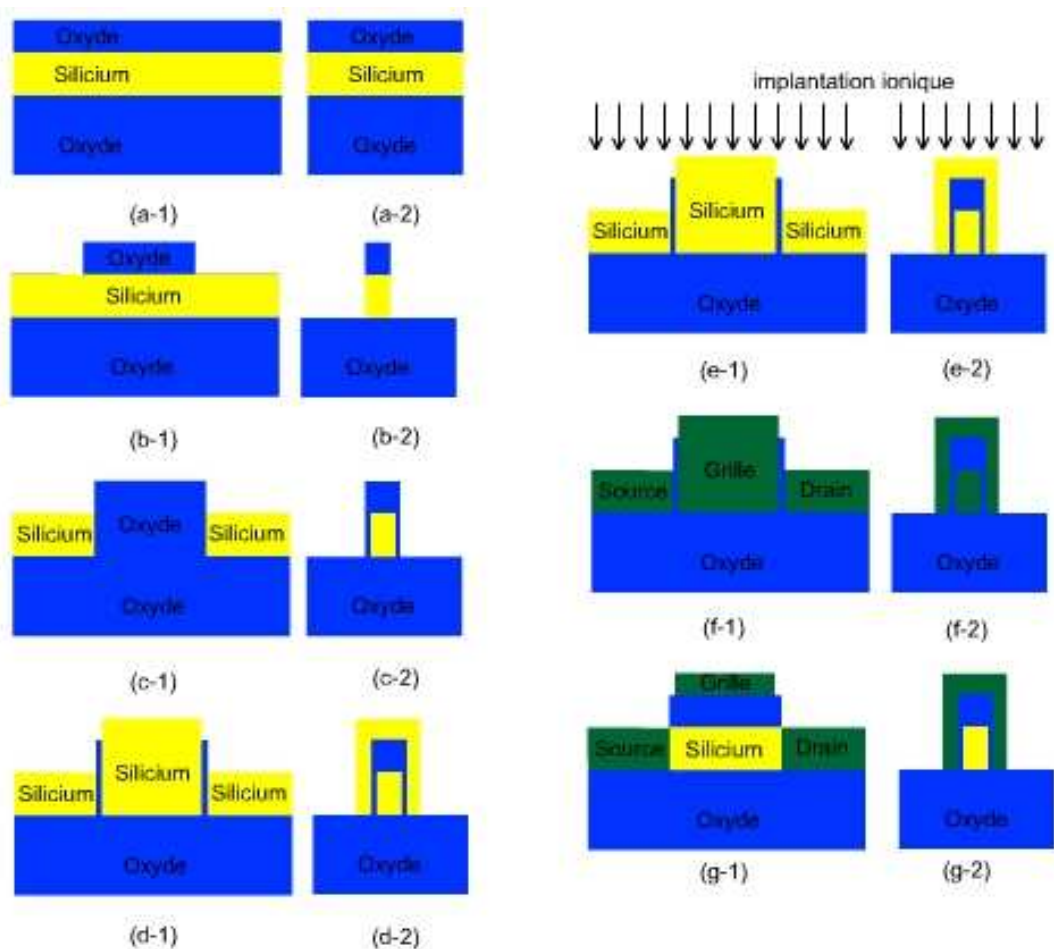


Figure I-25 Fabrication d'un transistor FinFET
 (Figure I-25 a-1 à g-1 suivant la direction X-Z ; Figure I-25 a-2 à g-2 suivant la direction Y-Z)

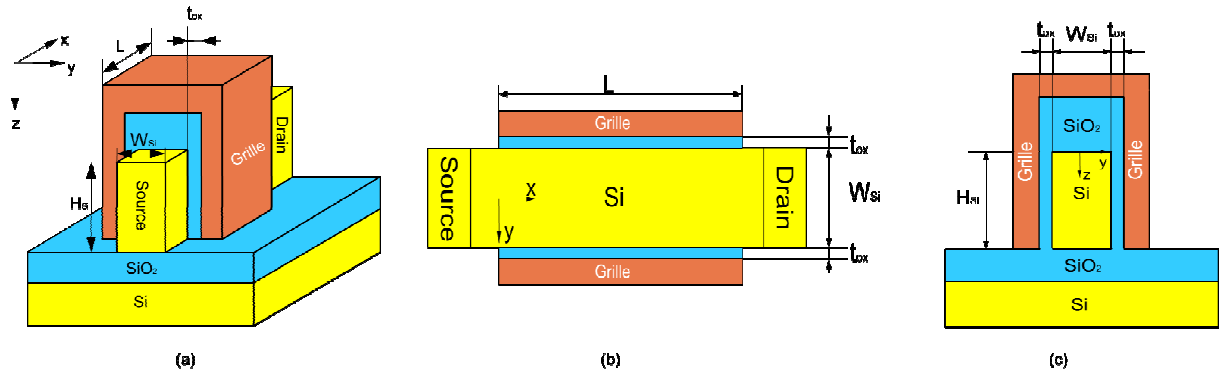


Figure I-26 (a) Structure 3D d'un transistor FinFET ; Sections horizontale (b) et verticale (c) du FinFET

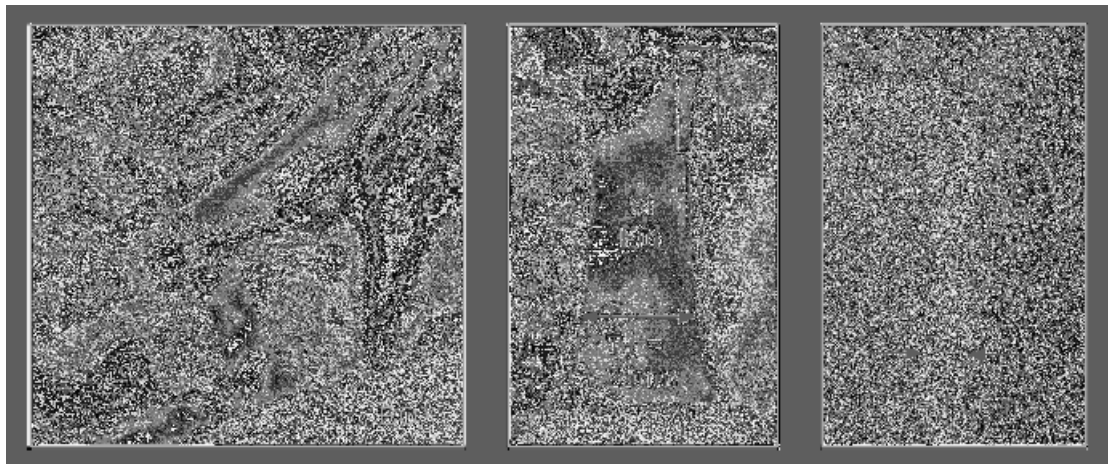


Figure I-27 Le film de silicium est formé par gravure sèche [20]

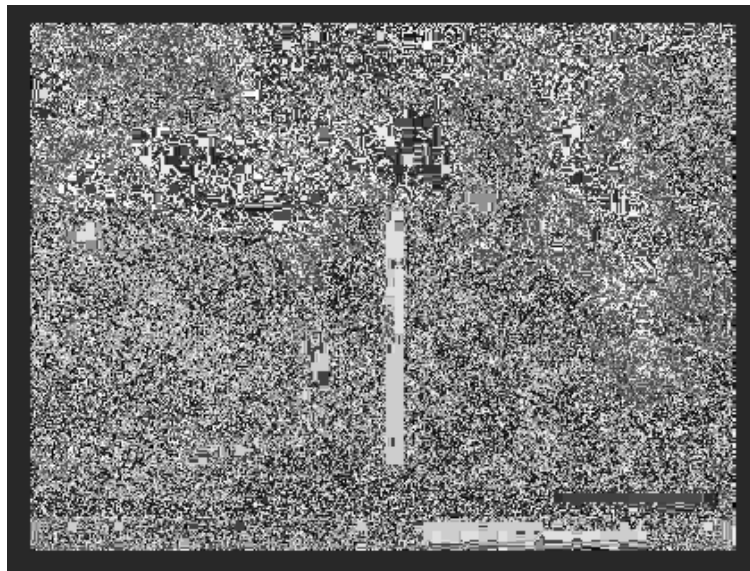


Figure I-28 Film de silicium est formé par gravure dans la solution de tétraméthylammonium hydroxyde (TMAH) à 50 °C pendant 1min [21]

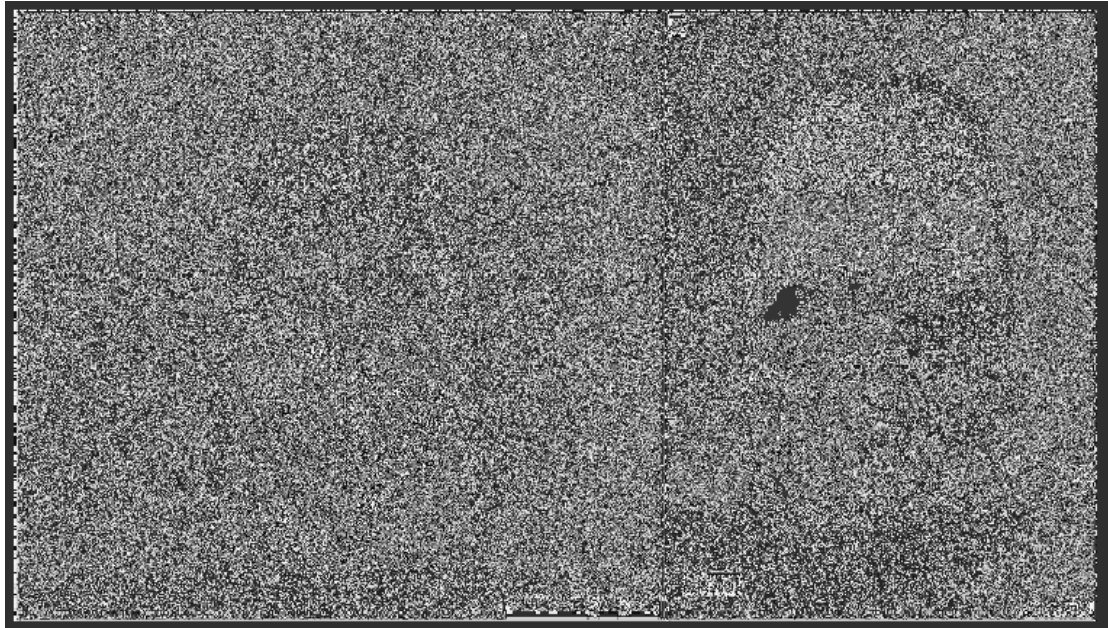


Figure I-29 Le film de silicium est formé par gravure ionique réactive [22]

Globalement, dans la fabrication d'un transistor FinFET, les dimensions du transistor, et plus spécifiquement la dimension du film de silicium, sont petites comparées à celles du MOSFET bulk. Le processus de gravure du film de silicium est l'étape la plus importante et la plus difficile à réaliser pour une petite dimension. La technique de lithographie d'espaceur [23] est utilisée pour atteindre ces petites dimensions (Figure I-30).

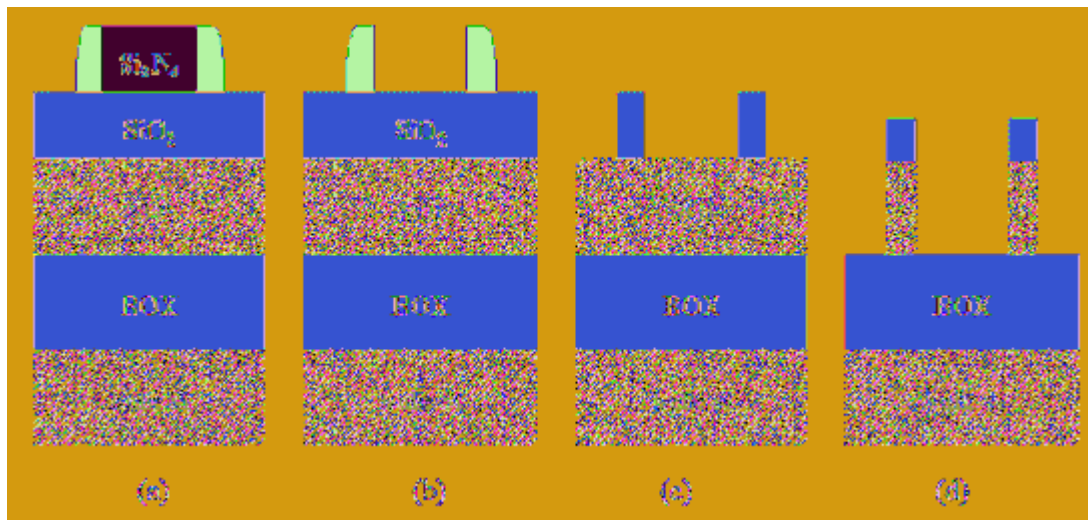


Figure I-30 Illustration de la section de lithographie par espaceur (a) formation de l'espaceur LTO autour de la couche Si₃N₄ (b) Si₃N₄ est enlevé (c) Transfert de la forme de l'espaceur LTO à la masque en oxyde (d) gravure du film de silicium par la masque formée précédemment [23]

D'abord, l'épaisseur du silicium est réduite par oxydation jusqu'à la hauteur voulue. Puis est déposée une couche de nitrure de silicium que l'on grave ensuite par lithographie optique. Après, l'espaceur est formé par LPCVD de LTO (Low Temperature Oxide) et le processus de gravure correspondant. Si₃N₄ est enlevé par l'acide phosphorique. Ensuite, le

LTO resté au-dessus de l'oxyde joue le rôle du masque pour la lithographie optique suivante. Après cette lithographie, nous obtenons des masques de petite dimension qui ne peuvent pas être déposés par la méthode conventionnelle. Enfin, le silicium est gravé en formant les films de silicium qui sont les corps du « fin ».

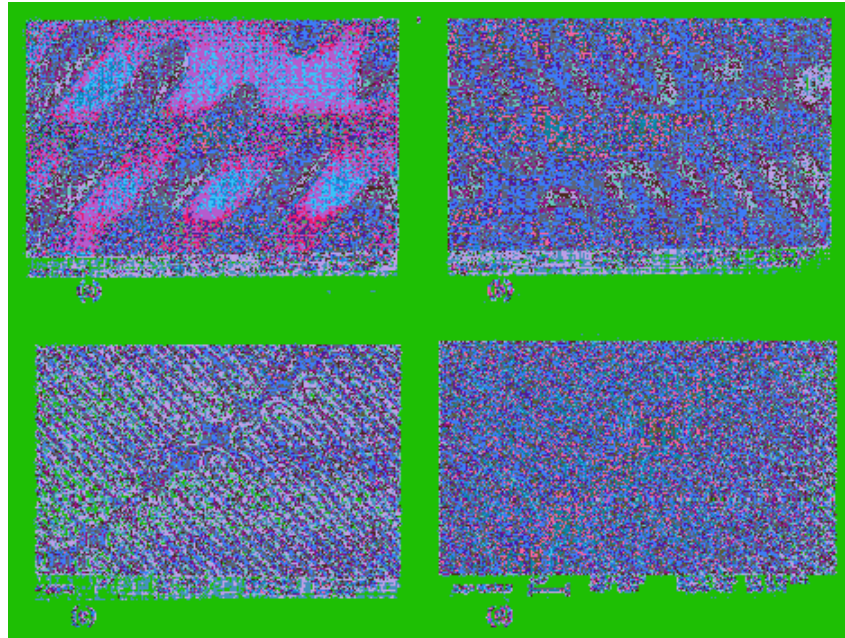


Figure I-31 Multiplication des lithographies par espaceur en formant un film de silicium plus mince [23]

Comme cela est montré sur la Figure I-31, on peut multiplier cette méthode en fabriquant les films de silicium encore plus minces. On part avec les films de silicium parallèles (Figure I-31a). Les Figure I-31 -b, -c et -d montrent les films de silicium très fins en appliquant la lithographie 1, 2 et 3 fois. Mais l'inconvénient de cette méthode est le coût. Plus le film de silicium est mince, plus le coût est élevé dû à la matière perdue.

Les deux grilles du FinFET sont formées en même temps. Par rapport au DG MOSFET, les avantages du FinFET sont donc l'auto-alignement et la simplification de la fabrication. Puisque le FinFET est réalisé sur un wafer SOI, certains effets néfastes inhérents à la technologie SOI sont présents, comme l'auto-échauffement.

I.1.5 MOSFET triple-grille

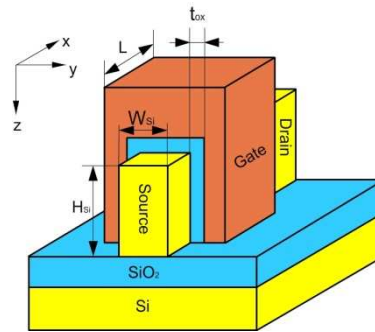


Figure I-32 Structure 3D d'un TG MOSFET

La Figure I-32 montre la structure 3D d'un MOSFET triple-grille (TG MOSFET). Une règle simple (liée au scaling) permet de distinguer le FinFET et le TG MOSFET. Si $2 \times H_{Si} \gg W_{Si}$, nous sommes dans le cas du FinFET. Sinon, si $2 \times H_{Si}$ est comparable avec W_{Si} et si l'épaisseur de l'oxyde de la grille supérieure est égale à l'épaisseur de l'oxyde des deux côtés latéraux, nous sommes dans le cas du TG MOSFET.

Au niveau de la fabrication, le TG MOSFET est plus simple. Dans l'étape de la Figure I-25c, l'oxyde recouvrant le silicium peut être formé avec la même durée que pour les deux côtés latéraux. Avec trois grilles, le TG MOSFET renforce encore plus le contrôle du canal. Une estimation simple de la largeur « équivalente » du canal est de 2 fois la hauteur du silicium plus la largeur du silicium soit $(2 \times H_{Si} + W_{Si})$. Pour des mêmes dimensions, le TG MOSFET a donc un courant plus grand qu'un FinFET. Mais pour finaliser la fabrication, les source et drain seront épitaxiés depuis le haut de la structure ; si l'oxyde au-dessus du film de silicium est très fin, cela risque de court-circuiter les source et drain avec la grille. Afin d'éviter ce risque, une extension du silicium (*underlap*) est nécessaire (voir I.2.5). Cependant, l'introduction de cet *underlap* augmente la résistance d'accès.

Il est à noter que la modélisation du TG MOSFET est plus compliquée que celle du FinFET, à cause des régions de « coins » proches de l'interface sous la grille supérieure où les influences des grilles horizontale et verticale se superposent.

Le FinFET et le TG MOSFET sont basés toujours sur la technologie SOI. Les canaux se positionnent toujours sous l'oxyde de grille. Les lignes électriques des grilles verticales traversent le BOX lorsqu'elles sont dans le bas du silicium. On appelle cela l'effet de BOX qui influence le comportement du transistor et peut être négligé seulement lorsque la largeur du silicium (W_{Si}) est petite [11].

I.1.6 GAA MOSFET

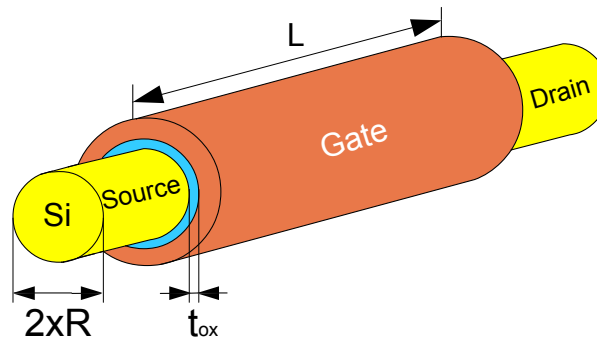


Figure I-33 Structure du GAA MOSFET

Une solution plus efficace est la structure GAA (Figure I-33). Le silicium est complètement enrobé par la grille. Cela supprime l'effet de BOX. De plus, la section verticale du silicium est ronde, aussi la structure complètement cylindrique du GAA permet d'avoir un comportement symétrique par rapport aux FinFET et TG MOSFET. Il n'y aura plus de problème de coins. Le contrôle du canal est meilleur donc le SCE et le DIBL sont minimisés.

L'inconvénient de la technologie GAA MOSFET est qu'elle est très difficile à fabriquer et donc très chère.

I.1.7 MOSFET à nanofil

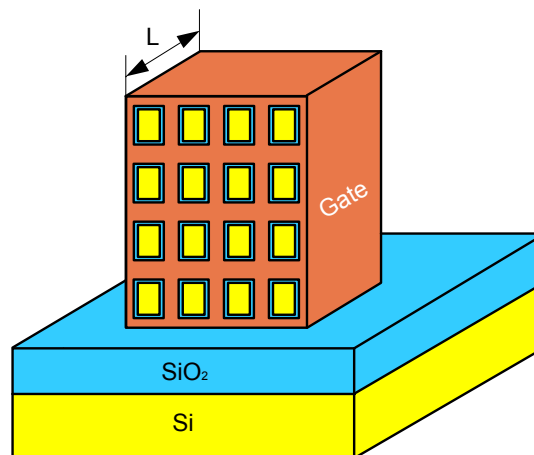


Figure I-34 Structure de Nanofil MOSFET

La dimension de la section du film de silicium est limitée par la technologie de fabrication. Un film de silicium ne peut pas être fabriqué aussi haut que désiré, tout en gardant une petite largeur (W_{Si}). Par conséquent, pour une surface donnée, et afin d'augmenter le courant, plusieurs Fins peuvent être mis en matrice (Figure I-34). Cela maximise l'efficacité de l'utilisation de la surface. De plus la dimension de la section du silicium est très petite

(quelques nm²), ainsi le contrôle de la grille est renforcé de la même manière que pour le GAA MOSFET.

Les principaux désavantages de la technologie Nanofil MOSFET sont d'une part le coût de fabrication, et d'autre part les « mismatches » des fils de silicium. Avec un nombre de fils plus grand, l'influence des « mismatches » peut être réduite.

I.1.8 Théorie du scaling

L'évolution de la microélectronique est liée au scaling du transistor. Deux des principaux inconvénients sur le plan de la dégradation des performances liés au scaling sont le SCE et le DIBL. Ces deux effets sont dus à la pénétration de l'influence du champ du drain dans le silicium. Afin d'étudier l'influence du champ du drain dans le silicium, nous avons résolu le potentiel dans le film de silicium par l'équation de Poisson en introduisant un paramètre (critère) très utile et très utilisé : la longueur naturelle l (voir Chapitre II.4.2) [24]-[27].

La longueur naturelle l est fonction de la dimension du transistor et son expression dépend de la structure du transistor SOI (Tableau I-1). t_{si} correspond l'épaisseur du film de silicium pour la technologie simple grille SOI et la largeur du film de silicium entre les grilles pour la technologie multiple-grille. La différence entre les deux colonnes des valeurs de la longueur naturelle dans la Tableau I-1 est que la colonne à gauche a considéré que le courant circule seulement à l'interface Si-SiO₂ et la colonne à droite a considéré que le courant circule aussi dans le volume de silicium. Pour t_{si} et t_{ox} données, e.g. $t_{si}=10\text{nm}$ et $t_{ox}=1,5\text{nm}$, les longueurs naturelles (calculées par les expressions de la colonne à droite dans la Tableau I-1) pour les structures de simple SOI, GAA et DG MOSFET sont respectivement 9,75nm, 4,01nm et 5,92nm. La longueur naturelle pour un GAA est donc plus petite comparée aux autres. Une faible valeur de l indique que les effets SCE et DIBL sont petits. Par conséquent, pour une longueur du canal donnée, la structure GAA MOSFET a la longueur naturelle la plus courte (ref. Tableau II-1). Quelle que soit la structure de transistor, la largeur ou le rayon du film de silicium devraient être le plus petit possible.

La longueur naturelle a un sens physique signifiant la pénétration du champ du drain dans le film de silicium. Si la longueur naturelle est grande, la pénétration du champ du drain dans le film de silicium est plus profonde et les effets canaux courts sont plus importants. Il faut donc réduire la longueur naturelle afin d'éliminer les effets canaux courts.

Tableau I-1 Expressions de la longueur naturelle (critère) dans les différentes structures SOI : MOS Bulk, GAA (Gate-All-Around) et Plan de masse enterré.

| Structure | Longueur naturelle (l) | |
|------------|---|---|
| Simple SOI | $\sqrt{\frac{\epsilon_{Si} \cdot t_{Si} \cdot t_{ox}}{\epsilon_{ox}}}$ | $\sqrt{\frac{\epsilon_{Si} \cdot t_{Si} \cdot t_{ox}}{\epsilon_{ox}} \cdot \left(1 + \frac{t_{Si} \cdot \epsilon_{ox}}{2 \cdot t_{ox} \cdot \epsilon_{Si}}\right)}$ |
| DG MOSFET | $\sqrt{\frac{\epsilon_{Si}}{2 \cdot \epsilon_{ox}} \cdot t_{Si} \cdot t_{ox}}$ | $\sqrt{\frac{\epsilon_{Si} \cdot t_{Si} \cdot t_{ox}}{2 \cdot \epsilon_{ox}} \cdot \left(1 + \frac{t_{Si} \cdot \epsilon_{ox}}{4 \cdot t_{ox} \cdot \epsilon_{Si}}\right)}$ |
| GAA | $\sqrt{\frac{\epsilon_{Si}}{4 \cdot \epsilon_{ox}} \cdot t_{Si} \cdot t_{ox}}$ (section rectangulaire) | $\sqrt{\frac{2 \cdot \epsilon_{Si} \cdot t_{Si}^2 \cdot \ln\left(1 + \frac{2 \cdot t_{ox}}{t_{Si}}\right) + \epsilon_{ox} \cdot t_{Si}^2}{16 \cdot \epsilon_{ox}}}$ (section circulaire) |

La longueur naturelle peut servir aux concepteurs afin d'améliorer le comportement des dispositifs en évitant les effets *canal court* très importants. Par les expressions de la longueur naturelle dans la colonne gauche de la Tableau I-1, nous pouvons tracer la Figure I-35 qui indique l'épaisseur maximum de film de silicium nécessaire pour éviter les effets de canal court. Nous voyons par exemple que pour un MOSFET double-grille avec la longueur de grille de 50nm, l'épaisseur maximum du film de silicium peut être d'environ 30nm.

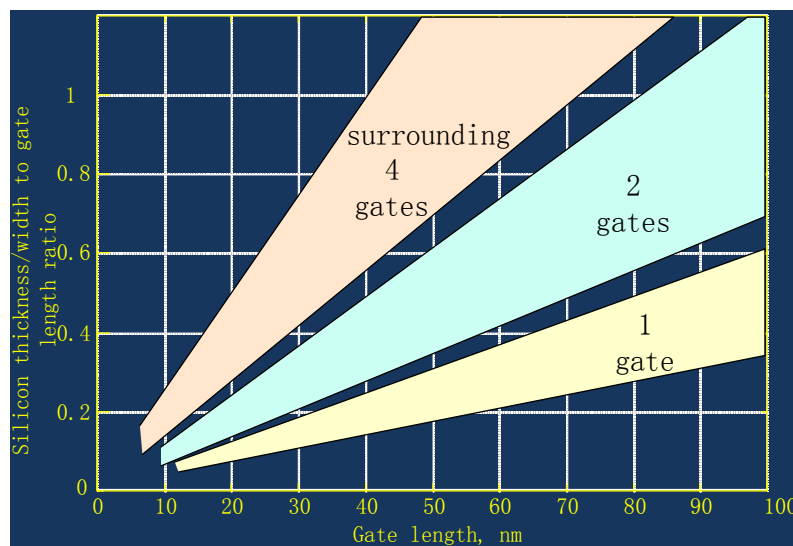


Figure I-35 L'épaisseur du film de silicium maximum vs la longueur de la grille afin d'éviter les effets de canal court dans les cas de MOSFET SOI avec simple-, double- et quadruple-grille [26].

1^{ère} Conclusion (à mi-chapitre)

La technologie MOS bulk arrivera bientôt la fin de son évolution, et cela à cause notamment de nombreux effets (liés au scaling) de plus en plus néfastes au bon fonctionnement des dispositifs. Le SCE et le DIBL sont deux des principaux inconvénients.

Succédant au MOSFET bulk, la technologie *multiple-grilles* devrait permettre de continuer à suivre « la loi » de Moore. D'après la théorie du scaling, la technologie *multiple-grilles* a une longueur naturelle plus courte que le MOS bulk grâce au contrôle renforcé du canal.

A titre de synthèse, la Figure I-36 montre les performances des dispositifs réalisés [28]. Nous voyons pour la même dimension du dispositif (L_{ch}/T_{Si}), le rapport I_{on}/I_{off} est plus important pour un dispositif avec plus de grilles.

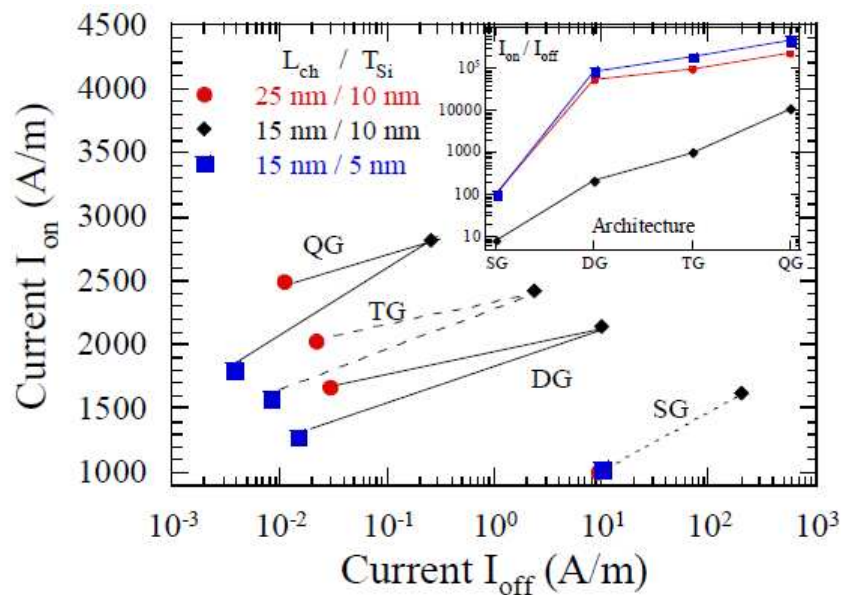


Figure I-36 I_{on} vs I_{off} pour différentes structures des dispositifs avec différentes longueurs du canal (L_{ch}) et l'épaisseur (pour SG MOSFET) ou la largeur (pour DG, TG, QG MOSFET) (T_{Si}) de silicium [28].

Un résumé comparatif des différentes technologies *multiple-grilles* est montré au Tableau I-2. La suite du chapitre se concentrera sur la technologie FinFET qui est l'objet d'investigation de cette thèse.

Tableau I-2 Comparaison des avantages et inconvénients des dispositifs MOS avancés

| Structure | Avantages principaux | Inconvénients principaux |
|------------------------------|---|--|
| MOSFET Bulk | <ul style="list-style-type: none"> • Procédés bien maîtrisés | <ul style="list-style-type: none"> • Effets de canal court |
| PD SOI avec simple grille | <ul style="list-style-type: none"> • Similaire au MOSFET bulk | <ul style="list-style-type: none"> • Similaire au MOSFET bulk |
| FD SOI avec simple grille | <ul style="list-style-type: none"> • Complètement déplété • Pas de courant de substrat • Résiste à la radiation | <ul style="list-style-type: none"> • L'uniformité de l'épaisseur du silicium • Champ dans l'oxyde enterré (polarisation virtuelle de substrat induit par le drain, DIVSB) |
| Double Grille planaire | <ul style="list-style-type: none"> • Plus de courant • Bon contrôle du canal • Pas de DIVSB | <ul style="list-style-type: none"> • L'uniformité de l'épaisseur du silicium • Faible épaisseur du silicium • Auto-alignement des deux grilles |
| FinFET | <ul style="list-style-type: none"> • Bon contrôle du canal • Auto-alignement des deux grilles • Procédés proches de MOSFET Bulk • Possibilité de design en 3-D • Possibilité de fonctionnement symétrique (SDG) et asymétrique (ADG) (I.2.2) | <ul style="list-style-type: none"> • Difficulté de lithographie • Petite largeur du film de silicium nécessaire • Uniformité de largeur • Effet de coins |
| Triple Grille | <ul style="list-style-type: none"> • Plus de courant • Procédés proches de MOSFET Bulk • Auto-alignement des grilles | <ul style="list-style-type: none"> • Difficulté de lithographie • Petite largeur du film de silicium nécessaire • Uniformité de largeur • Effet de coins • Uniformité de l'épaisseur de l'oxyde de grille |
| GAA | <ul style="list-style-type: none"> • Excellent contrôle du canal • Faible effet de canal court • Pas d'effet de coins | <ul style="list-style-type: none"> • Faible diamètre du silicium nécessaire • Procédé non-compatible avec le MOSFET bulk |

| | | |
|-----------------------|-------------------------------|--|
| Nanofil MOSFET | • Excellent contrôle du canal | • Faible diamètre du silicium nécessaire |
| | • Faible effet de canal court | • Coût de fabrication important |
| | • Plus de courant | • Problème de mismatch |

I.2 Le transistor FinFET : propriétés électriques et effets physiques

I.2.1 Présentation du FinFET

Comme cela a été dit précédemment (I.1.4), la première structure FinFET était publiée sous le nom de « DELTA » [29]. Le FinFET est construit à base d'un film de silicium fin sur un wafer SOI. La forme du film de silicium ressemble à un aileron (soit « *fin* » en anglais). C'est pourquoi on le nomme FinFET.

La structure du transistor FinFET est définie à la Figure I-37. La grille enrobe le film de silicium. La section horizontale est similaire à un DG MOSFET (Figure I-37b). L'oxyde de la grille supérieure est très épais afin de négliger l'influence de la grille associée. La hauteur du Fin correspond à la largeur du canal d'un DG MOSFET. Nous pouvons donc estimer que la largeur du canal total en forte inversion est équivalente à 2 fois la hauteur du Fin (H_{Si}).

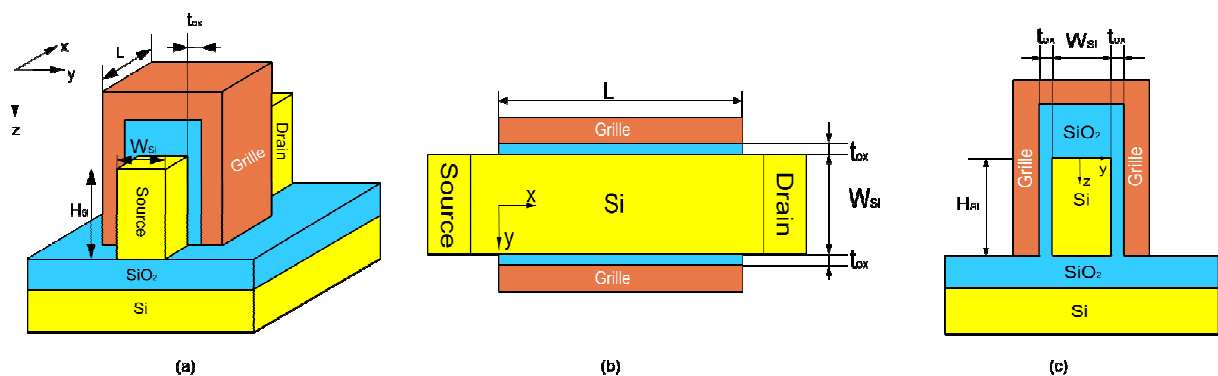


Figure I-37 Définition du FinFET

I.2.2 Propriétés électriques du FinFET

Les propriétés électriques du FinFET sont liées aux paramètres géométriques et technologiques, c'est à dire: la longueur du canal (L), la largeur du Fin (W_{Si}), la hauteur du Fin (H_{Si}), le dopage du Fin, les propriétés des grilles (SDG/ADG), les jonctions S/D-Fin, la section des source/drain, l'orientation du silicium, etc. Nous détaillerons dans ce chapitre les effets liés à ces paramètres.

La longueur du canal (L) :

Comme dans le cas de la technologie MOSFET bulk, la longueur du canal est le paramètre le plus important et l'indicateur clef de la génération de la technologie.

Afin de fabriquer un circuit qui fonctionne le plus vite possible et qui consomme moins d'énergie et avec une surface la plus petite possible, il faut diminuer la longueur du canal de transistor.

En réduisant la longueur du canal, la surface occupée par le transistor est donc réduite et la résistance série est diminuée permettant ainsi d'avoir un courant plus important. En même temps, la transcapacité (C_{gg}) est réduite, et donc la vitesse du circuit s'en trouve augmentée.

Par contre, le SCE et le DIBL sont reliés directement avec la réduction de la longueur du canal. Plus petite est la longueur du canal, plus gênants sont ces effets SCE et DIBL.

La largeur (ou l'épaisseur) du Fin (W_{Si}) :

L'épaisseur du film de silicium joue un rôle très important pour le fonctionnement du transistor. Pour que toute l'épaisseur du film de silicium soit déplétée, dans le cas où le dopage du substrat est faible ou intrinsèque, W_{Si} doit être petite. D'après la théorie du scaling (I.1.8), plus petite sera W_{Si} , plus petite sera la longueur naturelle l . Rappelons que pour une longueur du canal donnée, une petite valeur de W_{Si} limite la dégradation des performances due aux effets SCE et DIBL. La réduction de W_{Si} peut aussi limiter la pénétration des lignes électriques venant des grilles en traversant l'oxyde au-dessous du Fin [30].

La diminution de W_{Si} n'a pas que des conséquences bénéfiques. Elle impliquera l'apparition des effets de mécanique quantique [31]-[33]. Cela fait dévier les porteurs de

l'interface Si-SiO₂ vers le centre du Fin en augmentant le *band-gap* effectif. La tension de seuil va donc augmenter (Figure I-38) et la capacité de l'oxyde de grille sera réduite. Par ailleurs, lorsque W_{Si} est réduite, sans considérer les effets quantiques, la section du film de silicium est plus petite, ce qui augmente la résistance série et réduit le courant (Figure I-38) L'auto-échauffement s'en trouve également renforcé.

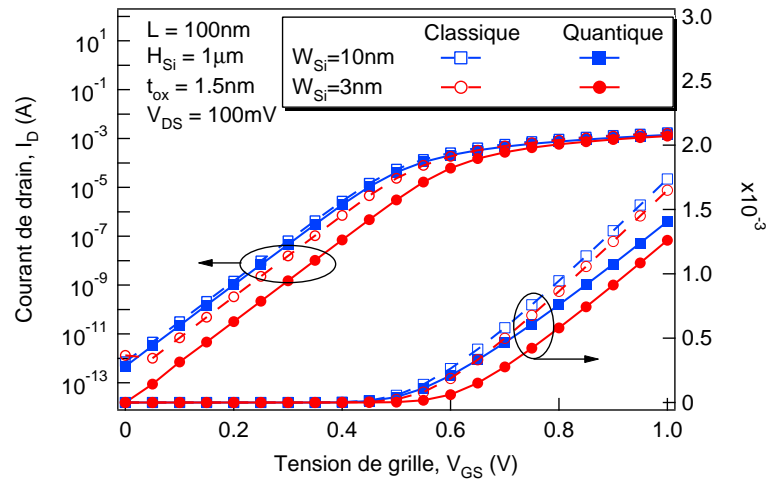


Figure I-38 Influence du paramètre W_{Si} dans les simulations 3D

En conclusion, un compromis doit être trouvé sur le choix de W_{Si} .

La hauteur du Fin (H_{Si}) :

La hauteur du Fin peut être assimilée à la largeur du canal dans le cas du transistor MOSFET bulk. Sauf qu'ici, en forte inversion, la largeur du canal peut être estimée à 2 fois H_{Si} . Afin d'avoir un courant important, la hauteur H_{Si} doit être la plus grande possible. Cela limite aussi les effet de coin et les effets de mécaniques quantiques dans la direction verticale.

Cependant, à cause de difficulté de fabrication, H_{Si} ne peut pas toujours être augmentée comme on le souhaite. Quand H_{Si} est très grande, maintenir l'uniformité de la largeur du Fin tout au long de la direction verticale sera un challenge. Par conséquent, pour augmenter le courant, on peut multiplier les films de silicium en parallèle ce qui a donné l'idée de la l'élaboration de la technologie MOSFET à nanofil (I.1.7).

Le dopage du film de silicium :

Dans la technologie MOSFET bulk, il est nécessaire de doper le canal très fortement pour réduire le *SCE* pour un transistor de faible longueur de grille. Mais ce n'est plus le cas pour un FinFET. Le Fin est laissé non-dopé ou très faiblement dopé, permettant ainsi une mobilité plus importante et une tension de seuil fixée par le travail de sortie de la grille (qui est choisi comme au mi-gap dans ce travail de thèse) et par les dopages du film de silicium

quand le film de silicium est très fortement dopé (voir Paragraphe III.1.7). Pour le SCE, l'impact du rapport (L/l) est plus important que l'impact du dopage du film de silicium.

Des jonctions S/D-canal :

Puisque le Fin reste intrinsèque ou faiblement dopé, le gradient de dopage de la source et du drain vers le canal est grand et la pénétration du dopage au canal est donc plus profonde. La longueur d'overlap devient plus importante ce qui influence fortement la résistance série et dégrade le courant. Une jonction abrupte est nécessaire pour permettre une résistance plus faible.

L'élargissement des sections des source et drain :

Une autre solution pour réduire la résistance en série est de surélever les source et drain. Dans la Figure I-39, on voit bien qu'avec les source et drain surélevés, le courant est significativement augmenté [34].

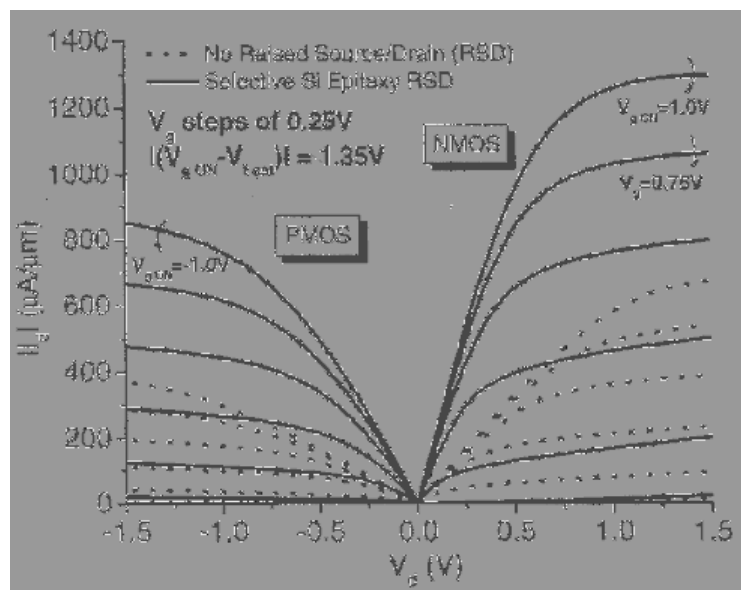


Figure I-39 Influence du surélévation des source et drain pour un FinFET court ($L=30\text{nm}$, $W_{\text{Si}}=20\text{nm}$) [34]

SDG & ADG [34]:

Jusqu'à maintenant, nous n'avons parlé que du transistor FinFET SDG (Symmetric Double Gates) (Figure I-40). Dans les applications CMOS, le SDG a un courant « off » (I_{off}) plus petit par rapport à un MOSFET Bulk mais quand même non-nul. Avec la structure ADG (Asymmetric Double Gates), les deux grilles sont distinctes en raison de travaux de sortie différents. Généralement, les deux grilles sont de type n+ et p+ respectivement (Figure I-41). Avec l'ajustement des travaux de sortie des grilles, il est possible d'avoir un I_{off} extrêmement

petit ce qui est très intéressant pour les applications portables ou de faible consommation où il est important d'économiser le plus d'énergie possible. Bien évidemment, le courant I_{on} est plus faible par rapport à un dispositif symétrique avec la même dimension.

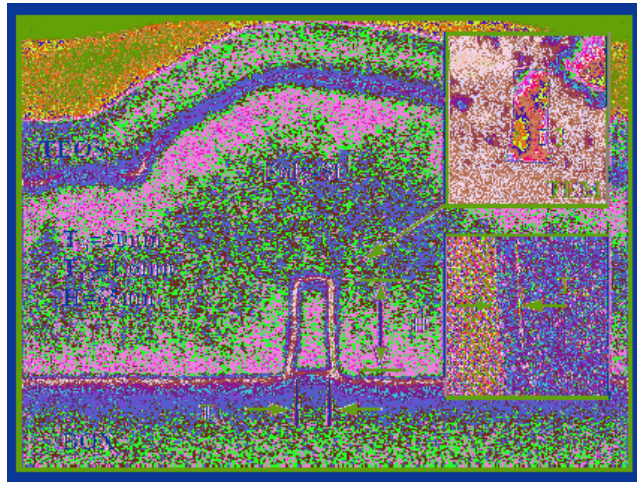


Figure I-40 Section d'un transistor FinFET SDG perpendiculaire au flux de courant [34].

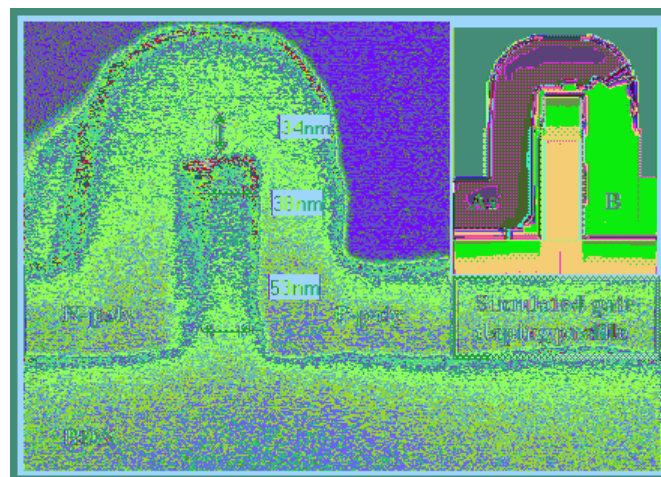


Figure I-41 Section d'un transistor FinFET ADG perpendiculaire au flux de courant. $W_{Si}=40nm$, $t_{ox}=2,2nm$, $t_{poly}=120nm$, $W=360nm$ (2x la Hauteur du 'fin') [34].
(La figure de droite montre le profil du dopage simulé après l'implantation ionique d'As et de B.)

I.2.3 Effets de coin

Les effets de coin sont des effets localisés aux deux coins du film de silicium (comme indiqué à la Figure I-42). L'allure du potentiel est changée dans ces coins du silicium. Ce changement résulte en un courant de fuite aux coins qui n'est pas sous le contrôle des grilles [35]-[36]. Dans cette région, la tension de seuil est plus petite qu'ailleurs, ainsi avant que le transistor ne soit « activé », il existe déjà une somme de courant de coin, nommé courant de fuite. Cela augmente fortement le courant I_{off} . A la Figure I-43, nous voyons que ces effets de coin ont lieu pour toutes les structures 3D [37]. Généralement, la caractéristique dg_m/dV_g peut

être utilisée pour identifier la tension de seuil ; cette tension correspond au pic de la courbe. Mais pour les structures 3D, il existe deux pics pour chaque courbe. Le premier pic correspond la tension de seuil dans la région de coin et le deuxième pic correspond à la « vraie » tension de seuil du transistor.

Nous pouvons remarquer sur la Figure I-43 que pour les structures Omega, Pi Grille MOSFET et la structure GAA (équivalent ici à un Quadruple Grille), le premier pic est plus grand que le deuxième, c'est-à-dire, le canal aux coins est activé beaucoup plus vite que le centre de silicium. Pour le FinFET et le TG-MOSFET, les canaux aux coins sont des perturbations non négligeables.

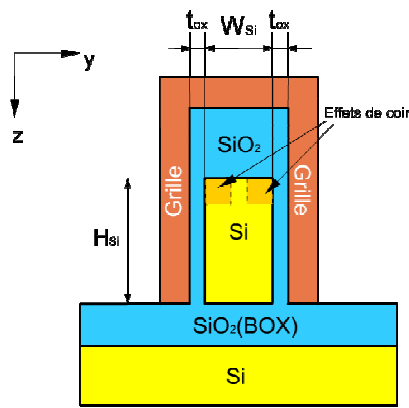


Figure I-42 Les régions où les effets de coin se produisent dans la section verticale d'un FinFET

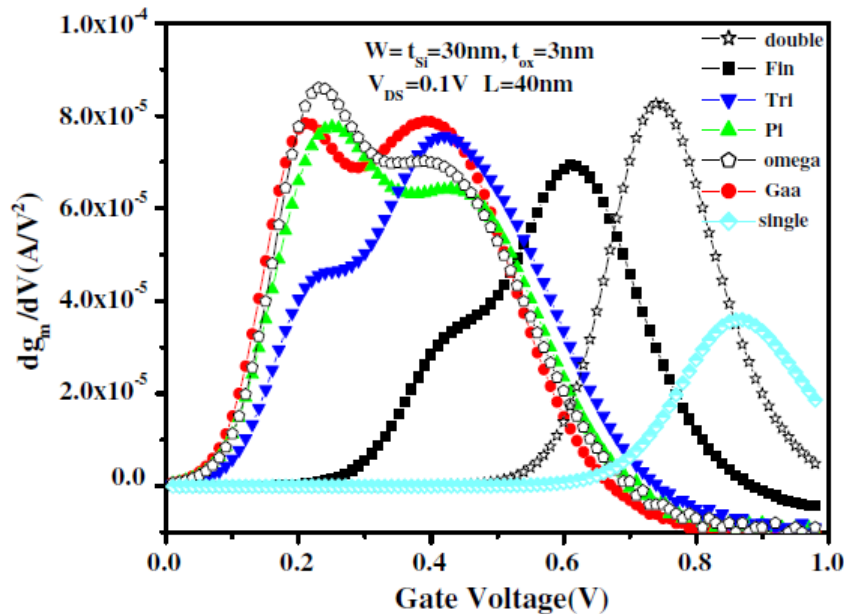


Figure I-43 dg_m/dV_G à $V_{DS} = 0.1V$ pour différents transistors SOI [37]

La solution pour supprimer les effets de coin est proposée dans [38]. Si le dopage du silicium est très faible ou intrinsèque, les effets de coin sont généralement négligeables. Une

autre solution est d'arrondir le coin. C'est pourquoi le GAA (symétrique cylindriquement) n'a pas d'effet de coin [35]. Une autre solution pour que les effets de coin soient négligeables sera d'augmenter la hauteur du Fin (H_{Si}). La raison est simple : si la partie de coin est suffisamment petite par rapport à tout le film de silicium, les effets de coins peuvent être négligés.

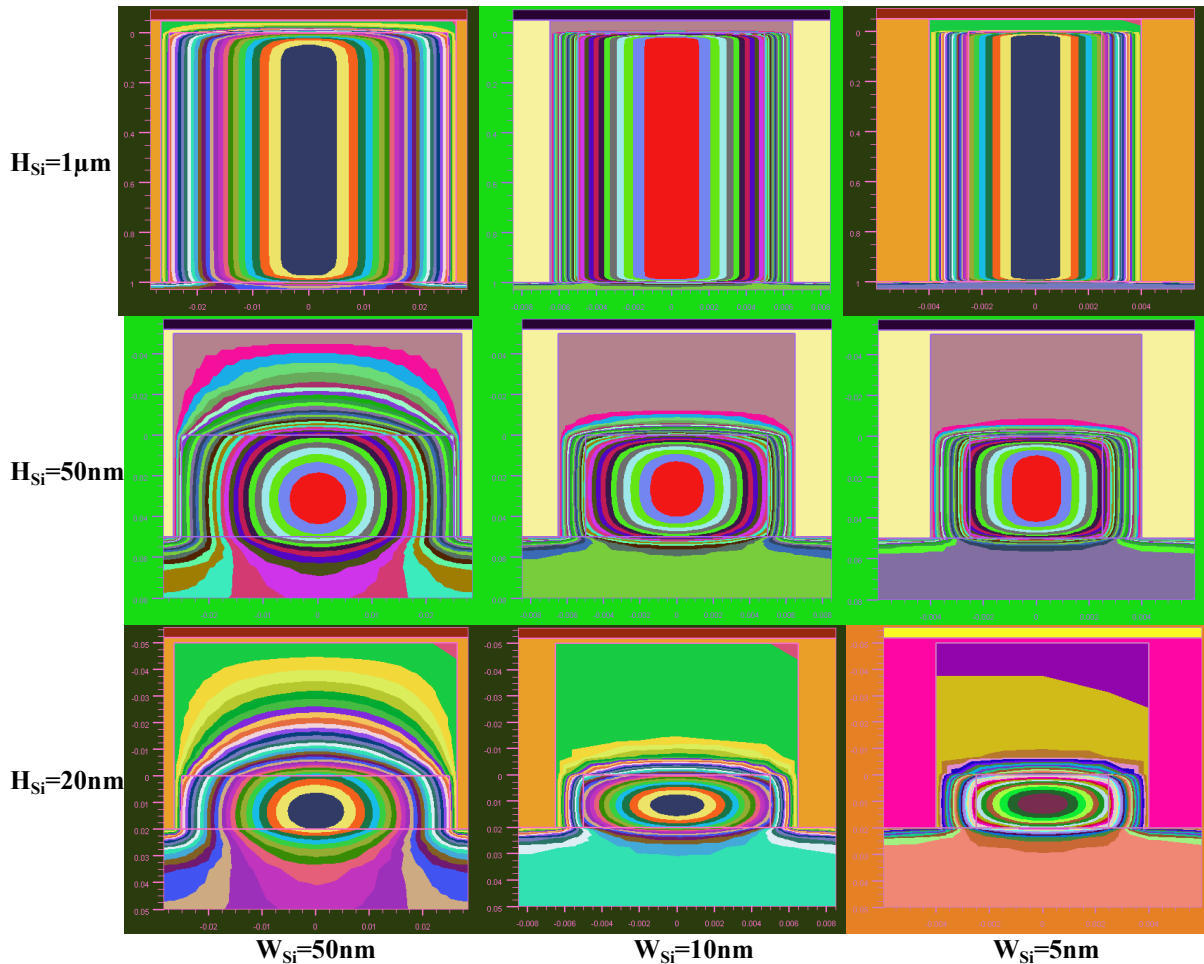


Figure I-44 Potentiel dans l'oxyde et le silicium à la section y-z (Figure I-37) pour les FinFETs avec une longueur de canal de $1\mu\text{m}$. $V_{GS}=0.3\text{V}$. Les effets quantiques ne sont pas pris en compte.

D'après une comparaison du potentiel dans l'oxyde et le silicium à la section perpendiculaire à la circulation du courant pour différentes hauteurs et largeurs de silicium simulée avec le simulateur du dispositif d'Atlas de Silvaco, nous voyons que pour une hauteur très grande, i.e. $H_{Si}=1\mu\text{m}$, le potentiel dans le silicium est quasi-identique dans la direction verticale (Figure I-44). Il n'y a qu'une petite partie du potentiel qui n'est pas identique dans le sens vertical proche des interfaces entre le silicium et la grille au-dessus de silicium et l'oxyde du substrat. Ce dernier résulte de la pénétration des influences de grilles latérales via l'oxyde au-dessus du silicium et l'oxyde de substrat. Car l'oxyde au-dessus de silicium (t_{ox_top}) est très épais (dans notre simulation TCAD, $t_{ox_top}=50\text{nm}$), la grille au-dessus de silicium n'a qu'une

très faible influence sur le silicium et peut être négligée par rapport aux grilles latérales. Quand la hauteur du silicium est diminuée jusqu'à 50nm, si la largeur du silicium est suffisamment petite ($W_{Si}=10\text{nm}$ ou moins), le potentiel dans le sens vertical est encore quasi-identique. Les parties du potentiel qui ne sont pas identiques dans le sens vertical sont négligeables par rapport à la partie du potentiel identique grâce au fort contrôle des grilles transversales. Quand la hauteur est très petite ($H_{Si}=20\text{nm}$), nous ne pouvons plus considérer que le potentiel est identique dans le sens vertical quelle que soit la largeur de silicium. Les contours du potentiel sont arrondis.

Nous avons parlé des effets de coins localisés dans les deux coins supérieurs. En fait, ils peuvent exister aussi dans les deux coins inférieurs (Figure I-45) [30], [39]. Les lignes électriques venant des grilles traversent l'oxyde en bas et arrivent au film de silicium. Elles influencent le potentiel en bas du silicium. Cet effet s'appelle aussi l'effet du BOX. Cet effet a une influence similaire à l'effet de coin et il peut être limité en réduisant la largeur du Fin (W_{Si}).

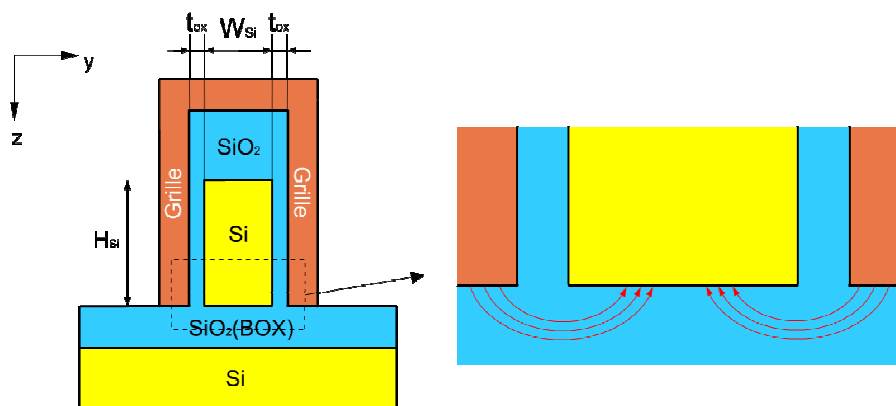


Figure I-45 Effet du BOX dans la direction Y-Z

Les effets de coin dont nous avons parlé précédemment dépendent aussi du dopage du silicium. Bien qu'il existe une influence de la pénétration du champ venant de la grille via l'oxyde au-dessus et au-dessous du silicium et qu'il en résulte un gradient du potentiel dans le sens vertical aux coins supérieurs et inférieurs, cette influence sera très réduite quand le dopage du silicium est très faible ou le silicium est intrinsèque [38].

L'effet du BOX peut aussi se produire dans la direction X-Z (Figure I-46). Les lignes électriques venant des source et drain traversent l'oxyde en bas et arrivent dans le silicium. Cet effet est appelé également DIVSB (Drain-Induced Virtual Substrate Biasing). Le potentiel dans le film de silicium notamment à côté du drain est augmenté par la polarisation du drain. Il est similaire au DIBL et résulte en une diminution de la tension de seuil [39]. Une couche

moins épaisse d'oxyde en bas du film de silicium qu'on appelle BOX est donc préférée afin de limiter la pénétration du champ électrique du drain traversant le BOX et arrivant au silicium (Figure I-46). L'augmentation du potentiel de l'interface Fin/BOX induit par le drain est donc diminuée. L'effet DIVSB est donc moins important [30].

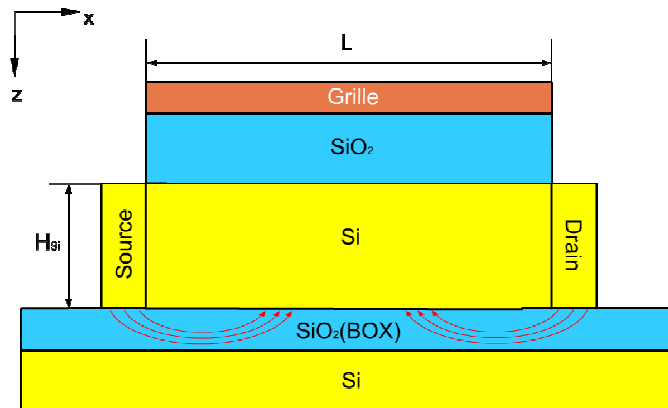


Figure I-46 Effet du BOX dans la direction X-Z

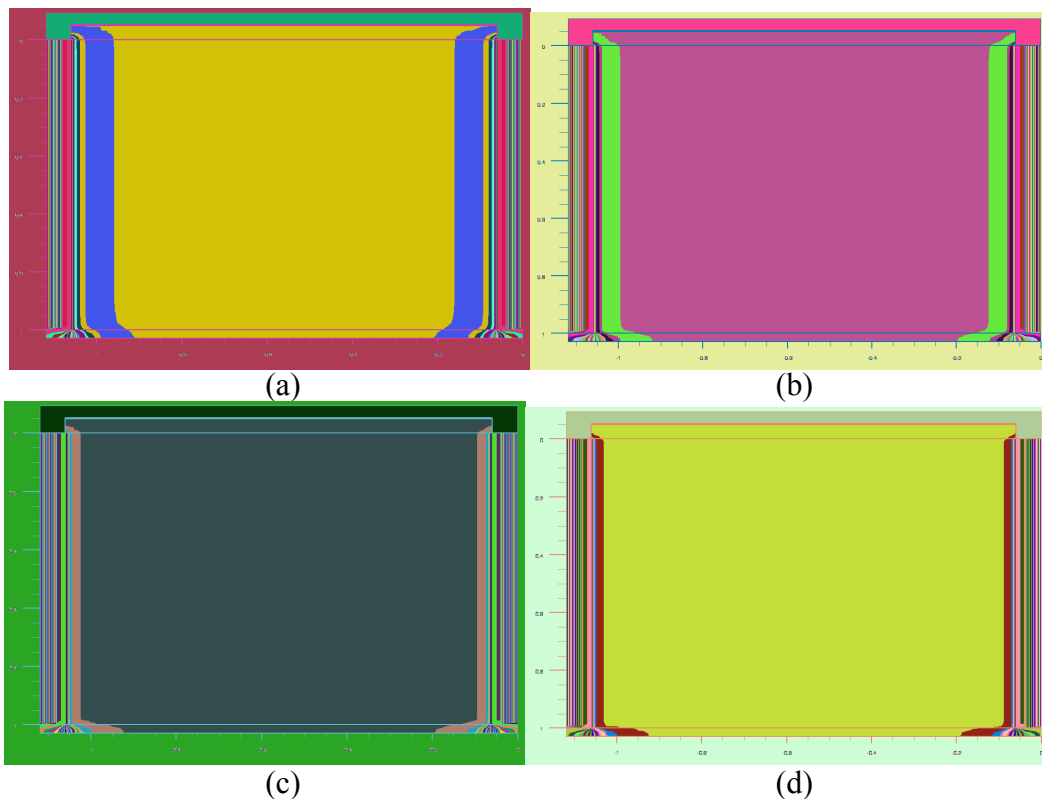


Figure I-47 Contour du potentiel dans l'oxyde et le silicium du FinFET avec $H_{Si}=1\mu\text{m}$, $L=1\mu\text{m}$ pour différentes épaisseurs – c'est-à-dire $W_{Si} =$ (a) 50 nm, (b) 20 nm, (c) 10 nm et (d) 5 nm.

Une solution permettant d'éliminer de manière satisfaisante l'effet DIVSB est d'augmenter la hauteur du silicium. D'après la Figure I-47, nous voyons que le contour du potentiel dans le sens vertical est quasi-identique quelle que soit la largeur du silicium. La

partie où le contour du potentiel est courbé est négligeable par rapport à la partie où le contour du potentiel est quasi-identique au sens vertical. Quand la hauteur du silicium est petite, i.e. $H_{Si}=20\text{nm}$, la pénétration du champ électrique induit par le drain via le BOX est très importante notamment pour une grande largeur de silicium, i.e. $W_{Si}=50\text{nm}$ (Figure I-48). Cependant, si la largeur du silicium est petite, la pénétration du champ du drain via le BOX est bien limitée (Figure I-48). C'est la raison pour laquelle nous n'avons pas eu besoin de considérer l'effet DIVSB dans notre travail de modélisation, car la largeur de silicium est inférieure à 10nm .

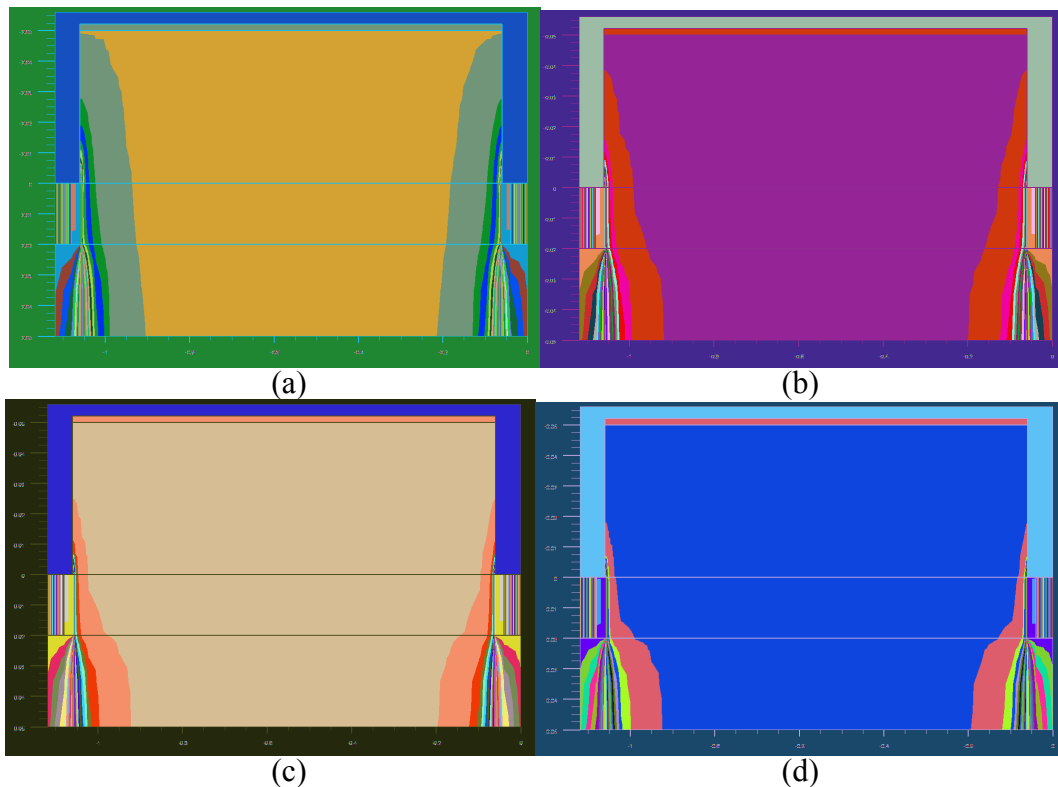


Figure I-48 Contour du potentiel dans l'oxyde et le silicium du FinFET avec $H_{Si}=20\text{nm}$, $L=1\mu\text{m}$ pour différentes largeurs W_{Si} = (a) 50 nm, (b) 20 nm, (c) 10 nm et (d) 5 nm.

I.2.4 Les effets de mécanique quantique

D'après la théorie du scaling, une petite largeur du Fin (W_{Si}) est espérée pour limiter le SCE et le DIBL ainsi que le DIVSB, mais en même temps les effets de mécanique quantique commencent à dominer [31]-[33].

Les Figure I-49 et Figure I-50 montrent les distributions des électrons dans le film de silicium suivant la direction de la largeur du Fin. L'abscisse est normalisée par rapport à la largeur du Fin. Pour les simulations classiques, la densité des électrons est uniforme en

régime de faible inversion et a deux pics aux interfaces Si-SiO₂ en régime de forte inversion. Mais dans les cas quantiques, les électrons sont déviés de l'interface Si-SiO₂ vers le centre du Fin quel que soit le régime d'inversion (faible ou forte). Pour une largeur plus importante, e.g. W_{Si}=10nm, nous trouvons deux pics proches des interfaces Si-SiO₂ ; pour une largeur moins importante, e.g. W_{Si}=3nm, nous n'avons qu'un seul pic au centre du silicium. Ce phénomène peut être expliqué en regardant le diagramme de bande d'énergie en Figure I-51.

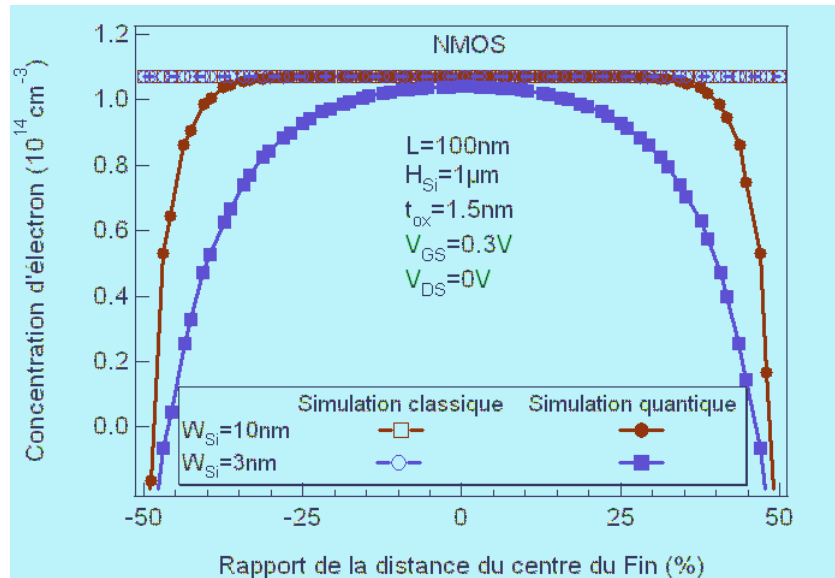


Figure I-49 Comparaison de la distribution classique et quantique des électrons dans le film de silicium pour la faible inversion. L'abscisse est normalisée par rapport à la largeur du Fin

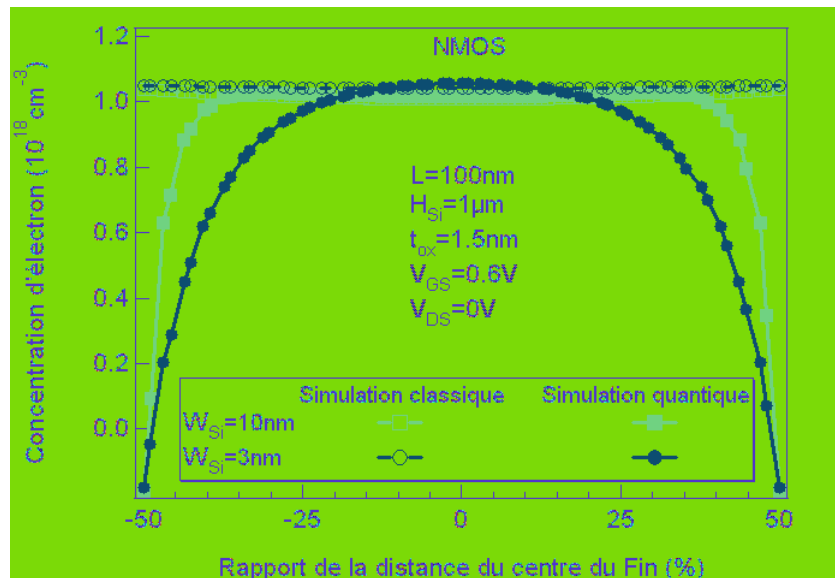


Figure I-50 Comparaison de la distribution classique et quantique des électrons dans le film de silicium pour la forte inversion. L'abscisse est normalisée par rapport à la largeur du Fin

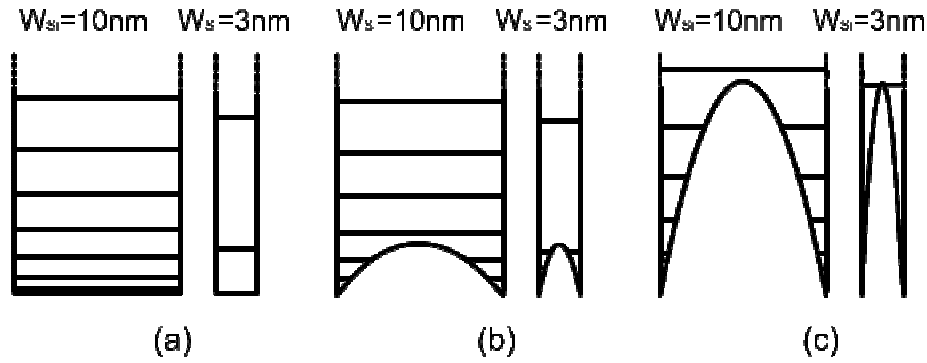


Figure I-51 Diagramme des sous-bandes quantiques d'énergie pour deux petites largeurs du silicium ($W_{Si}=10$ & $3nm$) pour (a) bande plate, (b) faible inversion et (c) forte inversion

En raison des QME, la bande de conduction est quantifiée (Figure I-51). Afin de calculer les niveaux des sous-bandes quantiques, la formule ci-dessous est utilisée [40]:

$$E_{mn} \cong \frac{\hbar^2 \cdot \pi^2}{2 \cdot U_T} \cdot \left[\left(\frac{m}{m_z \cdot W_{Si}} \right)^2 + \left(\frac{n}{m_y \cdot H_{Si}} \right)^2 \right] \quad (1.1)$$

où \hbar est la constante réduite de Planck, m_z et m_y sont les masses effectives des électrons suivant les direction z et y , m et n sont les nombres quantiques et $U_T (=k \cdot T/e)$ est la tension thermodynamique. Intéressons nous tout d'abord à un FinFET avec une hauteur très importante ($H_{Si}=1\mu m$). Ainsi le deuxième terme dans le crochet du (1.1) devient négligeable par rapport au premier, et (1.1) peut se simplifier :

$$E_m \cong \frac{\hbar^2 \cdot \pi^2}{2 \cdot U_T} \cdot \left(\frac{m}{m_z \cdot W_{Si}} \right)^2 \quad (1.2)$$

D'après (1.2), le diagramme des sous-bandes quantiques correspond à la Figure I-51(a). Quand la grille est polarisée, le bas de la bande de conduction se courbe et croise les sous-bandes quantiques. Avec la même polarisation de la grille, pour un FinFET plus large (e.g. $W_{Si}=10nm$), le bas de la bande de conduction croise plus de sous-bandes quantiques que pour un FinFET moins large (e.g. $W_{Si}=3nm$), donc plus d'intersections ont lieu (Figure I-51(b) et (c)). Les intersections se trouvent proches de l'interface de Si-SiO₂. Par contre, pour un FinFET plus fin, elles se trouvent vers le centre du silicium. Les électrons se trouvent à ces intersections. C'est pour cette raison que nous trouvons deux pics pour $W_{Si}=10nm$ et un pour $W_{Si}=3nm$ dans les Figure I-49 et Figure I-50. La déviation des pics, des interfaces Si-SiO₂, cause une augmentation de tension de seuil ainsi qu'une réduction de la capacité d'oxyde de grille (C_{ox}). Cela réduit alors le courant de saturation (I_{DSAT}) et donc également le courant I_{on} .

I.2.5 Underlap - Overlap

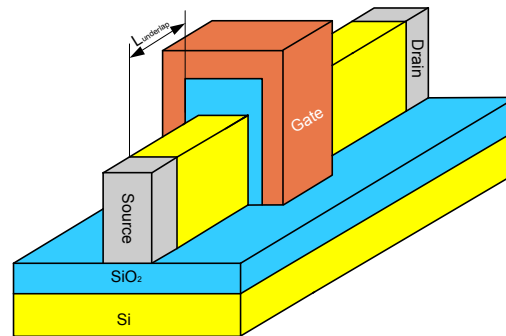


Figure I-52 Structure d'un FinFET avec la région « underlap »

L'*underlap* (non-recouvrement) a été introduit pour faciliter le scaling du MOSFET Bulk pour des longueurs de grille inférieures à 20nm [40]. Il est aussi utilisé dans la technologie FinFET [41]. Comme montré en Figure I-52, les parties du silicium non couvertes par la grille correspondent à l'*underlap*. L'inconvénient de la technologie d'*underlap* est qu'elle augmente la longueur du dispositif. La densité d'intégration est donc diminuée.

En technologie MOSFET Bulk, le silicium est très fortement dopé pour réduire les effets SCE et DIBL. Par contre, le champ latéral devient très important ce qui cause plus de collisions entre les électrons et les atomes, donc une faible mobilité et un courant de substrat plus important. L'*underlap* sert à affaiblir le champ latéral (de manière comparable aux zones LDD) et à supprimer la capacité d'*overlap* et donc réduire les retards (et permettre au circuit de fonctionner plus rapidement). De plus, l'*underlap* atténue l'influence du SCE et du DIBL. Mais par contre, le courant de l'état « on » sera diminué par une augmentation de la résistance série. Un compromis doit donc être trouvé selon les différentes applications.

Dans la technologie FinFET, le silicium reste intrinsèque ou très faiblement dopé donc le champ latéral est très faible. L'*underlap* n'a plus d'intérêt en ce qui concerne la réduction du champ latéral, mais il réduit le retard en supprimant la capacité d'*overlap*. Dans le régime de faible inversion, la longueur du canal est étendue dans les régions de l'*underlap*, donc les SCE et le DIBL sont naturellement réduits [41]. L'extension de la longueur du canal est proportionnelle à la longueur de Debye ($1/\sqrt{n}$). En forte inversion, la longueur du canal est égale à la longueur de grille (L_g). L'inconvénient de la technologie d'*underlap* est qu'elle introduit une résistance d'accès très importante et réduit le courant de l'état « on ». Cette résistance n'est pas linéaire mais dépend de la polarisation de drain. Ainsi, comme dans le cas

du MOSFET–bulk, il est nécessaire de trouver un compromis entre le courant à l'état « on » et la vitesse de circuit.

I.2.6 Extension de la technologie FinFET – Bulk

FinFET

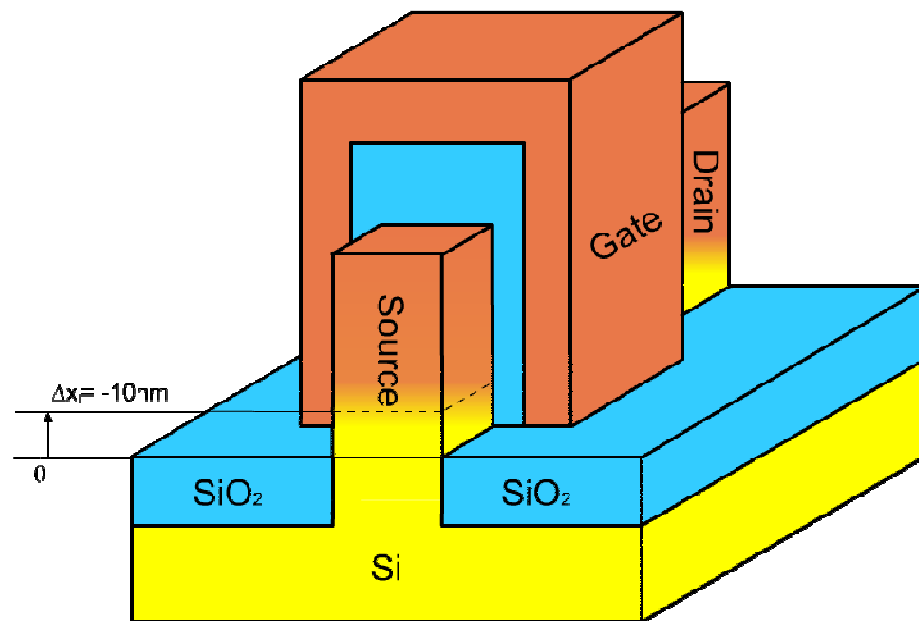


Figure I-53 Structure d'un Body-Tied FinFET

Le FinFET est réalisé sur un wafer SOI et hérite donc de l'inconvénient associé, à savoir une faible conductivité thermique due à la couche d'oxyde au-dessous du film de silicium. Pour remédier à ce problème, le Bulk (Body-Tied) FinFET utilise le wafer de silicium comme base de fabrication au lieu du wafer SOI. Cela réduit aussi le coût de production.

Le premier Bulk FinFET a été publié dans [42] pour un type-n et [43] pour un type-p. Le wafer de silicium est gravé en laissant une tranche de film de silicium qui sert de corps du transistor (Figure I-53). Le silicium est donc relié directement avec le substrat. La chaleur peut ainsi s'évacuer via le bas du film de silicium.

En Figure I-54 des comparaisons de performances sont faites au travers de la caractéristique I_D vs. V_{GS} , entre un SOI- et Bulk- FinFET [44] de mêmes dimensions ($L_g=50\text{nm}$, $W_{fin}=16\text{nm}$, $t_{ox}=2\text{nm}$) sous la même polarisation de drain ($V_{DS}=1,2\text{V}$). Pour le Bulk FinFET, les source/drain sont réalisés par un dopage vertical très fort du type contraire au canal. La profondeur des source/drain est plus petite que celle des 2 grilles verticales d'une hauteur Δx_j (cf. Figure I-53). Deux types de dopages du 'body' sont comparés. Un grand dopage augmente la tension de seuil (V_{th}). Pour le même dopage, V_{th} et I_{off} pour un Bulk

FinFET sont légèrement plus grands que pour un SOI FinFET. Mais la pente sous le seuil reste la même. Un autre aspect important pour caractériser la performance concerne le DIBL. Pour un dopage donné, le DIBL est plus faible pour le Bulk FinFET que pour le SOI FinFET (Figure I-55). Dans le régime de saturation (Figure I-56), le SOI FinFET a un courant plus important que le Bulk FinFET et il est moins sensible au dopage de silicium. Pour un même faible dopage du silicium, les SOI- et Bulk- FinFET ont quasiment le même courant.

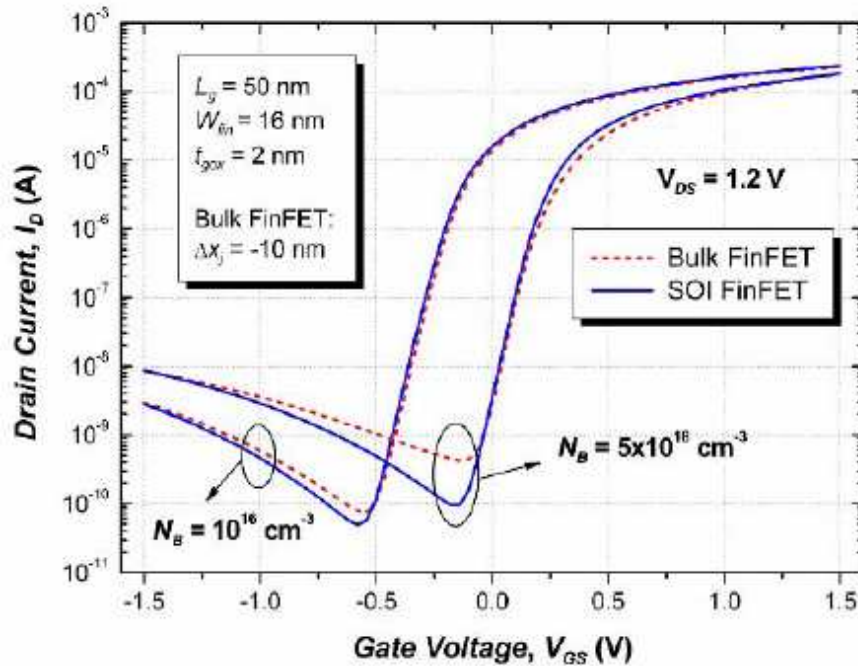


Figure I-54 Comparaison des caractéristiques de transfert des SOI et bulk FinFET avec $\Delta x_j = -10 \text{ nm}$ pour les deux différents dopages du body à $V_{DS} = 1,2 \text{ V}$ [44].

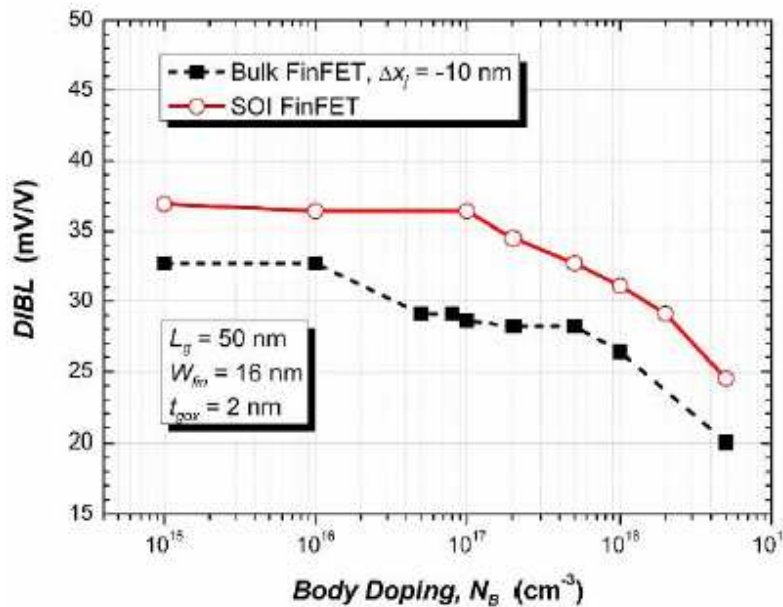


Figure I-55 Le DIBL en fonction du dopage du Fin pour SOI et Bulk FinFET avec $\Delta x_j = -10 \text{ nm}$ [44].

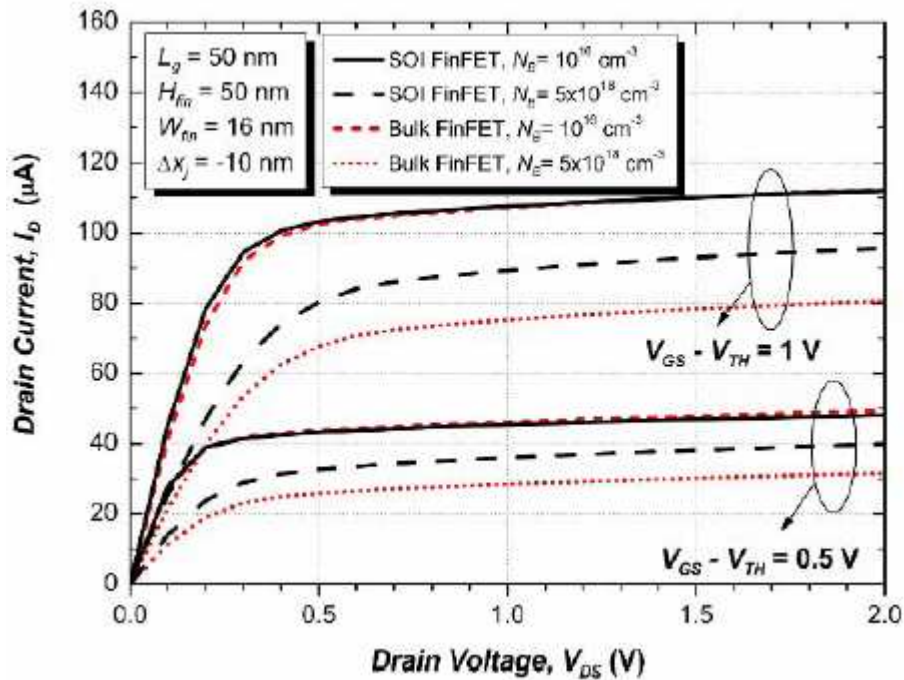


Figure I-56 Comparaison des caractéristiques de sortie des SOI et Bulk FinFET avec $\Delta x_j = -10 \text{ nm}$ pour les deux différents dopages du corps [44].

Conclusion

En comparant le FinFET avec les autres dispositifs et notamment les principales technologies multiple-grille, nous voyons que le FinFET renforce le contrôle du canal par rapport au MOSFET bulk et au MOSFET SOI simple grille, mais moins bien que le Triple-Grille et le GAA MOSFET. Par contre, il est plus facile à fabriquer que les autres transistors multiple-grille, et a une compatibilité de fabrication par rapport au MOSFET Bulk meilleure que les autres. La largeur du Fin (W_{Si}) est le paramètre très important dans le comportement électrique du FinFET. Il est responsable de la « réduction d'échelle » du FinFET.

La structure 3D du FinFET introduit de nouveaux effets indésirables comme l'effet de coins qui peut être bien éliminé par un dopage très faible du silicium ou un silicium intrinsèque. L'exigence d'une petite largeur du Fin (pour obtenir les meilleures performances du FinFET) entraîne l'apparition des effets quantiques non négligeables, et qui doivent être absolument considérés dans tout modèle compact du FinFET, de par leur importance sur les performances du transistor.

Certaines idées de modifications de la structure de FinFET ont été montrées, e.g., l'underlap et Bulk FinFET, ce qui rend cette technologie encore plus intéressante.

Références

- [1] T.-C. Chen, "Where CMOS is Going: Trendy Hype vs. Real Technology," IEEE International Solid-State Circuits Conference, San Francisco, U.S., Sep. 6-9, 2006
- [2] C. Lallement, "Modélisation du transistor MOSFET pour la conception de circuits & technologies fortement submicroniques," cours de MASTER 2 Sciences, Mention S.P.I, Spécialité Micro-Nano-Electronique, Strasbourg, France.
- [3] N. Arora, "Mosfet Modeling for VLSI Simulation: Theory and Practice," ISBN-13 978-981-256-862-5.
- [4] Y. Cheng and C. Hu, "MOSFET Modeling and BSIM3 User's Guide", 2002, KLUWER ACADEMIC PUBLISHERS, Print ISBN: 0-792-38575-6.
- [5] J.-C. Guo, "Halo and LDD Engineering for Multiple VTH High Performance Analog CMOS Devices," IEEE Transactions on Semiconductor Manufacturing, vol. 20, no. 3, Aug. 2007.
- [6] M. Koh, K. Iwamoto, W. Mizubayashi, H. Murakami, T. Ono, M. Tsuno, T. Mihara, K. Shibahara, S. Yokoyama, S. Miyazaki, M. M. Miura and M. Hirose, "Threshold voltage fluctuation induced by direct tunnel leakage current through 1.2-2.8 nm thick gate oxides for scaled MOSFETs," Proc. IEEE Electron Devices Meeting, pp. 919-922, San Francisco, CA, 1998.
- [7] J. Gautier, "MOS 'Ultime'," Action Spécifique CNRS n°205, SOC NT: Les nouvelles technologies dans l'environnement SOC, Paris, France, Jan. 23, 2004.
- [8] J. P. Colinge, "Reduction of floating substrate effect in thin film SOI MOSFETs," IEEE Electronics Letters, vol.22, no.4, pp 187-188, Feb. 13, 1986.
- [9] E. Pop and K. E. Goodson , "Thermal phenomena in nanoscale transistors," Thermal and Thermomechanical Phenomena in Electronic Systems, 2004. IThERM '04. The Ninth Intersociety Conference on, June 2004.
- [10] G. K. Celler and S. Cristoloveanu, "Frontiers of silicon-on-insulator," Journal of Applied Physics, vol. 93, no. 9, May 2003.
- [11] T. Ernst, S. Cristoloveanu, "Buried oxide fringing capacité: a new physical model and its implication on SOI device scaling and architecture", IEEE International SOI Conference, Oct. 1999.

- [12] V. P. Trivedi and J. G. Fossum, "Scaling Fully Depleted SOI CMOS," *IEEE Transactions on Electron Devices*, vol. 50, no. 10, pp 2095-2103, Oct. 2003
- [13] T. K. Chiang, "A new scaling theory for fully-depleted SOI double-gate MOSFET's: including effective conducting path effect (ECPE)," *Solid-State Electronics*, vol. 49, no. 3, pp 317-322, Mar. 2005.
- [14] H. Liu, Z. Xiong, J. K. O. Sin, P. Xuan and J. Bokor, "A high performance Double-Gate SOI MOSFET using lateral solid phase epitaxy," *IEEE International SOI Conference*, Oct. 2002.
- [15] X. Lin, C. Feng, S. Zhang, W. – H. Ho and M. Chan, "Double-Gate SOI MOSFET fabrication from bulk silicon wafer," *IEEE International SOI Conference*, Oct. 2002.
- [16] M. Vinet, T. Poiroux, J. Widiez, J. Lolivier, B. Previtali, C. Vizioz, B. Guillaumot, Y. Le Tiec, P. Besson, B. Biasse, F. Allain, M. Cassé, D. Lafond, J.-M. Hartmann, Y. Morand, J. Chiaroni and S. Deleonibus, "Bonded planar double-metal-gate NMOS transistors down to 10nm," *IEEE Transactions on Electron Devices*, vol. 26, no. 5, pp. 317-319, 2005.
- [17] S. Zhang, X. Lin, R. Huang, R. Han and M. Chan, "A self-aligned, electrically separable double-gate MOS transistor technology for dynamic threshold voltage application," *IEEE Transactions on Electron Devices*, vol. 50, no. 11, pp. 2297-2300, 2003.
- [18] F. Allibert, A. Zaslavsky, J. Pretet and S. Cristoloveanu, "Double-Gate MOSFETs: Is Gate Alignment Mandatory?", in *Proc. of the 31st European Solid-State Device Research Conference*, pp 267-270, Sep. 11-13, 2001.
- [19] D. Hisamoto, T. Kaga, Y. Kawamoto and E. Takeda, "A fully depleted lean-channel transistor (DELTA)-a novel vertical ultra thin SOI MOSFET," *Technological Digest. IEEE International Electron Devices Meeting*, pp. 833-836, Washington, 1989.
- [20] J. Kedzierski, M. Jeong, T. Kanarsky, Y. Zhang, H.-S. Philip Wong, "Fabrication of Metal Gated FinFETs Through Complete Gate Silicidation With Ni," *IEEE IEEE Transactions on Electron Devices*, vol. 51, no. 12, pp 2115-2120, Dec. 2004.
- [21] Y. Liu, M. Masahara, K. Ishii, T. Sekigawa, H. Takashima, H. Yamauchi and E. Suzuki, "A Highly Threshold Voltage-Controllable 4T FinFET with an 8.5-nm-Thick Si-Fin Channel," *IEEE Electron Device Letters*, vol. 25, no. 7, pp 510-512, Jul. 2004.

- [22] J. Kretz , L. Dreeskornfeld, J. Hartwich and W. Rosner, "20 nm electron beam lithography and reactive ion etching for the fabrication of double gate FinFET devices," *Microelectronic Engineering*, vol. 67–68, pp 763–768, Jun. 2003.
- [23] L. Chang, Y.-K. Choi, D. Ha, P. Ranade, S. Xiong, J. Bokor, C. Hu and T.-J. King, "Extremely Scaled Silicon Nano-CMOS Devices," *Proc. of the IEEE*, vol.91, no.11, Nov. 2003.
- [24] R.-H. Yan, A. Ourmazd and K.F. Lee, "Scaling the Si MOSFET: from bulk to SOI to bulk," *IEEE Transactions on Electron Devices*, vol.39, no.7, pp 1704-1710, Jul. 1992.
- [25] K. Suzuki, T. Tanaka, Y. Tosaka, H. Horie and Y. Arimoto, "Scaling theory for double-gate SOI MOSFET's," *IEEE Transactions on Electron Devices*, vol.40, no.12, pp 2326-2329, Dec. 1993.
- [26] J.-P. Colinge, "Multiple-gate SOI MOSFETs," *Solid-State Electronics*, vol. 48, no. 6, pp 897-905, Jun. 2004.
- [27] C. P. Auth and J. D. Plummer, "Scaling theory for cylindrical, fully-depleted, surrounding-gate MOSFET's," *IEEE Electron Device Letters*, vol. 18, no. 2, pp 74-76, Feb 1997.
- [28] J. Saint-Martin, A. Bournel and P. Dollfus, "Comparison of multiple-gate MOSFET architectures using Monte Carlo simulation," *Solid-State Electronics*, vol. 50, no. 1, pp 94-101, Jan. 2006.
- [29] D. Hisamoto, T. Kaga, Y. Kawamoto and E. Takeda, "*A fully depleted lean-channel transistor (DELTA)-a novel vertical ultra thin SOI MOSFET*," *Technological Digest. IEEE International Electron Devices Meeting*, pp. 833-836, Washington, 1989.
- [30] V.P. Trivedi and J.G. Fossum, "Nanoscale FD/SOI CMOS: Thick or Thin BOX?" *IEEE Transactions on Electron Devices*, vol.26, no.1, pp 26-28, Jan. 2005.
- [31] G. Baccarani and S. Reggiani, "A Compact Double-Gate MOSFET Model Comprising Quantum-Mechanical and Nonstatic Effects," *IEEE Transactions on Electron Devices*, vol.46, no.8, pp 1656-1666, Aug. 1999.
- [32] L. Ge and J.G. Fossum, "Analytical Modeling of Quantization and Volume Inversion in Thin Si-Film DG MOSFETs," *IEEE Transactions on Electron Devices*, vol.49, no.2, pp 287-294, Feb. 2002.

- [33] V.P. Trivedi and J.G. Fossum, "Quantum-Mechanical Effects on the Threshold Voltage of Undoped Double-Gate MOSFETs," *IEEE Electron Device Letters*, vol.26, no.8, pp 579-582, Aug. 2005.
- [34] J. Kedzierski, D.M. Fried, E.J. Nowak, T. Kanarsky, J.H. Rankin, H. Hanafi, W. Natzle, D. Boyd, Y. Zhang, C. Yu, Q. Yang, P. Saunders, C.P. Willets, A.R. Johnson, S.P. Cole, H.E. Young, N. Carpenter, D. Rakowski, B.A. Rainey, P.E. Cottrell, M. Jeong and H.-S. Philip Wong, "High-performance symmetric-gate and CMOS-compatible V_t asymmetric-gate FinFET devices," *Technological Digest. IEEE International Electron Devices Meeting (IEDM)*, pp 19.5.1-19.5.4, Washington, DC, USA, 2001.
- [35] M. Stadele, R.J. Luyken, M. Roosz, M. Specht, W. Rosner, L. Dreeskornfeld, J. Hartwich, F. Hofmann, J. Kretz, E. Landgraf and L. Risch, "A comprehensive study of corner effects in tri-gate transistors," *Proc. Solid-State Device Research Conference (ESSDERC)*, pp 165-168, Leuven, Belgium, Sep. 2004.
- [36] W. Xiong, J.W. Park and J.P. Colinge, "Corner effect in multiple-gate SOI MOSFETs," *Proc. IEEE International SOI Conference*, Newport Beach, California, USA, pp 111-113, Sept. 2003.
- [37] C.-W. Lee, S.-R.-N. Yun, C.-G. Yu, J.-T. Park and J.-P. Colinge, "Device design guidelines for nano-scale MuGFETs," *Solid-State Electronics*, vol.51, no.3, pp 505-510, Mar. 2007.
- [38] J.G. Fossum, J.-W. Yang and V.P. Trivedi, "Suppression of Corner Effects in Triple-Gate MOSFETs," *IEEE Electron Device Letters*, vol.24, no.12, pp 745-747, Dec. 2003.
- [39] T. Ernst, R. Ritzenthaler, O. Faynot and S. Cristoloveanu, "A Model of Fringing Fields in Short-Channel Planar and Triple-Gate SOI MOSFETs," *IEEE Transactions on Electron Devices*, vol.54, no.6, pp 1366-1375, June 2007.
- [40] R. Gusmeroli, A.S. Spinelli, A. Pirovano, A.L. Lacaita, F. Boeuf and T. Skotnicki, "2D QM simulation and optimization of decanano non-overlapped MOS devices," *Technological Digest. IEEE International Electron Devices Meeting (IEDM)*, pp 9.1.1-9.1.4, Washington, DC, USA, Dec. 2003.

- [41] J.G. Fossum, M.M. Chowdhury, V.P. Trivedi, T.-J. King, Y.-K. Choi, J. An and B. Yu, "Physical Insights on Design and Modeling of Nanoscale FinFETs," Technological Digest. IEEE International Electron Devices Meeting (IEDM), pp 29.1.1-29.1.4, Washington, DC, USA, Dec. 2003.
- [42] T. Park, S. Choi, D.H. Lee, J.R. Yoo, B.C. Lee, J.Y. Kim, C.G. Lee, K.K. Chi, S.H. Hong, S.J. Hynn, Y.G. Shin, J.N. Han, I.S. Park, U.I. Chung, J.T. Moon, E. Yoon and J.H. Lee, "Fabrication of body-tied FinFETs (Omega MOSFETs) using bulk Si wafers," Symposium on VLSI Technology Digest of Technical Papers, pp 135-136, June 2003.
- [43] T. Park, D. Park, J.H. Chung, E.J. Yoon, S.M. Kim, H.J. Cho, J.D. Choe, J.H. Choi, B.M. Yoon, J.J. Han, B.H. Kim, S. Choi, K. Kim, E. Yoon and J.H. Lee, "PMOS Body-Tied FinFET (Omega MOSFET) Characteristics," Device Research Conference (DRC), pp 33-34, June 2003.
- [44] M. Poljak, V. Jovanovic and T. Suligoj, "SOI vs. bulk FinFET: Body doping and corner effects influence on device characteristics," Proc. IEEE Mediterranean Electrotechnical Conference, pp 425-430, May 2008.

Chapitre II

Modélisation compacte du transistor

FinFET

Sommaire du Chapitre II

| | | |
|-------------|---|-----------|
| II.1 | INTRODUCTION..... | 59 |
| II.2 | ÉTAT DE L'ART..... | 60 |
| II.2.1 | Modèle de Yuan Taur..... | 60 |
| II.2.2 | Modèle PSP FinFET..... | 62 |
| II.2.3 | Modèle de Benjamin Iñiguez..... | 65 |
| II.2.4 | Modèle de Tor A. Fjeldly..... | 67 |
| II.2.5 | Synthèse des principaux modèles existants..... | 70 |
| II.3 | L'OUTIL DE SIMULATION – TCAD..... | 71 |
| II.3.1 | Généralités..... | 72 |
| II.3.2 | Simulation quantique..... | 75 |
| II.3.2.1 | Self-Consistent Coupled Schrödinger Poisson..... | 75 |
| II.3.2.2 | Quantum Moments..... | 76 |
| II.3.2.3 | Bohm Quantum Potential (BQP)..... | 77 |
| II.3.2.4 | Quantum correction..... | 78 |
| II.3.3 | Simulation quantique d'un FinFET de type-p..... | 79 |
| II.3.4 | Paramétrisation du script de la simulation numérique..... | 79 |
| II.4 | TRAVAUX PRECEDENTS..... | 80 |
| II.4.1 | Bases du modèle de FinFET..... | 80 |
| II.4.2 | Modélisation des effets de petites géométries..... | 87 |
| II.4.2.1 | Pente sous le seuil..... | 91 |
| II.4.2.2 | Effets DIBL et Roll-Off..... | 91 |
| II.4.3 | Comparaison du modèle compact de DG MOSFET avec les simulations numériques des FinFETs..... | 93 |
| II.4.3.1 | Validation du modèle pour un FinFET à canal long..... | 94 |
| II.4.3.2 | Validation du modèle pour un FinFET canal court..... | 96 |
| | Conclusion..... | 100 |
| | Références..... | 100 |

II.1 Introduction

Dans ce chapitre, nous allons d'abord présenter l'état de l'art de la modélisation compacte du MOSFET double-grille et du FinFET. Il existe actuellement cinq modèles que nous pouvons qualifier d'intéressants. Ainsi, nous parlerons tout d'abord du modèle de l'équipe de Yuan Taur (II.2.1) ; c'est le premier modèle de MOSFET double-grille à avoir été présenté. Nous parlerons ensuite du modèle développé par l'équipe du modèle PSP(-bulk) qui a développé sa version FinFET (II.2.2). Le modèle du Pr. Benjamin Iniguez sera ensuite exposé. Le dernier modèle présenté dans ce court état de l'art sera celui du Pr. Tor A. Fjeldly, lequel a posé une idée complètement différente que les autres en résolvant l'équation de Poisson en faible inversion par une méthode mathématique – « conformal mapping » (II.2.4) ; les effets de canaux courts sont naturellement inclus dans ce modèle qui n'a besoin d'aucune correction. Mais ce modèle ne décrit que le comportement en faible inversion.

Ensuite, nous allons introduire notre environnement de simulation numérique qui nous servira à la validation de notre modèle (II.3). Le modèle explicite développé sera validé par les simulations 3D sous un outil TCAD – Silvaco. La validation du modèle doit être effectuée pour différentes dimensions. Nous avons donc développé une méthode de simulation automatique qui nous permet de générer le script de simulation et de lancer les simulations d'une manière automatique. De plus, les simulations sont faites dans deux cas : classique et quantique respectivement. Le choix du modèle quantique utilisé dans l'outil TCAD sera expliqué au paragraphe II.3.2.

Finalement, nous rappellerons nos travaux précédents qui nous ont permis d'aboutir à la modélisation d'un FinFET en 3D (II.4). La base de notre modèle est un modèle de MOSFET double-grille développé par J.-M. Sallese et al. Ensuite, en collaboration avec cette équipe, un algorithme explicite a été développé pour résoudre l'expression implicite. Dans la thèse de Birahim Diagne (ancien doctorant dans notre équipe), les premières corrections dues aux effets canaux courts ont été incluses ; mais avec ces corrections, le modèle explicite n'était valide que pour un MOSFET double-grille de longueur supérieure à 60 nm et le modèle n'était pas complet (validé seulement sur les caractéristiques statique de type I_D - V_{DS}), ce qui a motivé le démarrage de ce travail de thèse.

II.2 État de l'art

D'après la Figure I-37(b), la section horizontale d'un FinFET est similaire à un DG MOSFET. Un FinFET peut être considéré comme un DG MOSFET avec des canaux verticaux. Cependant, les effets liés à la structure 3D doivent être pris en compte. On peut malgré tout les négliger si le FinFET a une hauteur très grande (supérieure à 50nm, c.f. III.1.7), dans ce cas, il peut alors être considéré comme un DG MOSFET. Le modèle compact du FinFET peut donc être établi sur le modèle du DG MOSFET en ajoutant éventuellement les corrections dues aux effets de la structure 3D. Avant d'exposer en détail notre modèle compact du FinFET, il est important de parler des principaux autres modèles compacts existants. Certains aspects de ces modèles ont été utilisés dans notre modèle.

II.2.1 Modèle de Yuan Taur

Le premier modèle du DG MOSFET était proposé par Yuan Taur pour les transistors non-dopés, en 2000 [1]. Ensuite, par une série de travaux, lui et son équipe ont développé un modèle complet [2]-[5].

La définition de l'orientation (x-y) utilisée est montrée à la Figure II-1.

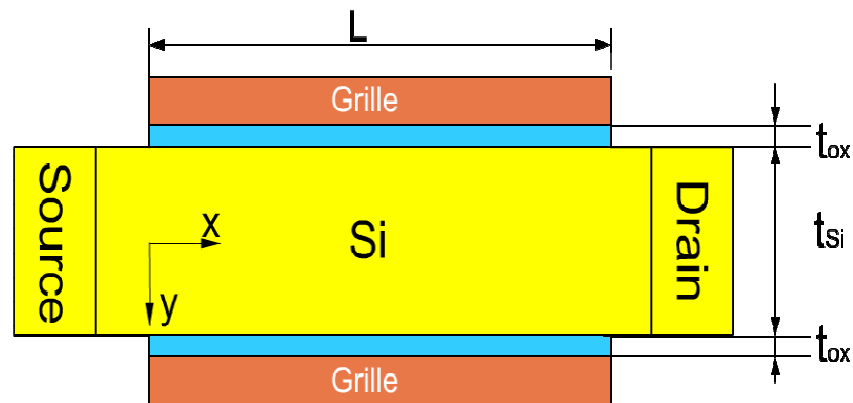


Figure II-1 Structure d'un DG MOSFET

Il résout l'équation de Poisson en 1-D dans le cas d'un transistor à canal long et de type-n, donc avec une densité de trous négligeable :

$$\frac{d^2\psi}{dy^2} = \frac{e}{\epsilon_{si}} n_i e^{e(\psi-V)/kT} \quad (2.1)$$

où V est le potentiel de quasi-Fermi. Celui-ci est supposé constant dans la direction-y.

Après deux intégrations, et avec la condition aux limites $d\psi/dy|_{y=0} = 0$, il trouve:

$$\psi(y) = V - \frac{2 \cdot k \cdot T}{e} \cdot \ln \left[\frac{t_{Si}}{2 \cdot \beta} \cdot \sqrt{\frac{e^2 \cdot n_i}{2 \cdot \epsilon_{si} \cdot k \cdot T}} \cdot \cos \left(\frac{2 \cdot \beta \cdot y}{t_{Si}} \right) \right] \quad (2.2)$$

où $0 \leq y \leq t_{Si}/2$ et $\beta(x)$ est une constante (dans la direction-y) à déterminer par la condition aux limites :

$$\epsilon_{ox} \cdot \frac{V_g - \Delta\phi - \psi \left(y = \pm \frac{t_{Si}}{2} \right)}{t_{ox}} = \pm \epsilon_{si} \cdot \frac{d\psi}{dy} \Big|_{y=\pm \frac{t_{Si}}{2}} \quad (2.3)$$

En remplaçant (2.2) dans (2.3), nous avons

$$\frac{e \cdot (V_g - \Delta\phi - V)}{2 \cdot k \cdot T} - \ln \left(\frac{2}{t_{Si}} \cdot \sqrt{\frac{2 \cdot \epsilon_{si} \cdot k \cdot T}{e^2 \cdot n_i}} \right) = f_r(\beta) \quad (2.4)$$

$$\text{où } \begin{cases} f_r(\beta) = \ln \beta - \ln(\cos \beta) + \frac{2}{\alpha} \cdot \beta \cdot \tan \beta \\ \alpha = C_{ox}/C_{si} \end{cases}$$

Le courant de drain est calculé par l'intégrale de Pao-Sah [6] :

$$I_{ds} = \mu \cdot \frac{W}{L} \cdot \int_0^{V_{ds}} Q_i(V) \cdot dV = \mu \cdot \frac{W}{L} \cdot \int_{\beta_s}^{\beta_d} Q_i(V) \cdot \frac{dV}{d\beta} \cdot d\beta \quad (2.5)$$

où W est la largeur du DG MOSFET.

En utilisant la loi de Gauss [7] et (2.2), nous pouvons dire :

$$Q_i = 2 \cdot \epsilon_{si} \cdot \frac{2 \cdot k \cdot T}{e} \cdot \frac{2 \cdot \beta}{t_{Si}} \cdot \tan \beta \quad (2.6)$$

Remplaçant $\frac{dV}{d\beta}$ par la différentiation de (2.4) et Q_i par (2.6) dans (2.5), Taur obtient

l'expression suivante du courant de drain :

$$I_{ds} = \mu \cdot \frac{W}{L} \cdot \frac{4 \cdot \epsilon_{si}}{t_{Si}} \cdot \left(\frac{2 \cdot k \cdot T}{e} \right)^2 \cdot (g_r(\beta_s) - g_r(\beta_d)) \quad (2.7)$$

où $g_r(\beta) = \beta \cdot \tan \beta - \frac{\beta^2}{2} + \frac{\beta^2}{\alpha} \cdot \tan^2 \beta$. Afin de calculer le courant de drain, β_s et β_d sont indispensables. Ces deux variables intermédiaires sont calculées par (2.4) en remplaçant V par V_s et V_d pour β_s et β_d respectivement par la méthode de Newton-Raphson.

A partir de l'expression du courant de drain, le comportement dynamique (g_m , g_{ds} , C_{ij} pour $i, j = g, d, s$) est pris en compte en 2006 [3].

Après une redéfinition du potentiel électrostatique dans le canal en incluant l'influence des source et drain, les effets canaux courts (SCEs) sont inclus physiquement [8] et cette version du modèle est alors validé pour une longueur et une largeur du canal minimum de 24nm et 5nm respectivement. Mais pour une largeur si petite ($t_{si} \ll 20nm$), les effets quantiques devraient être considérés mais ils ne sont pas encore pris en compte dans le modèle de Taur.

Cependant, la résolution de β_s et β_d n'est pas explicite, de plus les SCEs sont inclus d'une manière implicite. Cela freine l'utilisation de cette version du modèle de Taur dans les simulations de circuits où il est préférable de disposer d'un modèle explicite, ce qui veut dire rapide en temps de simulation, plus robuste numériquement et permettant aux concepteurs de faire des dimensionnements "à la main".

Etant donné l'inconvénient de l'expression implicite, l'équipe de Taur a développé un algorithme explicite [5]. Les paramètres β_s et β_d sont alors résolus explicitement et le modèle de Taur devient un modèle explicite qui convient à la simulation de circuit. Néanmoins, l'algorithme explicite est compliqué ce qui freine son utilisation dans le dimensionnement "à la main". De plus, il n'y a pas encore de résultats montrés sur un dispositif court inférieur à 70nm [9].

II.2.2 Modèle PSP FinFET

Afin d'éviter le problème du calcul implicite, le groupe du modèle PSP (MOSFET Bulk) a développé sa version de modèle pour le FinFET [10].

Le point de départ du modèle PSP FinFET est le même que le modèle de Taur sauf que certaines grandeurs sont normalisées ; les tensions sont normalisées par rapport à la tension thermique ($U_T = k \cdot T / e$) et les paramètres géométriques sont normalisés par rapport à la longueur de Debye ($L_D = \sqrt{(\epsilon_{si} U_T) / (2eN_A)}$).

L'équation de Poisson s'écrit, après la normalisation, comme :

$$\frac{d^2\psi}{dy^2} = \frac{\exp(\psi - v)}{2} \quad (2.8)$$

La solution de (2.8) est :

$$\psi(x, y) = v(x) - \ln \left[\frac{\cos^2 \left(\sqrt{\alpha(y)} \cdot y/2 \right)}{\alpha(y)} \right] \quad (2.9)$$

où $\alpha(y)$ ne dépend pas de x comme β dans le modèle de Taur et il doit être résolu par la condition aux limites :

$$c_{ox} (v_g - \psi_s(x)) = \psi'_s(x) \quad (2.10)$$

où $\psi_s(x)$ est le potentiel de surface ($=\psi(x, t_{Si}/2)$) et $\psi'_s(x)$ est le champ à la surface ($=\partial\psi/\partial y(x, t_{Si}/2)$).

L'expression du potentiel (2.9) diffère de (2.2) pour des raisons de normalisation comme dit précédemment.

La densité locale du courant est calculée en prenant en compte les phénomènes de conduction et de diffusion :

$$-\mu \cdot H_{Si} \cdot q \cdot \frac{dv}{dx} = -\mu \cdot H_{Si} \cdot \left(q \cdot \frac{d\psi}{dx} - \frac{dq}{dx} \right) \quad (2.11)$$

où H_{Si} est la hauteur du film de silicium qui est équivalente à la largeur du DG MOSFET.

Après intégration de (2.11) suivant la direction-y, l'expression suivante est obtenue :

$$I_{DS} = -\mu \cdot H_{Si} \cdot \int_{-t_{Si}/2}^{t_{Si}/2} q \cdot dy \cdot \frac{dv}{dx} = -\mu \cdot H_{Si} \cdot Q \cdot \frac{dv}{dx} = -\mu \cdot H_{Si} \cdot \left(\int_{-t_{Si}/2}^{t_{Si}/2} q \cdot \frac{d\psi}{dx} \cdot dy - \frac{dQ}{dx} \right) \quad (2.12)$$

Puis, après un arrangement de (2.12), nous avons :

$$\int_{-t_{Si}/2}^{t_{Si}/2} q \cdot \frac{d\psi}{dx} \cdot dy = Q \cdot \frac{dv}{dx} + \frac{dQ}{dx} = \tilde{Q} \cdot \frac{d\psi_s}{dx} \quad (2.13)$$

$$\text{avec } \begin{cases} \tilde{Q} = Q \cdot \left[1 + \frac{\gamma}{4} \cdot g(\theta) \right] \\ g(\theta) = \frac{\sin(2 \cdot \theta) - 2 \cdot \theta \cdot \cos(2 \cdot \theta)}{\theta \cdot \tan \theta \cdot [2 \cdot \theta + \sin(2 \cdot \theta)]} \\ \theta = \sqrt{\alpha(y)} \cdot t_{Si}/4 \end{cases}$$

Une approximation est faite : $g(\theta) \approx 0$, donc $\tilde{Q} \approx Q$. L'expression du courant de drain devient alors:

$$I_{DS} = -\mu \cdot H_{Si} \cdot \left(\bar{Q} \cdot \frac{d\psi_s}{dx} - \frac{dQ}{dx} \right) \approx -\mu \cdot H_{Si} \cdot \left(Q \cdot \frac{d\psi_s}{dx} - \frac{dQ}{dx} \right) \quad (2.14)$$

avec $2 \cdot C_{ox} \cdot (\psi_s - v_g) = Q$, (2.14) devient

$$I_{DS} \approx -\mu \cdot \frac{H_{Si}}{2 \cdot C_{ox}} \cdot \left(Q \cdot \frac{dQ}{dx} - 2 \cdot C_{ox} \cdot \frac{dQ}{dx} \right) \quad (2.15)$$

Après l'intégration de (2.15) de la source au drain, le courant de drain est finalement donné par :

$$I_{DS} \approx -\mu \cdot \frac{H_{Si}}{2 \cdot L \cdot C_{ox}} \cdot \bar{Q}^* \cdot \Delta Q^* \quad (2.16)$$

$$\text{où } \begin{cases} \bar{Q}^* = (Q_0^* + Q_L^*)/2 \\ \Delta Q^* = Q_L^* - Q_0^* \\ Q_{0,L}^* = Q_{0,L} - 2C_{ox} \end{cases} .$$

En comparant (2.15) et (2.16), on a une relation :

$$\frac{dx}{L} = \frac{Q^* \cdot dQ^*}{\bar{Q}^* \cdot \Delta Q^*} \quad (2.17)$$

A l'aide de (2.17), les expressions de Q_I , Q_S et Q_D peuvent être déduites:

$$-Q_G = Q_I = \bar{Q} - \eta \cdot \Delta Q^* / 6 \quad (2.18)$$

$$Q_D = [\bar{Q} - (\eta + \eta^2 / 5 - 1) \cdot \Delta Q^* / 6] / 2 \quad (2.19)$$

$$Q_S = [\bar{Q} - (\eta - \eta^2 / 5 + 1) \cdot \Delta Q^* / 6] / 2 \quad (2.20)$$

$$\text{avec } \eta = -\Delta Q^* / (2 \cdot \bar{Q}^*).$$

L'avantage de ce modèle *canal long* est l'expression explicite qui est souhaitée pour un modèle compact. L'intégration des effets de petites géométries dans le modèle du FinFET est similaire au modèle MOSFET-bulk (PSP) ; cela exige donc beaucoup de paramètres ce qui rend le modèle complexe et donc très difficile pour une utilisation "calcul à la main".

II.2.3 Modèle de Benjamin Iñiguez

Un autre modèle explicite est proposé par l'équipe de B. Iñiguez [11]. Le point de départ est le même que celui d'InESS-EPFL v0. [12] (voir II.4.1), c'est-à-dire, l'équation de Poisson en négligeant la densité de trous et en 1-D :

$$\frac{d^2\psi(y)}{dy^2} = \frac{d^2(\psi(y)-V)}{dy^2} = \frac{e}{\epsilon_{Si}} \cdot n_i \cdot \exp\left(\frac{e \cdot (\psi(y)-V)}{kT}\right) \quad (2.21)$$

(2.21) est résolue comme [12] mais sans normalisation :

$$\begin{aligned} (V_{GS} - \Delta\phi - V) + \frac{k \cdot T}{e} \cdot \ln\left(\frac{e \cdot n_i \cdot t_{Si}}{8 \cdot C_{ox} \cdot \frac{k \cdot T}{e}}\right) - \frac{k \cdot T}{e} \cdot \ln\left(\frac{C_{ox}}{C_{Si}}\right) \\ = \frac{Q}{2 \cdot C_{ox}} + \frac{k \cdot T}{e} \cdot \left(\ln\left(\frac{Q}{8 \cdot C_{ox} \cdot \frac{k \cdot T}{e}}\right) + \ln\left(\frac{C_{Si}}{C_{ox}} + \frac{Q}{8 \cdot C_{ox} \cdot \frac{k \cdot T}{e}}\right) \right) \end{aligned} \quad (2.22)$$

Le courant de drain est calculé comme [12] :

$$I_{DS} = \frac{\mu \cdot W}{L} \cdot \int_0^{V_{DS}} Q(V) \cdot dV \quad (2.23)$$

Après la dérivation de (2.22), ils obtiennent une relation (2.24) qui facilite l'intégration de (2.23) :

$$dV = -\frac{dQ}{2 \cdot C_{ox}} - \frac{k \cdot T}{e} \left(\frac{dQ}{Q} + \frac{dQ}{Q + 2Q_0} \right) \quad (2.24)$$

où $Q_0 = 4 \cdot (k \cdot T/e) \cdot C_{Si}$. Puis, après l'intégration de (2.23) en utilisant (2.24) de la source (où $Q = Q_S$) au drain ($Q = Q_D$), ils aboutissent à l'expression du courant de drain :

$$I_{DS} = \frac{\mu \cdot W}{L} \left[2 \cdot \frac{k \cdot T}{e} \cdot (Q_S - Q_D) + \frac{Q_S^2 - Q_D^2}{4 \cdot C_{ox}} + 8 \cdot \left(\frac{k \cdot T}{e}\right)^2 \cdot C_{Si} \cdot \ln\left(\frac{Q_D + 2Q_0}{Q_S + 2Q_0}\right) \right] \quad (2.25)$$

La résolution de (2.22) est similaire à [13], la solution de (2.22) est donc :

$$Q = 2 \cdot C_{ox} \cdot \left(-\frac{2 \cdot C_{ox} \cdot U_T^2}{Q_0} + \sqrt{\left(\frac{2 \cdot C_{ox} \cdot U_T^2}{Q_0}\right)^2 + 4 \cdot U_T^2 \cdot \ln^2 \left[1 + \exp\left(\frac{V_{GS} - V_{th} + \Delta V_{th} - V}{2 \cdot U_T}\right) \right]} \right) \quad (2.26)$$

$$\text{où } \left\{ \begin{array}{l} V_{th} = V_0 + 2 \cdot U_T \cdot \ln \left(1 + \frac{Q'}{2 \cdot Q_0} \right) \\ V_0 = \Delta\phi - U_T \cdot \ln \left(\frac{e \cdot n_i \cdot t_{Si}}{2 \cdot Q_0} \right) \\ \Delta V_{th} = \frac{\left(\frac{C_{ox} \cdot U_T^2}{Q_0} \right) \cdot Q'}{Q_0 + \frac{Q'}{2}} \\ Q' = C_{ox} \cdot \left(-\frac{2 \cdot C_{ox} \cdot U_T^2}{Q_0} + \sqrt{\left(\frac{2 \cdot C_{ox} \cdot U_T^2}{Q_0} \right)^2 + 4 \cdot U_T^2 \cdot \ln^2 \left[1 + \exp \left(\frac{V_{GS} - V_0 - V}{2 \cdot U_T} \right) \right]} \right) \end{array} \right.$$

Les densités de charge d'inversion aux source (Q_s) et drain (Q_d) sont calculées par (2.26) en prenant $V = 0$ et $V = V_{DS}$ respectivement.

Comme dans le modèle de Taur, la transconductance (g_m) et la conductance de sortie (g_{ds}) sont calculées directement par les densités de charge d'inversion aux source et drain:

$$g_m = \frac{\partial I_{DS}}{\partial V_{GS}} = \frac{\mu \cdot W}{L} \cdot (Q_s - Q_d) \quad (2.27)$$

$$g_{ds} = \frac{\partial I_{DS}}{\partial V_{DS}} = \frac{\mu \cdot W}{L} \cdot Q_d \quad (2.28)$$

La charge totale dans le canal est obtenue en intégrant la densité de charge d'inversion tout au long du canal :

$$Q_I = -W \int_0^L Q \cdot dx = -W^2 \frac{\mu}{I_{DS}} \cdot \int_0^{V_{DS}} Q^2 \cdot dV = -W^2 \frac{\mu}{I_{DS}} \cdot \int_{Q_s}^{Q_d} \left(\frac{Q^2}{2 \cdot C_{ox}} + U_T \cdot Q + U_T \cdot \frac{Q^2}{Q + 2Q_0} \right) \cdot dQ \quad (2.29)$$

Les charges totales de drain et de source sont calculées par les expressions suivantes :

$$Q_D = -W \int_0^L \frac{x}{L} \cdot Q \cdot dx = -\frac{W^3 \cdot \mu^2}{L \cdot (I_{DS})^2} \cdot \int_{Q_s}^{Q_d} Q^2 \cdot \left(\left(\frac{Q^2 - Q_s^2}{4 \cdot C_{ox}} \right) + U_T \cdot \left(2 \cdot (Q - Q_s) - 2 \cdot Q_0 \cdot \ln \left(\frac{Q + 2Q_0}{Q_s + 2Q_0} \right) \right) \right) \cdot dQ \quad (2.30)$$

$$Q_S = Q_I - Q_D \quad (2.31)$$

Une fois que les expressions des charges totales du canal, de source et de drain sont obtenues, les capacités peuvent être calculées par les relations suivantes :

$$C_{ij} = -\frac{dQ_i}{dV_j} \text{ pour } i, j = G, D, S \quad (2.32)$$

Le modèle est complété ensuite par la prise en compte des effets de petites géométries comme la tension de saturation, la résistance série, la modulation de la longueur de canal, la tension « Early », l'effet DIBL [14] et les effets quantiques [15].

Jusqu'à présent ce modèle a été validé par une longueur de grille minimum de 70nm.

II.2.4 Modèle de Tor A. Fjeldly

L'équipe de Tor A. Fjeldly a développé un modèle compact du DG MOSFET [16]-[17]. L'idée de ce modèle est basée sur une solution mathématique de l'équation Laplacienne.

Comme les autres modèles (II.2.1-II.2.3), le point de départ est l'équation de Poisson. A la différence des autres modèles montrés précédemment, ce modèle commence avec l'équation de Poisson en 2D :

$$\frac{\partial^2 \varphi(x, y)}{\partial x^2} + \frac{\partial^2 \varphi(x, y)}{\partial y^2} = \frac{e \cdot n_i}{\epsilon_{si}} \cdot \exp\left(\frac{\varphi(x, y)}{U_T}\right) \quad (2.33)$$

Dans la région de faible inversion, la densité de charge d'inversion peut être négligée, ainsi (2.33) devient une équation Laplacienne :

$$\frac{\partial^2 \varphi(x, y)}{\partial x^2} + \frac{\partial^2 \varphi(x, y)}{\partial y^2} = 0 \quad (2.34)$$

(2.34) peut être résolue par la technique de « conformal mapping ».

La première étape est de refléter la section du corps étendu du dispositif défini dans le plan normal (x, y) au demi-plan complexe $(u, i \cdot v)$ par la transformation Schwartz-Christoffel [18] :

$$z = x + i \cdot y = \frac{L}{2} \cdot \frac{F(k, w)}{K(k)} \quad (2.35)$$

$$\text{où } F(k, u) = \int_0^w \frac{dw'}{\sqrt{(1-w'^2) \cdot (1-k^2 \cdot w'^2)}}.$$

Ici, $z = x + i \cdot y$ et $w = u + i \cdot v$; le module k est un paramètre géométrique compris entre 0 et 1 et est déterminé comme : $k = \frac{\text{hauteur (dans la direction } t_{si})}{\text{largeur (dans la direction } L)}$ avec les directions montrées à la Figure II-2. $F(k, w)$ est l'intégrale elliptique du premier type et $K(k) = F(k, 1)$ est l'intégrale elliptique complète correspondante. Notons que le bord du corps étendu dans le plan (x, y) reflète en un axe- u réel dans le plan (u, v) , et les quatre coins du bord reflètent en $u = \pm 1, \pm 1/k$. Dans le plan (x, y) , la distribution du potentiel $\varphi_L(u, v)$ dans le corps peut être obtenue de l'équation Laplacienne en effectuant l'intégrale suivant le long du bord total (axe- u) :

$$\varphi_L(u, v) = \frac{v}{\pi} \cdot \int_{-\infty}^{\infty} \frac{\varphi_L(u', 0)}{(u-u')^2 + v^2} \cdot du' \quad (2.36)$$

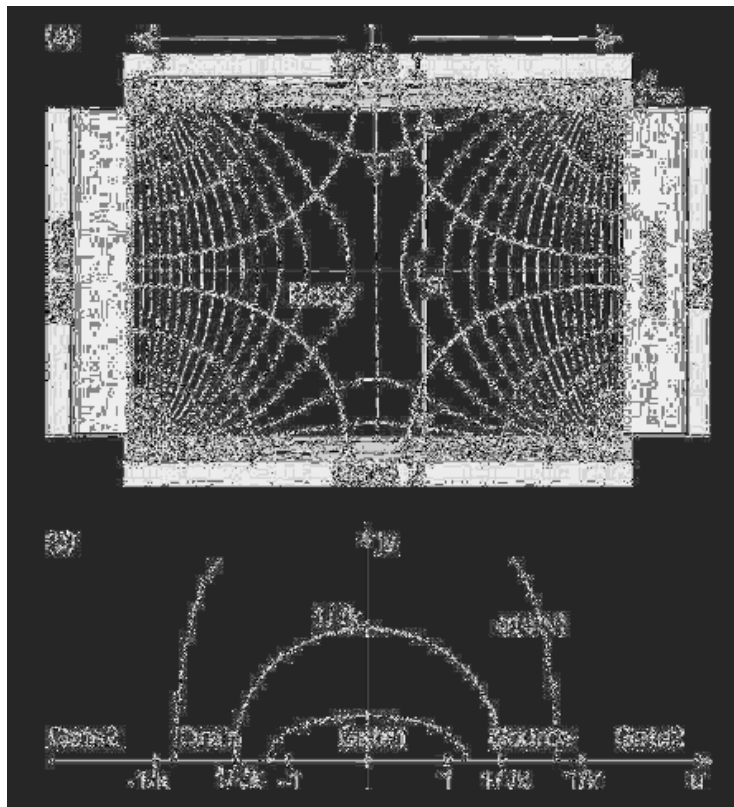


Figure II-2 Schéma de la section du DG MOSFET (a) et du plan transformé (u, iv) où le demi-plan représente le corps du dispositif reflété (b). Les lignes électriques du champ 2D et les lignes équipotentielles associées avec le couplage capacitif sont indiquées dans (a).

Pour un isolant de grille très fin, la distribution du potentiel au bord $\varphi_L(u, 0)$ est définie par les quatre électrodes équipotentielles, ce qui conduit à la solution analytique suivante :

$$\varphi_L(u, v) = \frac{1}{\pi} \cdot \left\{ \begin{array}{l} (V_{g2} - V_{FB}) \cdot \left[\pi - \tan^{-1} \left(\frac{1-k \cdot u}{k \cdot v} \right) - \tan^{-1} \left(\frac{1+k \cdot u}{k \cdot v} \right) \right] \\ + (V_{g1} - V_{FB}) \cdot \left[\tan^{-1} \left(\frac{1-u}{v} \right) + \tan^{-1} \left(\frac{1+u}{v} \right) \right] \\ + V_{bi} \cdot \left[\tan^{-1} \left(\frac{1-k \cdot u}{k \cdot v} \right) - \tan^{-1} \left(\frac{1-u}{v} \right) \right] \\ + (V_{bi} + V_{ds}) \cdot \left[\tan^{-1} \left(\frac{1+k \cdot u}{k \cdot v} \right) - \tan^{-1} \left(\frac{1+u}{v} \right) \right] \end{array} \right\} \quad (2.37)$$

où V_{g1} et V_{g2} sont les potentiel des grilles, V_{ds} est le potentiel drain-source, V_{FB} est la tension de la bande plate et V_{bi} est la tension de « built-in ».

Jusqu'ici, le comportement du DG MOSFETs dans la région de faible inversion est donc modélisé. Dans la région de forte inversion, puisque la densité de charge d'inversion n'est plus négligeable, l'équation de Poisson n'est plus de forme Laplacienne. La technique de « conformal mapping » n'est plus applicable. En réalité, l'équipe de T. A. Fjølby a emprunté les modèles de Taur et d'Iniguez pour calculer le comportement du DG MOSFET en forte inversion.

(2.37) est développée en supposant que l'épaisseur de l'isolant de grille est très petite. Dans le cas réel, (2.37) est encore une bonne approximation dans la plupart région du film de silicium mais elle n'est pas correcte aux quatre coins du corps. Pour le modèle des capacités, une description de la distribution du potentiel au bord plus précise est nécessaire. Une correction aux coins est faite dans [17].

Les charges des électrodes sont calculées par le champ perpendiculaire aux électrodes E_{\perp} qui est résolu par la distribution du potentiel (2.37) :

$$\begin{aligned} Q_X &= \varepsilon_{si} \cdot \int_{z_{\min}}^{z_{\max}} E_{\perp} \cdot dz = \int_{u_{\min}}^{u_{\max}} \frac{\partial \varphi_L}{\partial v} \Big|_{v \rightarrow 0} \cdot du \\ &= \frac{i \cdot \varepsilon_{si}}{\pi} \cdot \left[V_g \cdot \ln \left(\frac{(u-1) \cdot (k \cdot u + 1)}{(u+1) \cdot (k \cdot u - 1)} \right) + V_s \cdot \ln \left(\frac{u+1}{k \cdot u + 1} \right) + V_d \cdot \ln \left(\frac{u-1}{k \cdot u - 1} \right) \right] \Big|_{u_{\min}}^{u_{\max}} \end{aligned} \quad (2.38)$$

Les capacités sont calculées par (2.32) avec les charges des électrodes calculées par (2.38).

Les effets SCE et DIBL sont inhérents à la méthode employée ici et donc inclus dans le modèle. Mais ce modèle doit être complété par les autres modèles comme [1] et [11] pour le comportement en forte inversion. De plus, les effets quantiques ne sont pas pris en compte.

II.2.5 Synthèse des principaux modèles existants

Tableau II-1 Bilan des caractéristiques des différents modèles compacts de DG MOSFET en mode de fonctionnement symétrique

| Modèle compact Caractéristiques des modèles | Y. Taur | PSP | B. Iñiguez | F.A. Fjelbly | LETI | J. Fossum |
|---|-----------|-----------|------------|-----------------|-----------|-----------|
| Simplicité du modèle | + | - | + | +/- | + | - |
| Formulation explicite | +/- | + | + | + | + | - |
| Prise en compte des effets canaux courts | + | + | + | + | + | + |
| Prise en compte du comportement dynamique | + | + | + | + | + | + |
| Prise en compte des effets quantiques | - | + | + | - | - | + |
| Gamme de validation L/W | 70nm/10nm | 30nm/10nm | 70nm/10nm | - | 30nm/10nm | 50nm/1nm |

Dans cette section, nous avons parlé des modèles principaux existants actuellement au monde. Le modèle de Taur est le premier modèle de DG MOSFET qui a pris en compte des effets canaux courts. Sa dernière version du modèle devient explicite grâce à un algorithme explicite mais très compliqué à comprendre ce qui freine son utilisation en dimensionnement "à la main". De plus, il n'y a pas encore de résultats montrés sur les dispositifs courts inférieurs à 70nm. L'équipe « PSP » a développé une version pour le FinFET de son modèle originellement dédié au MOSFET Bulk. Bien qu'ils prennent en compte les effets canaux courts d'une manière similaire au modèle PSP (élaboré pour un transistor MOSFET bulk), de nombreux paramètres (et donc des procédures d'extraction de paramètres lourdes) freinent l'utilisation ce modèle pour la simulation de circuits intégrés. L'équipe de B. Iñiguez a développé un modèle compact précis avec la prise en compte des effets quantiques. Mais pour l'instant, aucune validation pour des longueurs inférieures à 70nm n'a été montrée. T. A.

Fjelbly a appliqué une méthode mathématique – « conformal mapping » pour résoudre l'équation de Poisson dans la région de faible inversion. Il a pris en compte des effets canaux courts d'une manière inhérente. Cependant, ce modèle permet uniquement de décrire le comportement du dispositif sous le seuil. Il a besoin ensuite d'utiliser d'autres modèles pour décrire le comportement au-delà du seuil. Le modèle de Fjelbly n'est donc pas un modèle complet ou est en cours de développement.

A la différence des modèles présentés dans les paragraphes précédents, l'équipe de J. Fossum a développé un modèle de DG MOSFET qui a pris en compte les effets canaux courts et les effets quantiques [19]. Cependant, c'est un modèle physique avec un formalisme implicite, ce qui est très précis mais n'est pas préféré pour une simulation de circuit. Le groupe du CEA-LETI a récemment développé un modèle de DG MOSFET qui reprend la philosophie de BSIM3 pour MOS Bulk [20]. C'est un modèle qui a pris en compte les effets canaux courts et l'aspect dynamique mais pas les effets quantiques.

Ces modèles actuels présentent donc un certain nombre d'inconvénients pour une utilisation en conception de circuits intégrés. Le modèle que nous avons développé dans le cadre de cette thèse est un modèle plus complet avec une gamme de validation plus large que les autres, avec un nombre de paramètres « relativement limité », robuste numériquement et adapté pour la simulation des circuits intégrés en technologie FinFET (lequel peut être considéré comme un DG MOSFET vertical).

II.3 L'outil de simulation – TCAD

Tout modèle compact se doit d'être rigoureusement validé par rapport à des données expérimentales. Mais dans le cas présent, ces données expérimentales sont coûteuses, rares (peu de géométries différentes), difficiles à obtenir, et ne permettent pas toujours de bien comprendre la physique du dispositif (les aspects extrinsèques cachent ou modifient l'observation du comportement intrinsèque du dispositif). Dans ce cas présent, la simulation numérique se révèle plus intéressante, moins chère et plus souple, pour permettre un développement rapide du modèle. Des données expérimentales seront ensuite indispensables lorsque le modèle sera complet, et prêt pour une utilisation industrielle¹.

¹ Le projet européen COMON dans lequel nous sommes permettra à notre équipe d'obtenir des données industrielles du fondeur Allemand Infineon, et donc de confronter notre modèle à ces données expérimentales

Nous utilisons ici Silvaco comme outil TCAD de simulation ; celui ci est très connu dans le domaine de la simulation numérique. Dans notre développement actuel du modèle, nous réalisons des simulations numériques du dispositif sans considérer l'influence de l'impact des variations de process et des différentes technologies de fabrication (cela sera étudié dans une autre thèse).

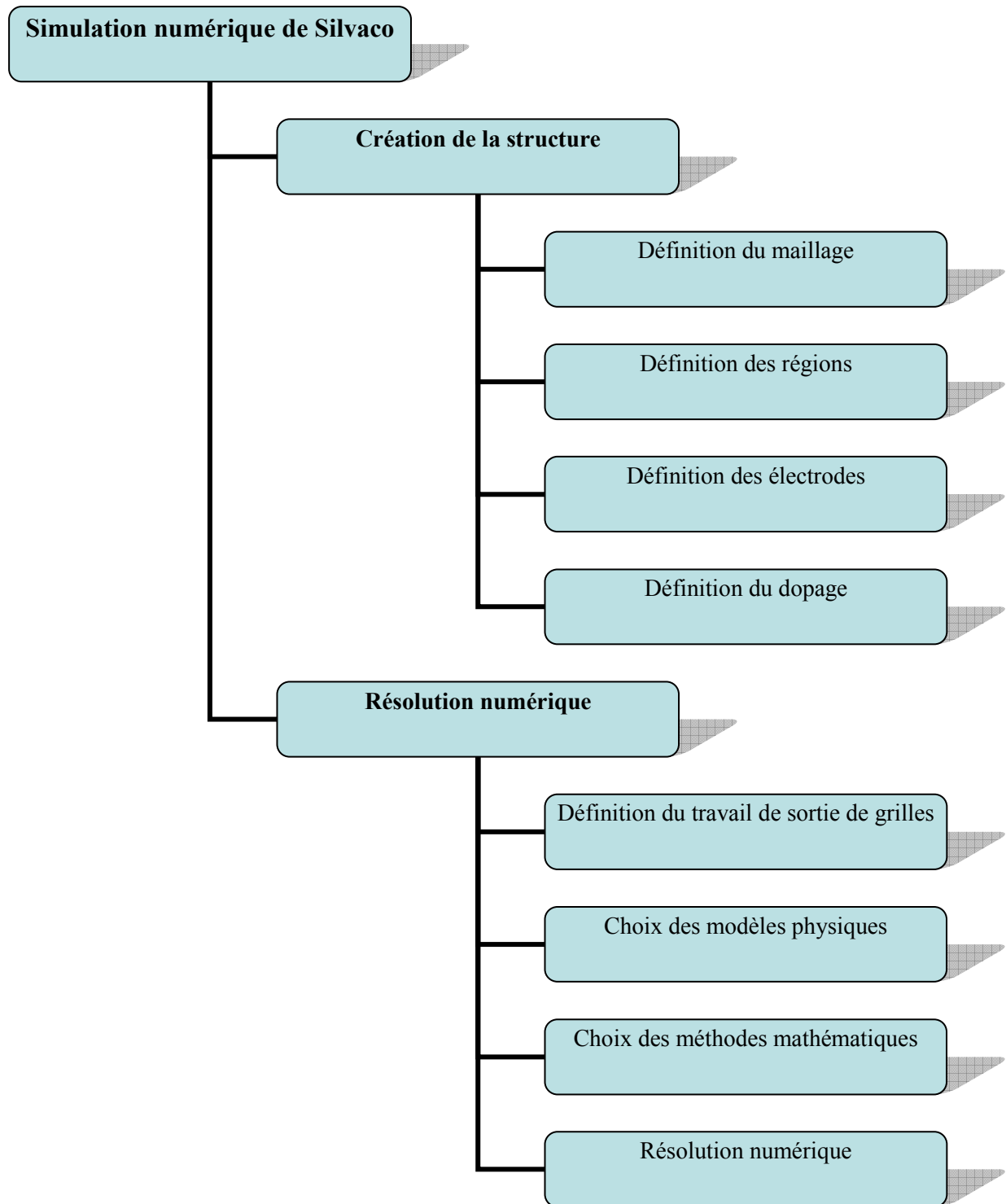
II.3.1 Généralités

Nous avons réalisé des simulations numériques de FinFET en 3D sous l'outil Atlas qui est un simulateur de dispositif de chez Silvaco.

Une simulation numérique dans Silvaco (ou tout outil TCAD) est constitué de deux étapes principales (Tableau II-2) : création de la structure, puis résolution numérique. La création de la structure comprend la définition du maillage, des différentes régions du dispositif, des électrodes et des dopages (niveau et profil). La résolution numérique comprend la définition du travail de sortie des grilles, les choix des modèles physiques et des méthodes mathématiques utilisées par le simulateur pour trouver sa solution.

En premier lieu, nous avons réalisé un maillage uniforme en 3D (Figure II-3a) comptant 158 mille points de calcul. Mais le maillage n'était pas suffisamment dense pour avoir un résultat précis. Une augmentation de la densité du maillage conduit à une augmentation d'exigence de puissance de calcul. Limité par la capacité de calcul de l'ordinateur, nous ne pouvons pas augmenter la densité de maillage infiniment (limité à l'ordre d'environ 120 mille points de calcul par notre ordinateur Pentium IV 3GHz/4Go). Un maillage non-uniforme a donc été réalisé, c'est-à-dire, que plus de points de calcul ont été demandés dans les régions et zones intéressantes. Cette idée n'est pas réalisable directement sous Atlas mais faisable sous l'outil DevEdit (de Silvaco) qui est un outil de création de la structure où l'on peut définir un maillage non-uniforme (Figure II-3b) comptant environ 110 mille points de calcul. Finalement, nous avons gagné environ 48 mille points de calcul et obtenu une précision nettement améliorée.

Tableau II-2 Diagramme de la simulation numérique de Silvaco



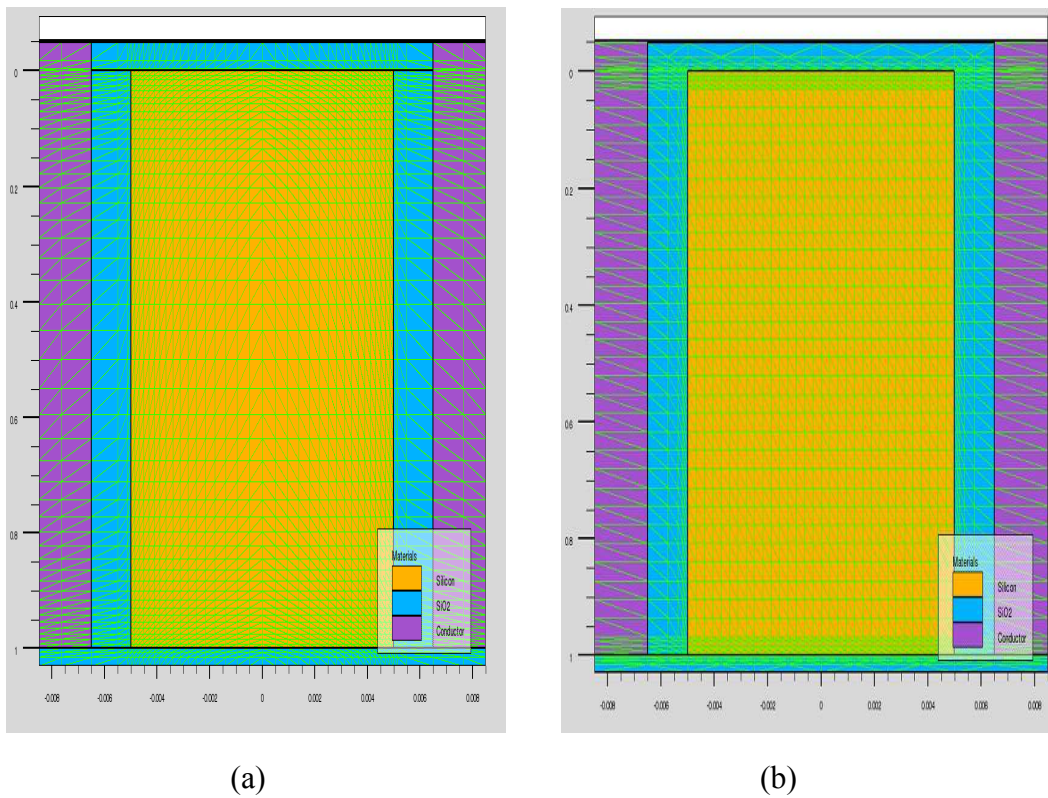


Figure II-3 Comparaison des maillages uniformes (a) et non-uniformes (b) pour un FinFET de même dimension ($L=H_{Si}=1\mu\text{m}$, $W_{Si}=10\text{nm}$)

Ensuite, nous définissons les régions et les électrodes comme montré à la Figure II-4 ; les dopages du canal et des source & drain sont respectivement $5 \times 10^{14} \text{cm}^{-3}$ et $5 \times 10^{21} \text{cm}^{-3}$. Le dopage du canal est très faible. Par contre, le dopage des source/drain est très fort qui n'est pas réalisable technologiquement. Nous avons choisit ce dopage afin que l'impact de la résistance série soit très petit que nous n'avons pas le considérer dans la première version du modèle. Le travail de sortie de la grille est de type mid-gap.

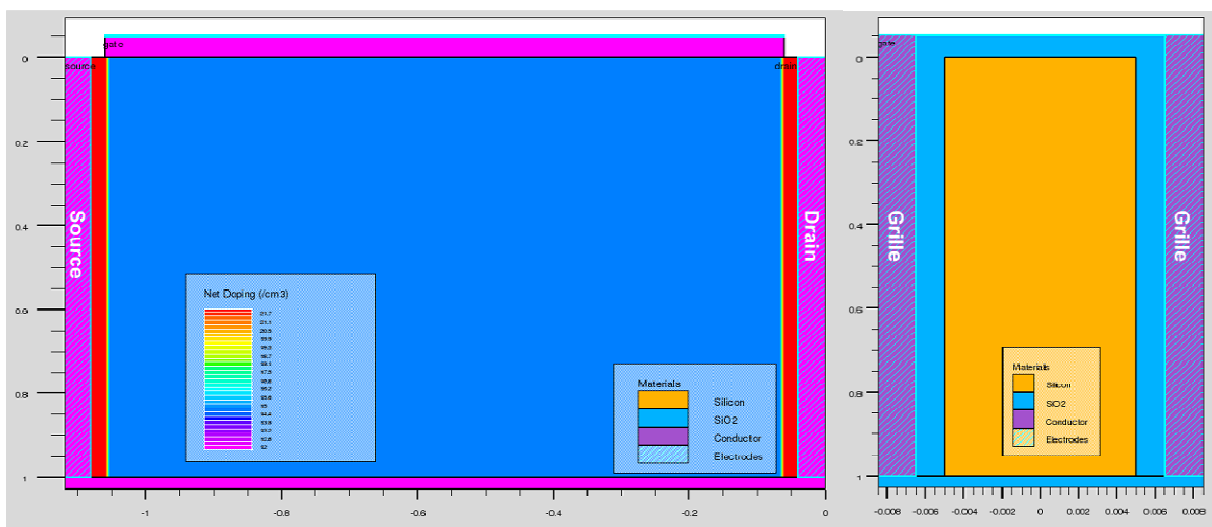


Figure II-4 Définition des électrodes et les dopages

Les modèles physiques utilisés pour la résolution numérique sont « fermi » (modèle de transport Fermi) et « srh » (modèle de génération et combinaison des porteurs). La mobilité est définie comme une constante ($1000\text{cm}^2/\text{V}\cdot\text{s}$ pour les électrons et $500\text{cm}^2/\text{V}\cdot\text{s}$ pour les trous). Puis, les méthodes mathématiques sont choisies. Enfin, les électrodes sont polarisées pour permettre de tracer les courbes I-V et les transcapacités.

La différence entre des simulations numériques de FinFETs de type-n et de type -p résulte seulement dans la définition des types de dopage dans le canal et les source et drain. Pour un FinFET de type-n, le dopage du canal est de type-p et celui des source et drain est de type-n ; pour un FinFET de type-p, le dopage du canal est de type-n et celui des source et drain est de type-p.

II.3.2 Simulation quantique

Jusqu'ici, nous avons parlé de simulation numérique d'un FinFET sans considérer les effets quantiques. En fait, les effets quantiques doivent être considérés lorsque la largeur du silicium (W_{Si}) est inférieure à 20nm (I.2.4). Silvaco a déjà intégré des modèles physiques pour les simulations quantiques. Ils se nomment « Self-Consistent Coupled Schrödinger Poisson », « Quantum Moments », « Bohm Quantum Potential » et « Quantum correction ».

II.3.2.1 Self-Consistent Coupled Schrödinger Poisson

La méthode « Self-Consistent Coupled Schrödinger Poisson » résout l'équation de Poisson et l'équation de Schrödinger de manière « auto-cohérente ». Cependant, cette méthode ne peut donner que les transcapacités quasi-statiques (Figure II-5) mais pas d'information sur le transport des porteurs, i.e. le courant de drain.

Par contre, puisque ce modèle fonctionne en résolvant l'équation de Poisson couplée avec l'équation Schrödinger (i.e. la méthode mathématique la plus précise pour calculer les états quantiques), il sera utilisé comme référence de calibration des autres modèles quantiques.

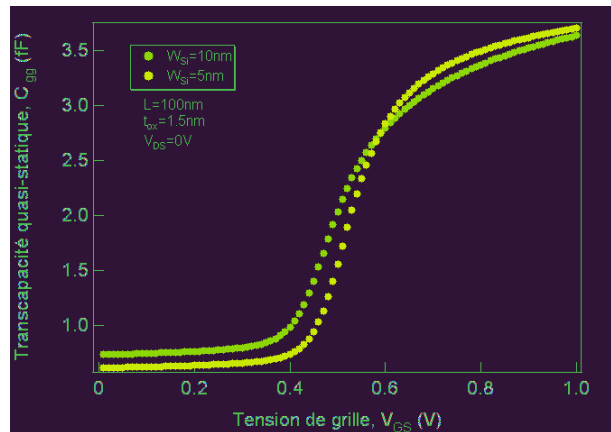


Figure II-5 Transcapacité C_{gg} quasi-statique en fonction de la tension de grille

II.3.2.2 Quantum Moments

Le modèle de « Quantum Moments » est basé sur les moments de l'équation de mouvement de Fonction Wigner et peut calculer une correction quantique à la température des porteurs dans l'équation de transport. Ce modèle peut précisément reproduire la concentration des porteurs prévue par la méthode de « Schrödinger-Poisson » ainsi que l'information du transport des porteurs. Cependant il ne peut pas donner d'information sur les états d'énergies à l'interface ni sur les fonctions d'onde par la méthode de Schrödinger-Poisson.

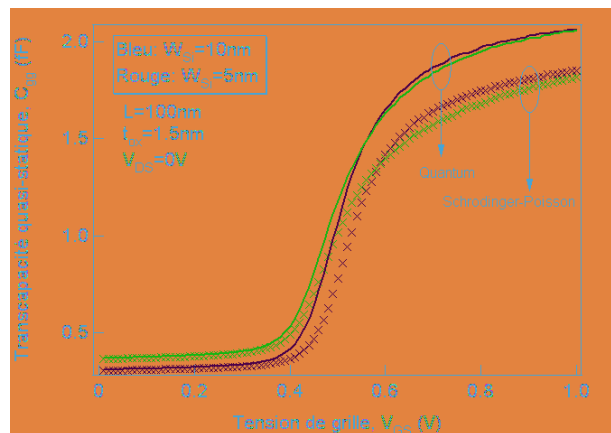


Figure II-6 Comparaison des méthodes de Schrodinger-Poisson et de Quantum

D'après la Figure II-6, nous pouvons trouver une erreur importante entre les deux modèles. C'est pour cette raison que nous n'avons pas choisi le modèle « Quantum Moments » dans notre simulation quantique.

II.3.2.3 Bohm Quantum Potential (BQP)

Ce modèle fonctionne comme le modèle de « Quantum Moments » mais avec une meilleure convergence que « Quantum Moments ». Mais une étape de calibration par rapport à la méthode de Schrödinger-Poisson est nécessaire.

Pour utiliser le modèle BQP, une étape de calibration est nécessaire. Il y a deux paramètres à calibrer : α et γ . Ces deux paramètres dépendent des fonctions propres du système de confinement et représentent les différents poids (voir (2.39)) de l'influence des porteurs (électrons pour NMOS ou trous pour PMOS) avec les différentes masses effectives selon les différentes directions cristalliques. L'influence des effets quantiques est introduite comme une correction du niveau de la bande de conduction (2.39) [21]. La calibration du modèle BQP s'est faite par rapport au résultat obtenu par la méthode de « Self-consistent Coupled Schrödinger-Poisson ».

$$Q = -\frac{\hbar^2}{2} \cdot \frac{\gamma \cdot \tilde{\nabla} \left(M^{-1} \cdot \tilde{\nabla} (n^\alpha) \right)}{n^\alpha} \quad (2.39)$$

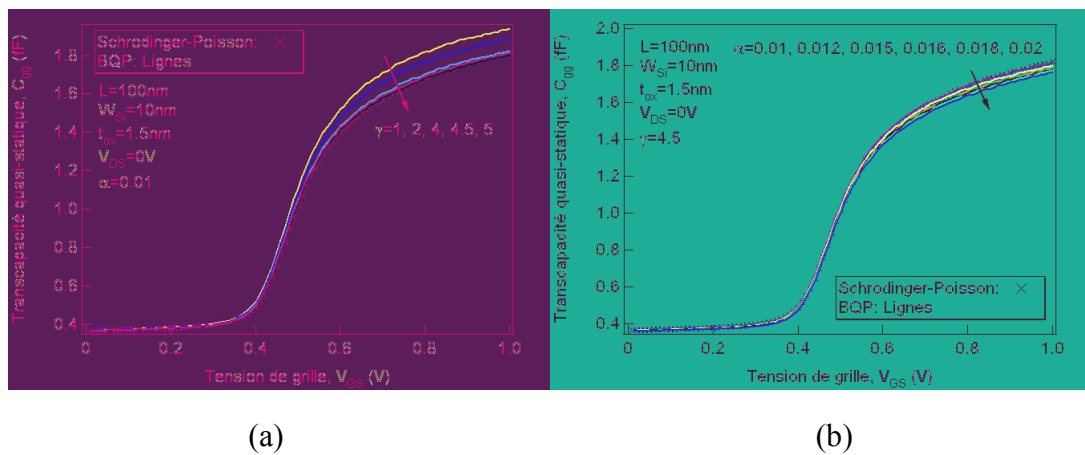


Figure II-7 Calibration du modèle BQP par rapport au modèle de Schrödinger-Poisson ($W_{Si}=10\text{nm}$)

D'après Figure II-7, nous voyons, pour $W_{Si}=10\text{nm}$, qu'en augmentant le paramètre γ , la courbe est déplacée vers le bas dans le régime de forte inversion ; alors qu'en augmentant α , la courbe est déplacée globalement vers la droite et vers le bas en forte inversion. En conclusion, un jeu de valeurs de 0,016 et 4,5 a été choisi pour α et γ respectivement. Nous voyons aussi que pour $W_{Si}=5\text{nm}$, ce jeu de valeurs est aussi valide (Figure II-8).

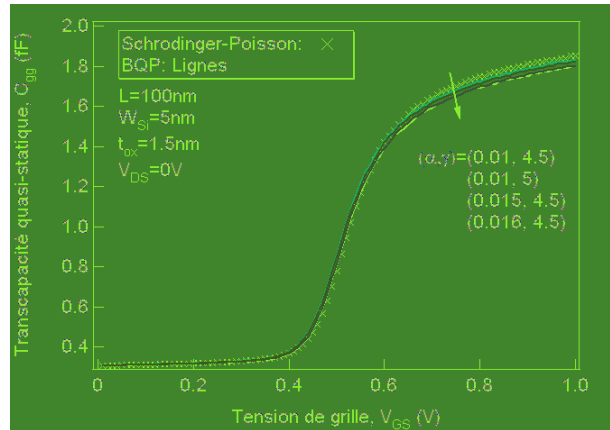


Figure II-8 Calibration du modèle BQP par rapport au modèle de Schrödinger-Poisson ($W_{Si}=5nm$)

II.3.2.4 Quantum correction

Il existe deux modèles de type « Quantum correction » : les modèles de Van Dort et de Hansch qui sont tous les deux des modèles phénoménologiques apportant les corrections dues à l'effet de confinement quantique dans la couche d'inversion sous la grille.

Malheureusement, avec le modèle de Hansch, la simulation n'arrive pas à converger. Avec le modèle de « Van Dort », nous retrouvons une erreur aussi importante qu'avec le modèle de « Quantum Moments » (Figure II-9). Par conséquent, le modèle de « Quantum correction » n'est pas choisi pour notre simulation quantique.

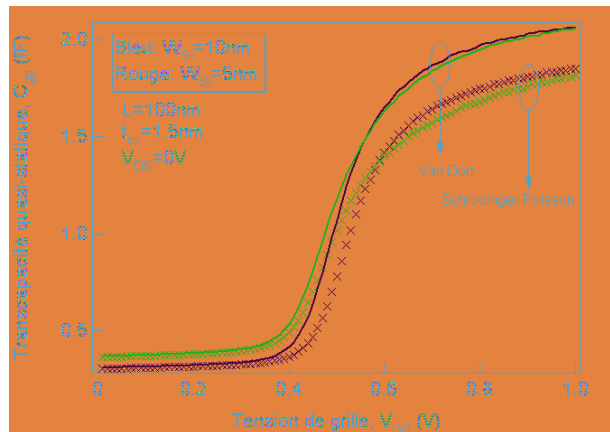


Figure II-9 Comparaison des modèles de Schrödinger-Poisson et de Van Dort

En conclusion, nous choisissons le modèle quantique « BQP » comme modèle quantique dans nos simulations quantiques.

II.3.3 Simulation quantique d'un FinFET de type-p

Nous venons d'expliquer la simulation quantique d'un FinFET de type-n. La simulation quantique d'un FinFET de type-p est beaucoup plus problématique. Avec le même modèle quantique – BQP, nous avons donc effectuée une simulation quantique comme montrée à la Figure II-10. En rappelant que la masse effective d'un trou est plus importante que celle d'un électron, d'après [18], nous devons avoir une diminution de la tension de seuil plus grande en valeur absolue que le cas du NMOS, *i.e.* : les simulations classique (lignes) et quantique (symboles) doivent être décalées entre elles, mais ce point ne se retrouve pas à la Figure II-10. Par conséquent, nous pouvons estimer que le modèle BQP ne fonctionne pas correctement pour une simulation quantique d'un FinFET de type-p. Cela reste un problème à régler dans le futur.

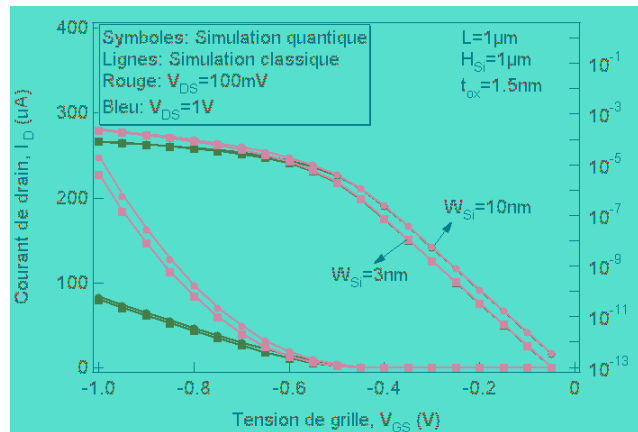


Figure II-10 Résultats de simulations classique et quantique pour $L=1\mu\text{m}$, et $W_{\text{Si}}=10\text{nm}$ et 3nm

II.3.4 Paramétrisation du script de la simulation numérique

Nos simulations numériques sont effectuées sous la forme d'un script défini sous Deckbuild (environnement de l'interface graphique de l'utilisateur, GUI). Puisque de nombreuses séries de simulations avec différentes dimensions sont nécessaires pour étudier le FinFET, développer et valider le modèle compact, des redéfinitions de la structure et du maillage doivent également être effectuées, ce qui peut vite devenir très lourd (Tableau II-3). De plus, il y a un risque que des variations du maillage (d'une structure à une autre) puissent déboucher sur des petites différences dans les résultats (malgré les précautions prises) et la

recherche d'une définition optimum (précision de calcul-rapidité de calcul) de notre maillage. Afin d'éviter ces problèmes et pour une plus grande souplesse de travail et un gain de temps et d'efficacité, nous avons paramétré les scripts pour que la structure et le maillage soient automatiquement définis pour une dimension donnée du dispositif. Ainsi, dans ce nouvel environnement, nous gardons à peu près la même densité de maillage, ce qui améliore quantitativement la précision des nombreux résultats de simulations et de leurs comparaisons, et apporte un gain de temps et d'efficacité de par cette possibilité de lancement automatique des simulations. Ce dernier point a été réalisé par le développement d'un script *Python* effectué par le doctorant – Nicolas Chevillon (actuellement en thèse sur la suite de mon travail).

Tableau II-3 Bilan des dimensions des transistors FinFET simulés sous Silvaco

| | |
|--|---|
| Longueur du canal (L) | $1\mu\text{m} \Leftrightarrow 25\text{nm}$ |
| Largeur du film de silicium (W_{Si}) | $10\text{nm} \Leftrightarrow 3\text{nm}$ |
| Hauteur du film de silicium (H_{Si}) | $1\mu\text{m} \Leftrightarrow 20\text{nm}$ |
| Épaisseur d'oxyde de grille (t_{ox}) | $1,5\text{nm}$ |
| Épaisseur d'oxyde en haut (t_{ox_top}) | 50nm |
| Dopage du canal (N_A et N_D) | $10^{10}\text{ cm}^{-3} \Leftrightarrow 10^{18}\text{ cm}^{-3}$ |
| Dopage des Source/Drain ($N_{Source/Drain}$) | $5 \times 10^{21}\text{ cm}^{-3}$ |

II.4 Travaux précédents

Nous allons présenter en détail les développements qui ont conduit à la version actuelle de notre modèle compact explicite du FinFET, dédié à la conception de circuits.

II.4.1 Bases du modèle de FinFET

Le point de départ est le modèle d'InESS-EPFL v0. [12]. Ce modèle analytique permet de simuler un MOSFET double-grille à canal long.

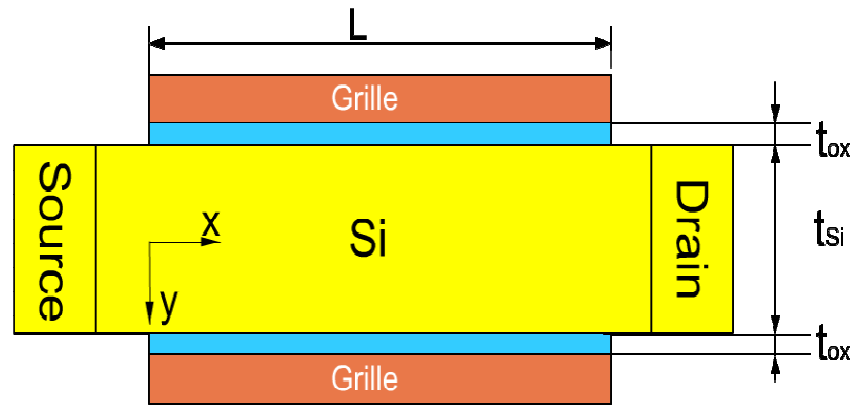


Figure II-11 Structure du MOSFET double-grille

Nous considérons ici un MOSFET double-grille de type n, canal long et très peu dopé, en mode de fonctionnement symétrique (Figure II-11). Les deux grilles ont donc les mêmes travaux de sortie mid-gap et sont reliées ensemble. Les épaisseurs des oxydes de grille sont identiques et valent t_{ox} . Les différences de travaux de sortie des grilles avec le silicium sont nulles. La mobilité ($1000\text{cm}^2/\text{V}\cdot\text{s}$) des porteurs est considérée comme constante le long du canal. Les effets quantiques ne sont pas pris en compte. L'effet de polydépétion peut être négligé grâce à l'utilisation de la grille métallique.

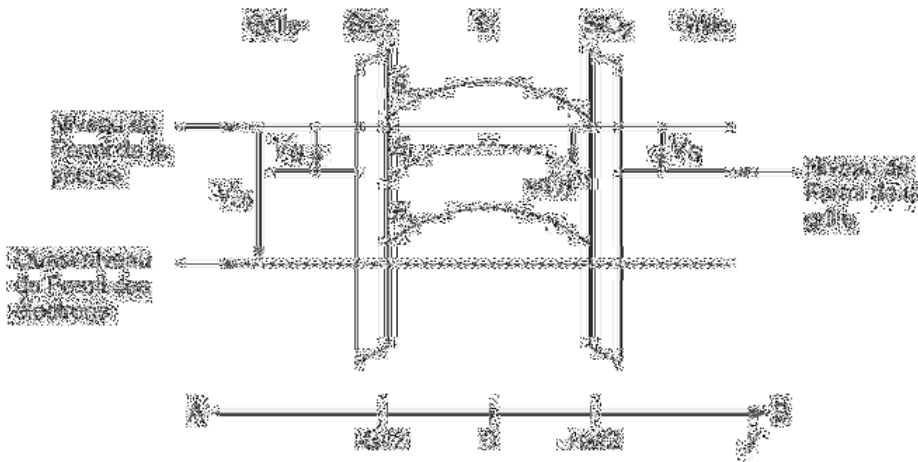


Figure II-12 : Diagramme des bandes d'énergie suivant la coupe verticale AB, avec $d = t_{si}/2$

La Figure II-12 décrit le diagramme des bandes d'énergie à travers le film de silicium. Les axes x et y sont toujours considérés suivant la direction longitudinale et la direction transversale au canal respectivement. Le potentiel $\psi(y)$ correspond à l'écart entre le niveau intrinsèque du silicium et le niveau de Fermi de la source ($V_S = 0V$). V_{ch} correspond au potentiel du quasi-niveau de Fermi des électrons et est constant tout le long du milieu du film de silicium en raison de la répartition symétrique des porteurs dans le film.

En négligeant la densité de charge des trous, nous pouvons écrire l'équation de Poisson en 1-D :

$$\frac{d^2\psi(y)}{dy^2} = \frac{d^2(\psi(y) - V_{ch})}{dy^2} = \frac{e \cdot n_i}{\epsilon_{Si}} \cdot \exp\left(\frac{\psi(y) - V_{ch}}{U_T}\right) \quad (2.40)$$

Une première intégration de (2.40) donne l'expression du champ à travers le film de silicium :

$$E(y) = -\frac{d\psi(y)}{dy} = \pm \sqrt{\frac{2en_i U_T}{\epsilon_{Si}}} \cdot \sqrt{e^{\frac{\psi(y) - V_{ch}}{U_T}} + C_1} \quad (2.41)$$

Cette relation permet de déterminer la densité de charge par unité de surface (Q_g) à chaque grille. Nous obtenons alors l'expression du potentiel à l'interface :

$$\psi\left(\pm \frac{t_{Si}}{2}\right) - V_{ch} = U_T \cdot \ln\left(\frac{Q_g^2}{2\epsilon_{Si} en_i U_T} - C_1\right) \quad (2.42)$$

Une autre relation du potentiel est obtenue en appliquant le théorème de Gauss à l'interface de l'oxyde de grille :

$$V_g^* - \psi\left(\pm \frac{t_{Si}}{2}\right) = \frac{Q_g}{C_{ox}} \quad (2.43)$$

où $V_g^* = V_g - \Delta\phi_{ms}$ et $\Delta\phi_{ms}$ est la différence de travail de sortie entre la grille et le silicium (supposée nulle dans notre travail). En combinant (2.42) et (2.43), nous avons la relation entre le potentiel et la densité de charge de grille:

$$V_g^* - V_{ch} = \frac{Q_g}{C_{ox}} + U_T \cdot \ln\left(\frac{Q_g^2}{2\epsilon_{Si} en_i U_T} - C_1\right) \quad (2.44)$$

Après une seconde intégration de l'équation de Poisson (2.40), nous obtenons la solution du potentiel. A partir de celle-là, la densité de charge de grille Q_g s'écrit en fonction de C_1 comme :

$$Q_g = \sqrt{2\epsilon_{Si} en_i U_T} \cdot \sqrt{-C_1} \cdot \tan\left(\sqrt{\frac{2en_i U_T}{\epsilon_{Si}}} \cdot \frac{t_{Si}}{4U_T} \cdot \sqrt{-C_1}\right) \quad (2.45)$$

(2.44) est constitué de deux termes, l'un est proportionnel à Q_g et l'autre est de forme logarithmique. En forte inversion, l'impact de C_1 est très faible car le terme logarithmique est

négligeable. C'est-à-dire que le couplage entre les grilles est négligeable en forte inversion. Par conséquent, C_1 représente le couplage électrostatique entre les deux électrodes de grille. Cependant, en faible inversion, à cause du déplacement des porteurs dans toute l'épaisseur du film de silicium, le couplage entre les grilles n'est plus négligeable et l'impact de C_1 doit être pris en compte. Un développement limité de (2.45) à l'ordre 1 autour de la valeur de $C_1 = 0$ en faible inversion permet ensuite de déterminer C_1 . Celui-ci peut être exprimé en fonction de Q_g :

$$C_1 \approx -\frac{2Q_g}{en_i t_{Si}} \quad (2.46)$$

Le remplacement de C_1 dans (2.44) avec (2.46) permet de trouver la relation entre les charges et le potentiel :

$$V_g^* - V_{ch} = \frac{Q_g}{C_{ox}} + U_T \cdot \ln \left(\frac{Q_g^2}{2\epsilon_{Si} en_i U_T} + \frac{2Q_g}{en_i t_{Si}} \right) \quad (2.47)$$

En considérant le modèle de transport *drift-diffusion*, le courant de drain s'exprime alors comme suit :

$$I_d = -\mu \frac{W}{L} \int_{V_s}^{V_d} Q_m dV_{ch} \quad (2.48)$$

où $Q_m (= -2Q_g)$ est la densité de charge dans le canal.

Tableau II-4 Facteurs des normalisations des grandeurs électriques

| Grandeurs électriques | Facteurs de normalisation |
|-----------------------|---------------------------------|
| Tensions | $U_T = k \cdot T / e$ |
| Courants | $I_s = 4\mu C_{ox} U_T^2 W / L$ |
| Charges | $Q_0 = 4C_{ox} U_T$ |
| Capacités | $C_{ox_total} = 2C_{ox}$ |

Afin que la formule soit plus simple d'utilisation pour les concepteurs, une normalisation semblable à celle existante dans le modèle EKV [22] (modèle du MOSFET bulk) est effectuée (Tableau II-4).

Après la normalisation, la relation entre la densité de charge et le potentiel se réécrit :

$$v_g^* - v_{to} - v_{ch} = 4q_g + \ln q_g + \ln \left(1 + q_g \cdot \frac{C_{ox}}{C_{Si}} \right) \quad (2.49)$$

où $C_{Si} (= \epsilon_{Si}/t_{Si})$ est la capacité du film de silicium.

Avec la même normalisation, le courant de drain (2.48) devient :

$$i = -q_m^2 + 2q_m + 2 \frac{C_{Si}}{C_{ox}} \ln \left(1 - q_m \cdot \frac{C_{ox}}{2C_{Si}} \right) \Bigg|_{q_{ms}}^{q_{md}} \quad (2.50)$$

La tension de seuil est définie comme pour le MOSFET bulk [12] :

$$v_{to} = \Delta\phi_{ms} - \ln(q_{int}/2) \quad (2.51)$$

où $q_{int} = en_i t_{Si} / Q_0$.

Grâce à (2.50), le courant de drain peut être calculé directement par la densité de charge mobile qui peut être résolue par (2.49). Cependant, (2.49) ne peut pas être résolu explicitement, ce qui limite l'utilisation de ce modèle dans les simulations de circuit. Afin de résoudre explicitement (2.49), un algorithme a été développé. Cet algorithme est détaillé à Annexe I.

L'équation (2.50) ressemble beaucoup à l'expression du courant de drain du MOSFET bulk dans le modèle EKV [22]. Les différences sont le terme logarithmique et le facteur 2 devant le terme en q_m . Le terme logarithmique domine seulement dans la région de faible inversion. Ainsi une bonne approximation du courant de saturation peut être obtenue en négligeant le terme logarithmique dans (2.50). Cette approximation servira à la modélisation de la modulation de la longueur du canal (voir III.1.5).

Un modèle compact d'un transistor dédié à la simulation de circuits est souvent constitué de deux parties : un modèle statique où les polarisations des électrodes ne varient pas (ou lentement) avec le temps et un modèle dynamique où les polarisations varient avec le temps. Nous venons de montrer le modèle statique où le courant est déterminé d'après les charges. Nous allons maintenant nous intéresser à la structure du modèle dynamique.

Le développement d'un modèle dynamique doit permettre de trouver les expressions des capacités (transcapacités) en fonction des polarisations des électrodes.

Une approche similaire à celle faite dans le cas du MOSFET bulk [23] est retenue [24].

Nous faisons d'abord une approximation du courant de drain pour un MOSFET double-grille en négligeant le terme logarithmique :

$$i = -q_m^2 + 2q_m + 2 \frac{C_{Si}}{C_{ox}} \ln \left(1 - q_m \cdot \frac{C_{ox}}{2C_{Si}} \right) \Big|_{q_{ms}}^{q_{md}} \approx -q_m^2 + 2q_m \Big|_{q_{ms}}^{q_{md}} \quad (2.52)$$

Cette approximation est valide en forte inversion car le terme logarithmique est dominant seulement en faible inversion. Nous reviendrons en détail sur l'erreur de cette approximation au paragraphe III.2.1.

Nous rappelons aussi que l'expression du courant de drain du modèle EKV pour un MOS Bulk s'écrit comme suit :

$$i_{bulk} = -q_{m_bulk}^2 + q_{m_bulk} \Big|_{q_{ms_bulk}}^{q_{md_bulk}} \quad (2.53)$$

En comparant (2.52) et (2.53), nous trouvons que ces deux expressions sont similaires et la seule différence est le facteur du terme de q_m en puissance une. Si nous retrouvons la même expression du courant de drain pour un MOSFET double-grille que (2.53), nous pourrions alors utiliser les mêmes expressions des transcapacités que le modèle EKV pour un MOS bulk.

A partir de cette idée, nous faisons un changement des variables (i.e. $q_0 = q_m/2$) et du courant (i.e. $i_0 = i/4$), (2.52) devient :

$$i_0 = -q_0^2 + q_0 \Big|_{q_{s,0}}^{q_{d,0}} \quad (2.54)$$

Nous arrivons donc à retrouver la même expression du courant de drain que le modèle EKV pour un MOS bulk (2.53). Par conséquent, nous pouvons utiliser les mêmes expressions des transcapacités du modèle EKV. L'expression du courant de drain peut être présentée comme la différence des courants *forward* (i_f) et *reverse* (i_r) :

$$i_0 = -q_0^2 + q_0 \Big|_{q_{s,0}}^{q_{d,0}} = i_{f,0} - i_{r,0} \quad (2.55)$$

$$\text{avec } i_{f(r)0} = q_{s(d)0}^2 - q_{s(d)0} = \left(\frac{q_{ms(d)}}{2} \right)^2 - \frac{q_{ms(d)}}{2}.$$

Les paramètres intermédiaires sont définis comme le modèle EKV :

$$\chi_f = \sqrt{1/4 + i_{f0}} \text{ et } \chi_r = \sqrt{1/4 + i_{r0}} \quad (2.56)$$

En conséquence, les équations qui avaient été obtenues pour la modélisation du comportement dynamique du modèle EKV pour le MOSFET bulk [23] pourront être utilisées également dans le modèle du FinFET (ou du DG MOSFET). Nous pouvons donc écrire immédiatement les neuf transcapacités du modèle dynamique :

$$C_{dg} = -\frac{2C_{ox}}{15} \left[\frac{4\chi_f^3 + 6\chi_r^3 + 28\chi_f^2\chi_r - 10\chi_f^2 - 15\chi_f\chi_r + 22\chi_f\chi_r^2 - 10\chi_r^2}{(\chi_f + \chi_r)^3} \right] \quad (2.57)$$

$$C_{sg} = -\frac{2C_{ox}}{15} \left[\frac{4\chi_r^3 + 6\chi_f^3 + 28\chi_r^2\chi_f - 10\chi_r^2 - 15\chi_f\chi_r + 22\chi_r\chi_f^2 - 10\chi_f^2}{(\chi_f + \chi_r)^3} \right] \quad (2.58)$$

$$C_{ds} = \frac{4C_{ox}}{15} \left[\frac{(2\chi_f - 1) \cdot (\chi_f^2 + \chi_r^2 + 3\chi_r\chi_f)}{(\chi_f + \chi_r)^3} \right] \quad (2.59)$$

$$C_{sd} = \frac{4C_{ox}}{15} \left[\frac{(2\chi_r - 1) \cdot (\chi_f^2 + \chi_r^2 + 3\chi_r\chi_f)}{(\chi_f + \chi_r)^3} \right] \quad (2.60)$$

$$C_{ss} = -C_{sg} - C_{sd} \quad (2.61)$$

$$C_{dd} = -C_{dg} - C_{ds} \quad (2.62)$$

$$C_{gd} = +C_{sd} + C_{ds} + C_{dg} \quad (2.63)$$

$$C_{gs} = -C_{sd} + C_{ds} - C_{sg} \quad (2.64)$$

$$C_{gg} = +C_{sg} - C_{dg} \quad (2.65)$$

Notons que le modèle dynamique est valide pour différentes polarisations de drain (i.e. pour $V_{ds} = 0V$ et $V_{ds} \neq 0V$). Nous reviendrons en détail sur ce modèle au paragraphe III.2.1.

II.4.2 Modélisation des effets de petites géométries

Un modèle explicite de MOSFET double grille avec un canal long vient d'être présenté. Ce modèle sert de base aux modèles de DG MOSFET et FinFET développées dans notre équipe.

Les effets canaux-courts doivent maintenant être aussi pris en compte dans le modèle explicite présenté [25].

Pour inclure les effets canaux-courts, l'équation de Poisson doit être résolue suivant la direction transversale et longitudinale au canal. Nous pouvons donc définir le potentiel à l'intérieur de silicium comme $\psi(x, y)$. En supposant être dans la région de faible inversion, i.e. que la charge d'inversion peut être négligée, l'équation de Poisson peut être écrite comme :

$$\frac{\partial^2 \psi(x, y)}{\partial x^2} + \frac{\partial^2 \psi(x, y)}{\partial y^2} = \frac{qN_A}{\epsilon_{Si}} \quad (2.66)$$

où x correspond à la direction suivant la longueur du canal et y correspond à la direction grille-grille. Ainsi, $0 < x < L$ et $0 < y < t_{Si}$ (Figure II-13).

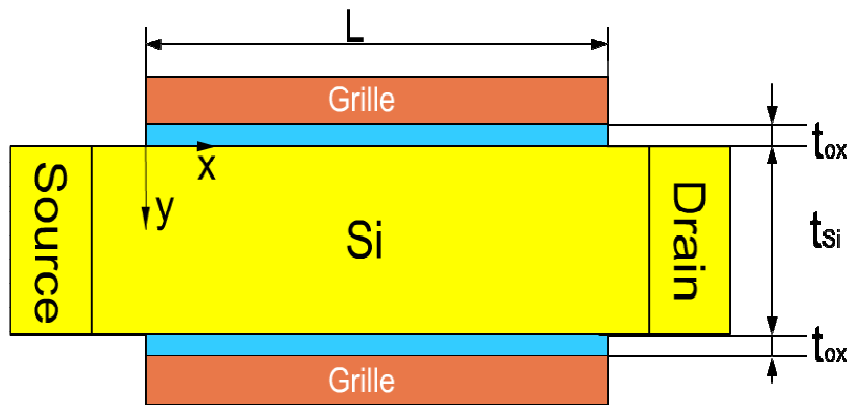


Figure II-13 Définition de l'origine des coordonnées du DG MOSFET

Avant de résoudre (2.66), le dopage du film de silicium est supposé uniforme. Le potentiel à travers le silicium dans la direction de grille-grille est considéré de forme parabolique en négligeant les effets quantiques. Le potentiel peut donc être écrit comme suit [25]:

$$\psi(x, y) = C_0(x) + C_1(x) \cdot y + C_2(x) \cdot y^2 \quad (2.67)$$

où $C_0(x)$, $C_1(x)$ et $C_2(x)$ sont des coefficients qui seront déterminés par les conditions aux limites :

$$\psi(x, 0) = C_0(x) = \psi_s(x) \quad (2.68)$$

$$\left. \frac{d\psi(x, y)}{dy} \right|_{y=0} = C_1(x) = \frac{\epsilon_{ox}}{\epsilon_{Si}} \cdot \frac{\psi_s(x) - V_g + V_{FB}}{t_{ox}} \quad (2.69)$$

$$\left. \frac{d\psi(x, y)}{dy} \right|_{y=W} = C_1(x) + 2 \cdot t_{Si} \cdot C_2(x) = -\frac{\epsilon_{ox}}{\epsilon_{Si}} \cdot \frac{\psi_s(x) - V_g + V_{FB}}{t_{ox}} \quad (2.70)$$

(2.68) représente le potentiel à l'interface Si-SiO₂ ; (2.69) et (2.70) sont les champs électriques aux interfaces Si-SiO₂ sous les deux grilles respectivement. $C_0(x)$, $C_1(x)$ et $C_2(x)$ peuvent donc être résolus par (2.68), (2.69) et (2.70). Le potentiel peut être réécrit avec les expressions des $C_0(x)$, $C_1(x)$ et $C_2(x)$ comme :

$$\psi(x, y) = \psi_s(x) + \frac{\epsilon_{ox}}{\epsilon_{Si}} \cdot \frac{\psi_s(x) - V_g + V_{FB}}{t_{ox}} \cdot y - \frac{\epsilon_{ox}}{\epsilon_{Si}} \cdot \frac{\psi_s(x) - V_g + V_{FB}}{t_{ox} \cdot t_{Si}} \cdot y^2 \quad (2.71)$$

Utilisant (2.71), (2.66) peut être réécrit sous la forme suivante :

$$\frac{d^2\psi(x, y)}{dx^2} - 2 \cdot \frac{\epsilon_{ox}}{\epsilon_{Si}} \cdot \frac{\psi_s(x) - V_g + V_{FB}}{t_{ox} \cdot t_{Si}} = \frac{q \cdot N_A}{\epsilon_{Si}} \quad (2.72)$$

Grâce à l'inversion volumique, dans la région de faible inversion, les porteurs se déplacent au centre du film de silicium [26]. Le potentiel au centre du film de silicium ($\psi_c(x)$) peut être exprimé comme :

$$\psi_c(x) = \psi\left(x, \frac{t_{Si}}{2}\right) = \psi_s(x) + \frac{\epsilon_{ox}}{\epsilon_{Si}} \cdot \frac{\psi_s(x) - V_g + V_{FB}}{t_{ox}} \cdot \frac{t_{Si}}{4} \quad (2.73)$$

Le potentiel à l'interface de Si-SiO₂ peut donc être obtenu en fonction de $\psi_c(x)$:

$$\psi_s(x) = \frac{1}{1 + \frac{\epsilon_{ox}}{4 \cdot \epsilon_{Si}} \cdot \frac{t_{Si}}{t_{ox}}} \cdot \left[\psi_c(x) + \frac{\epsilon_{ox}}{4 \cdot \epsilon_{Si}} \cdot \frac{t_{Si}}{t_{ox}} \cdot (V_g - V_{FB}) \right] \quad (2.74)$$

Utilisant (2.74), l'équation de Poisson (2.72) peut être aussi exprimée en fonction de $\psi_c(x)$:

$$\frac{d^2\psi_c(x)}{dx^2} - \frac{1}{l^2} \cdot (\psi_c(x) - V_g^*) = \frac{q \cdot N_A}{\epsilon_{Si}} \quad (2.75)$$

où $l = \sqrt{\frac{\epsilon_{Si} \cdot t_{ox} \cdot t_{Si}}{2 \cdot \epsilon_{ox}} \cdot \left(1 + \frac{\epsilon_{ox}}{4 \cdot \epsilon_{Si}} \cdot \frac{t_{Si}}{t_{ox}}\right)}$ est la longueur naturelle (cf. Paragraphe I.1.8) et

$V_g^* = V_g - V_{FB}$. Rappelons que le film de silicium reste intrinsèque et très faiblement dopé, N_A peut donc être négligé dans (2.75) laquelle équation devient :

$$\frac{d^2\psi_c(x)}{dx^2} - \frac{1}{l^2} \cdot \psi_c(x) = -\frac{1}{l^2} \cdot V_g^* \quad (2.76)$$

La solution de (2.76) se présente sous la forme :

$$\psi_c(x) = V_g^* + C_S \cdot \sinh\left(\frac{x}{l}\right) + C_D \cdot \sinh\left(\frac{L-x}{l}\right) \quad (2.77)$$

où C_S et C_D sont deux constantes à déterminer par les conditions aux limites :

$$\psi_c(0) = V_{bi} - \Phi_F \quad (\text{coté source}) \quad (2.78)$$

$$\psi_c(L) = V_{bi} - \Phi_F + V_{ds} \quad (\text{coté drain}) \quad (2.79)$$

où $V_{bi} (= U_T \cdot \ln(N_A \cdot N_D / n_i^2))$ est le potentiel aux jonctions source-canal et drain-canal. A partir des conditions aux limites ((2.78) et (2.79)), nous obtenons les expressions des deux constantes C_S et C_D :

$$\begin{cases} C_S = \frac{V_{bi} - \Phi_F + V_{ds} - V_g^*}{\sinh\left(\frac{L}{l}\right)} \\ C_D = \frac{V_{bi} - \Phi_F - V_g^*}{\sinh\left(\frac{L}{l}\right)} \end{cases} \quad (2.80)$$

(2.77) peut donc être réécrit comme :

$$\psi_c(x) = V_g^* + (V_{bi} - \Phi_F + V_{ds} - V_g^*) \cdot \frac{\sinh\left(\frac{x}{l}\right)}{\sinh\left(\frac{L}{l}\right)} + (V_{bi} - \Phi_F - V_g^*) \cdot \frac{\sinh\left(\frac{L-x}{l}\right)}{\sinh\left(\frac{L}{l}\right)} \quad (2.81)$$

A ce stade, l'expression du potentiel au centre du film de silicium est obtenue (2.81). Afin d'étudier l'influence des effets canaux-courts, il est nécessaire de rechercher la position du minimum du potentiel dans le canal suivant la direction de la circulation du courant de drain.

Notons que le minimum du potentiel de canal $\psi_{c_{\min}}$ se trouve à la position x_0 . La dérivation première de $\psi_c(x_0)$ doit donc être nulle :

$$\left. \frac{d\psi_c(x)}{dx} \right|_{x=x_0} = 0 \quad (2.82)$$

La solution de (2.82) est alors:

$$x_0 = \frac{l}{2} \cdot \ln \left[\frac{(V_{bi} - \Phi_F - V_g^*) \cdot \exp(L/l) - (V_{bi} - \Phi_F + V_{ds} - V_g^*)}{(V_{bi} - \Phi_F + V_{ds} - V_g^*) - (V_{bi} - \Phi_F - V_g^*) \cdot \exp(-L/l)} \right] \quad (2.83)$$

Une hypothèse est posée ici, à savoir que $L \gg l$, (2.83) devient donc :

$$x_0 = \frac{l}{2} \cdot \ln \left[\frac{(V_{bi} - \Phi_F - V_g^*) \cdot \exp(L/l)}{V_{bi} - \Phi_F + V_{ds} - V_g^*} \right] \quad (2.84)$$

Après un arrangement mathématique, nous avons l'expression de x_0 :

$$x_0 = \frac{L}{2} - \frac{l}{2} \cdot \ln \left(1 + \frac{V_{ds}}{V_{bi} - \Phi_F - V_g^*} \right) \quad (2.85)$$

Une bonne approximation de x_0 est $L/2$ pour $V_{ds} \ll V_{bi} - \Phi_F - V_g^*$. Une fois x_0 obtenu, le minimum du potentiel au centre du film de silicium peut être calculé avec $\Psi_{c_{\min}} = \Psi_c(x_0)$.

Donc

$$\Psi_{c_{\min}} = V_g^* + \left[2 \cdot (V_{bi} - \Phi_F - V_g^*) + V_{ds} \right] \cdot \frac{\sinh\left(\frac{L}{2 \cdot l}\right)}{\sinh\left(\frac{L}{l}\right)} \quad (2.86)$$

D'après (2.86), V_g^* peut alors être exprimé en fonction de $\Psi_{c_{\min}}$:

$$V_g^* = \frac{\Psi_{c_{\min}} - \left[2 \cdot (V_{bi} - \Phi_F) + V_{ds} \right] \cdot \frac{\sinh\left(\frac{L}{2 \cdot l}\right)}{\sinh\left(\frac{L}{l}\right)}}{1 - 2 \cdot \frac{\sinh\left(\frac{L}{2 \cdot l}\right)}{\sinh\left(\frac{L}{l}\right)}} \quad (2.87)$$

II.4.2.1 Pente sous le seuil

La pente sous le seuil est définie comme la variation de polarisation de grille nécessaire pour augmenter le courant d'une décade. Dans le cas idéal, la pente sous le seuil est égale à 60mV/décade ce qui signifie que pour augmenter le courant d'une décade, la tension de polarisation de la grille doit augmenter de 60mV. Lorsque la longueur du canal est réduite, la pente sous le seuil s'en trouve dégradée, i.e. supérieure à 60mV/décade. Cela signifie que la grille a perdu le contrôle d'une partie du canal. Il en résulte directement une augmentation du courant à l'état « off ».

Similairement au modèle EKV pour le MOSFET bulk, un facteur de pente n est introduit (avec n est égal à 1 dans le cas idéal sinon supérieur à 1). Ce facteur de pente est défini comme suit [27]:

$$n = \frac{dV_g}{d\Psi_{c\min}} = \frac{1}{1 - 2 \cdot \frac{\sinh\left(\frac{L}{2 \cdot l}\right)}{\sinh\left(\frac{L}{l}\right)}} \quad (2.88)$$

La densité de charge mobile est redéfinie sous la forme [27]:

$$q_g(v_g, v_{ch}) = q \left(\frac{v_g^* - v_{to} - v_{ch}}{n} \right) \quad (2.89)$$

II.4.2.2 Effets DIBL et Roll-Off

Lorsque $\Psi_{c\min}$ atteint $\Psi_{to} = v_{to} \cdot U_T$, la valeur de la tension de grille correspondante est alors égale à la tension de seuil V_{th} . D'après (2.87), V_{th} peut s'écrire (après normalisation) comme :

$$v_{th} = \frac{v_{to} - \left[2 \cdot (v_{bi} - \phi_F) + v_{ds} \right] \cdot \frac{\sinh\left(\frac{L}{2 \cdot l}\right)}{\sinh\left(\frac{L}{l}\right)}}{1 - 2 \cdot \frac{\sinh\left(\frac{L}{2 \cdot l}\right)}{\sinh\left(\frac{L}{l}\right)}} \quad (2.90)$$

La différence de la tension de seuil peut donc être exprimée comme :

$$\Delta v_{th} = v_{to} - v_{th} = \gamma \cdot [2 \cdot (v_{bi} - \phi_F - v_{to}) + v_{ds}] \quad (2.91)$$

$$\text{avec } \gamma = \frac{1}{2 \cdot \cosh\left(\frac{L}{2 \cdot l}\right) - 2}$$

L'effet DIBL est défini comme la variation de la tension de seuil, lorsque la tension de drain varie. Ainsi, ce décalage de tension de seuil dû à l'effet DIBL vaut :

$$\Delta v_{th_{DIBL}} = \frac{\partial \Delta v_{th}}{\partial v_{ds}} \cdot v_{ds} = \gamma \cdot v_{ds} \quad (2.92)$$

L'effet de partage de charge est indépendant de la polarisation du drain. Par conséquent, en mettant v_{ds} nulle, nous obtenons le décalage de tension de seuil dû au partage de charges :

$$\Delta v_{th_{SCE}} = 2 \cdot \gamma \cdot (v_{bi} - \phi_F - v_{to}) \quad (2.93)$$

Maintenant que la densité de charge mobile et les décalages de tension de seuil dus aux effets de petites géométries ont été obtenus, le courant de drain peut être recalculé en prenant en compte tous ces effets :

$$i = -q_m^2(v_g, v_{ch}) + 2 \cdot q_m(v_g + \Delta v_{th}, v_{ch}) + \frac{2}{\alpha} \cdot \ln \left(1 - \alpha \cdot \frac{q_m(v_g + \Delta v_{th}, v_{ch})}{2} \right) \Bigg|_{q_{ms}}^{q_{md}} \quad (2.94)$$

avec $v_{ch} = v_s$ ou v_d . La densité de charge mobile est calculée grâce à (2.89). Le décalage de tension de seuil n'est seulement introduit que dans les deux derniers termes de (2.94), car le premier terme de (2.94) n'est dominant qu'en forte inversion à l'inverse des deux derniers termes dominant eux dans la région de faible inversion (Figure II-14).

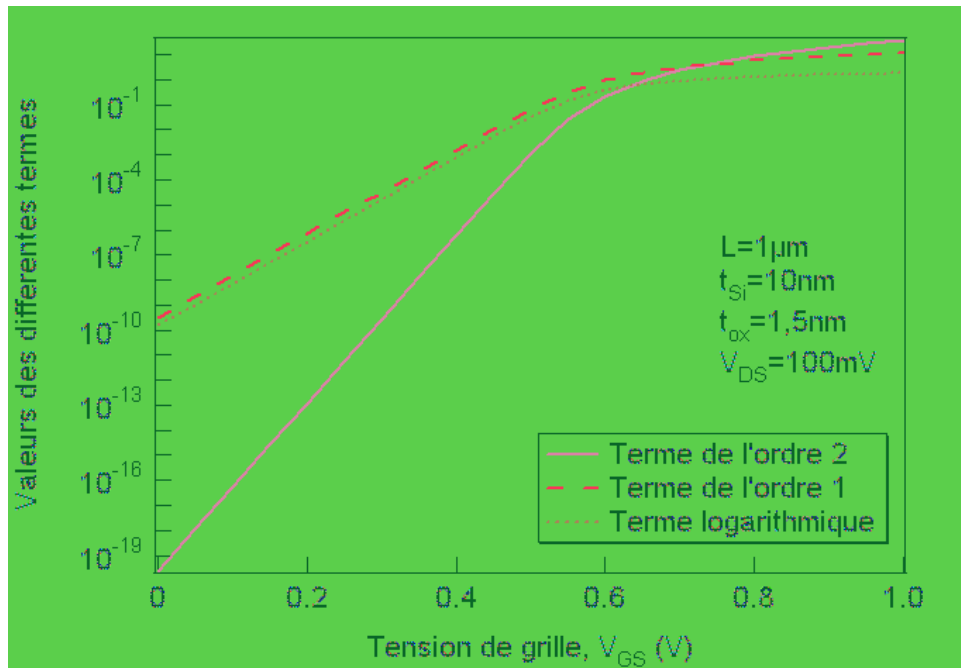


Figure II-14 Comparaison des valeurs absolues obtenues par les différents termes dans (2.50)

II.4.3 Comparaison du modèle compact de DG MOSFET avec les simulations numériques des FinFETs

Le modèle compact du DG MOSFET est le point de départ du développement du modèle compact du FinFET [25] [27]. Par conséquent, en tout premier lieu il est nécessaire de montrer les différences entre les résultats du modèle compact de DG MOSFET et les simulations numériques des FinFETs. Notons que la largeur du film de silicium du FinFET (W_{Si}) est équivalente à l'épaisseur du film de silicium du DG MOSFET (t_{Si}) et la hauteur du film de silicium du FinFET (H_{Si}) est équivalente à la largeur du DG MOSFET (W).

II.4.3.1 Validation du modèle pour un FinFET à canal long

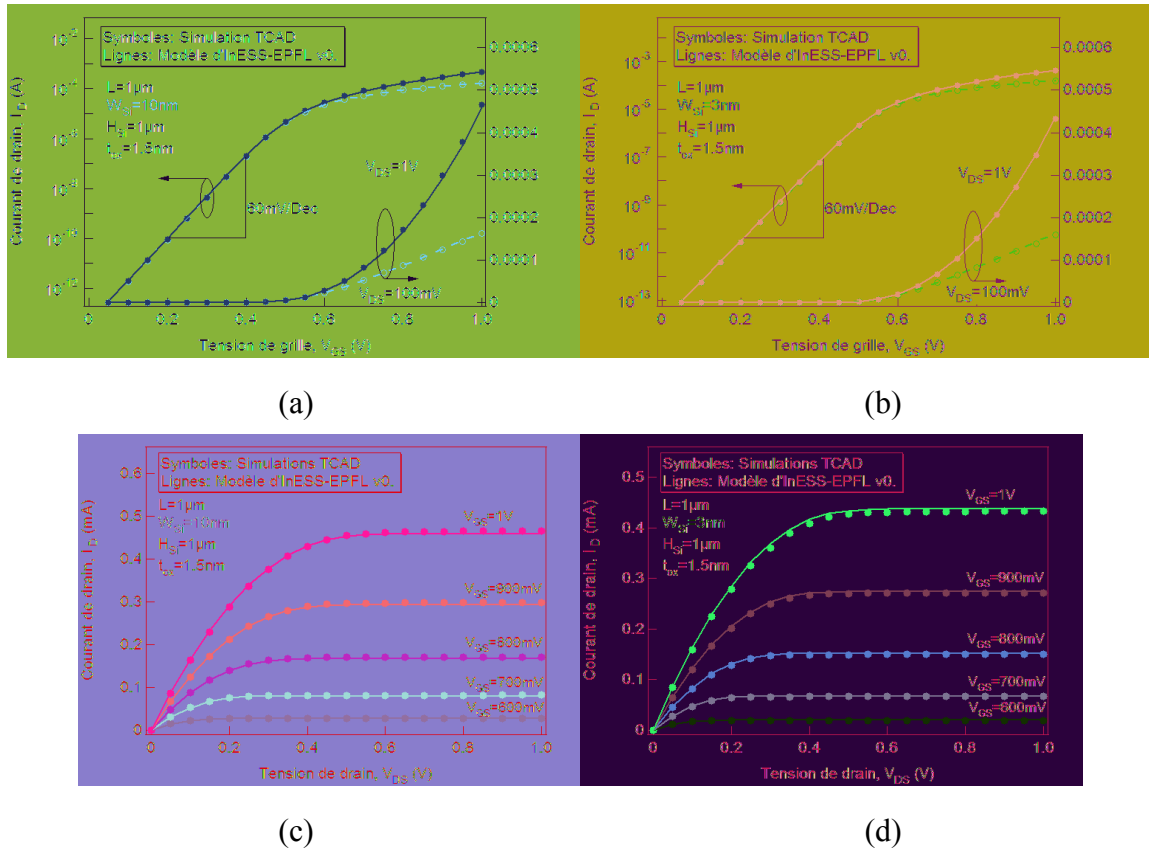


Figure II-15 Comparaison du modèle statique (a et b) I_D vs V_{GS} et (c et d) I_D vs V_{DS} d’InESS-EPFL v0. [12] avec la simulation classique numérique sous Silvaco.

$L=1\mu\text{m}$, $W_{\text{Si}}=10\text{nm}$ (a et c) et $W_{\text{Si}}=3\text{nm}$ (b et d), $H_{\text{Si}}=1\mu\text{m}$.

Nous présentons la validation du modèle d’InESS-EPFL v0. [12] en le comparant avec les simulations 3D numériques sous Atlas/Silvaco. Les symboles sont les simulations numériques et les lignes sont du modèle d’InESS-EPFL v0. (Figure II-15). La longueur du canal est fixée à $1\mu\text{m}$, donc un FinFET avec un canal long. Les effets quantiques ne sont pas pris en compte dans les simulations numériques ni dans le modèle d’InESS-EPFL v0.

Nous observons une bonne concordance quelle que soit la largeur du silicium (W_{Si}), en échelle logarithmique et linéaire, en faible inversion aussi bien qu’en forte inversion. Puisque la longueur du canal est très grande ($L=1\mu\text{m}$), les pentes sous le seuil pour les deux largeurs du silicium ($W_{\text{Si}}=10\text{nm}$ et 3nm) sont égales aux valeurs idéales de 60mV/déc .

Nous voyons que dans la région de faible inversion, le courant de drain pour une largeur plus grande ($W_{\text{Si}}=10\text{nm}$) est plus grand qu’une largeur plus petite ($W_{\text{Si}}=3\text{nm}$). Cela s’explique par le phénomène d’inversion volumique. En régime de faible inversion, puisque tout le

silicium est déserté, le courant de drain est déterminé par la quantité de porteurs emmagasinés dans le silicium. Pour une hauteur de silicium donnée, une largeur plus grande contient plus de porteurs qu'une largeur plus petite. Le courant sous le seuil est donc plus grand pour une largeur de silicium plus grande. Cependant, ce n'est plus le cas en régime de forte inversion ; lorsque le transistor entre en régime forte inversion, sans considérer (ici) les effets de mécanique quantique, les porteurs se trouvent proche de l'interface Si/SiO₂. Ainsi, le courant de drain n'a plus de relation avec la largeur du silicium. Dans ce cas-là, le courant de drain tend vers la même valeur quelle que soit la largeur du silicium.

D'après la Figure II-15, nous pouvons conclure que le modèle du courant de drain d'InESS-EPFL v0. [12] est valide pour un transistor FinFET long, en absence des effets quantiques.

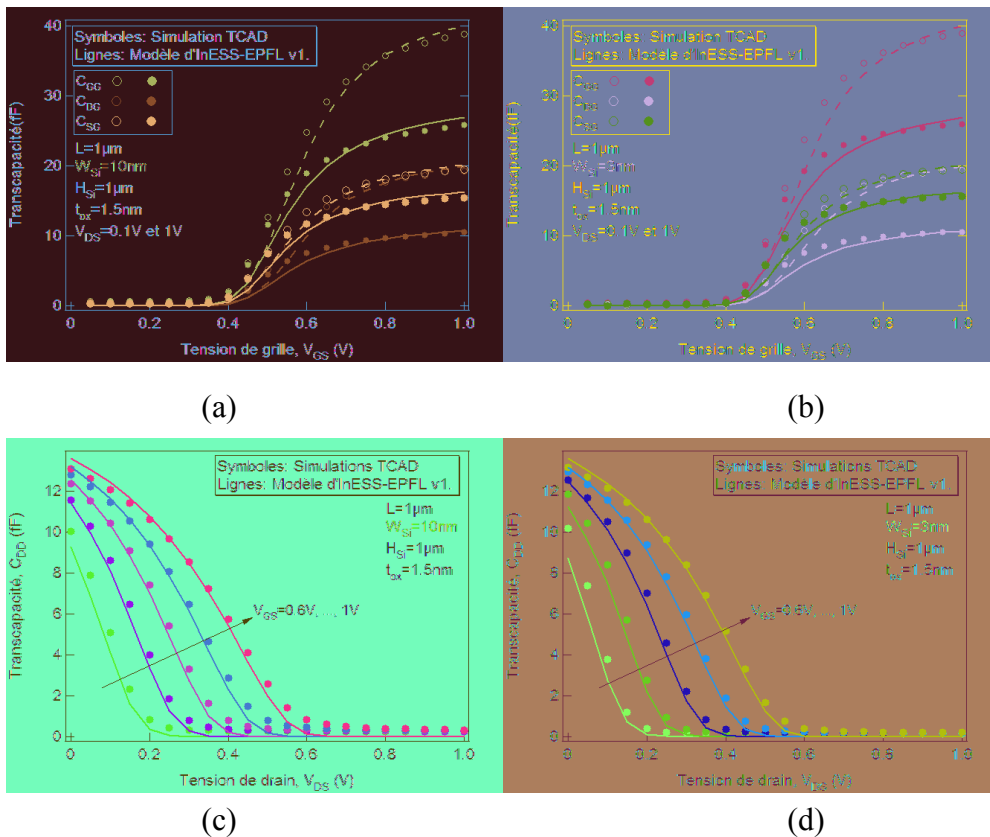


Figure II-16 Comparaison du modèle dynamique (C_{GG} , C_{DB} , C_{SG}) (a et b) et (C_{DB}) (c et d) [28], avec une simulation classique numérique sous Atlas/Silvaco. Dans (a) et (b), les symboles vides et les lignes discontinues sont pour $V_{DS}=0, 1\text{V}$ et les symboles pleins et les lignes continues sont pour $V_{DS}=1\text{V}$.

La Figure II-16 montre la comparaison entre les résultats de simulation du modèle compact [28] avec la simulation classique numérique sous Atlas/Silvaco, pour les FinFETs de mêmes dimensions que précédemment. Nous voyons qu'il existe un décalage entre le modèle et les simulations numériques. Ce décalage peut être quantifié de 30mV. En décalant les courbes calculées par le modèle compact avec un V_g plus faible de 30mV, nous retrouvons

une bonne concordance dans les transcapacités (Figure II-17, et Figure II-18). Par contre, l'erreur sur C_{DD} n'est pas aussi évidente que pour C_{GG} , C_{DG} et C_{SG} .

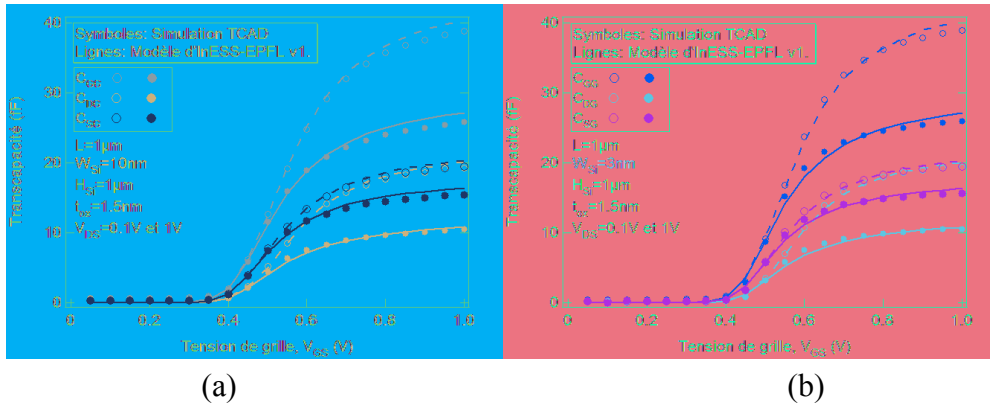


Figure II-17 Comparaison du modèle dynamique (C_{GG} , C_{DG} , C_{SG}) [28] (décalé d'une tension de grille plus petite de 30mV) avec la simulation classique numérique sous Silvaco. $L=1\mu\text{m}$, $W_{Si}=10\text{nm}$ (a) et 3nm (b), $H_{Si}=1\mu\text{m}$. Dans (a) et (b), les symboles vides et les lignes discontinues sont pour $V_{DS}=0,1\text{V}$ et les symboles pleins et les lignes continues sont pour $V_{DS}=1\text{V}$.

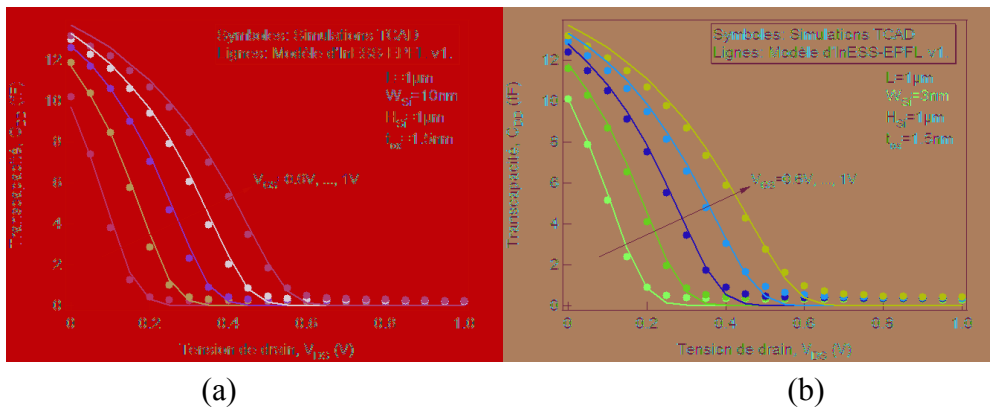


Figure II-18 Comparaison du modèle dynamique (C_{DD}) [28] (décalé d'une tension de grille plus petite de 30mV) avec la simulation classique numérique sous Silvaco. $L=1\mu\text{m}$, $W_{Si}=10\text{nm}$ (a) et 3nm (b), $H_{Si}=1\mu\text{m}$

II.4.3.2 Validation du modèle pour un FinFET canal court

A partir du modèle d'InESS-EPFL v0., B. Diagne a apporté dans sa thèse des corrections permettant au modèle compact de prendre en compte la dégradation de la pente sous le seuil due aux effets de SCE et DIBL pour un MOSFET double-grille court (II.4.2) jusqu'à 60 nm pour la longueur et 10 nm pour la largeur du film de silicium. La saturation de vitesse des porteurs, la modulation de la longueur du canal et les effets quantiques n'ont pas été pris en compte.

La Figure II-19 est une comparaison entre les résultats de simulation du modèle compact d'InESS-EPFL v1. et ceux d'une simulation classique numérique. Pour une petite longueur de

canal ($L = 50\text{nm}$), une grande erreur est trouvée quelle que soit la largeur du film de silicium (W_{Si}). Comme nous l'avons déjà discuté, les effets des canaux courts sont plus néfastes pour une largeur du silicium plus grande (I.1.8) (voir Figure II-19a et b). Sur les Figure II-19a et b, nous voyons que l'effet de partage de charge est sous-estimé. La dégradation de la pente sous le seuil est sous-estimée par rapport aux simulations numériques pour $W_{\text{Si}}=10\text{nm}$ (Figure II-19a). Le courant de drain est sous-estimé dans la région de forte inversion ce qui est encore plus évident aux Figure II-19c et d. Cela est dû à l'effet de la modulation de la longueur du canal dans la région de saturation. Si l'effet de la modulation de la longueur du canal n'est pas pris en compte, le courant de drain sature et reste constant en régime de saturation comme montré aux Figure II-19c et d.

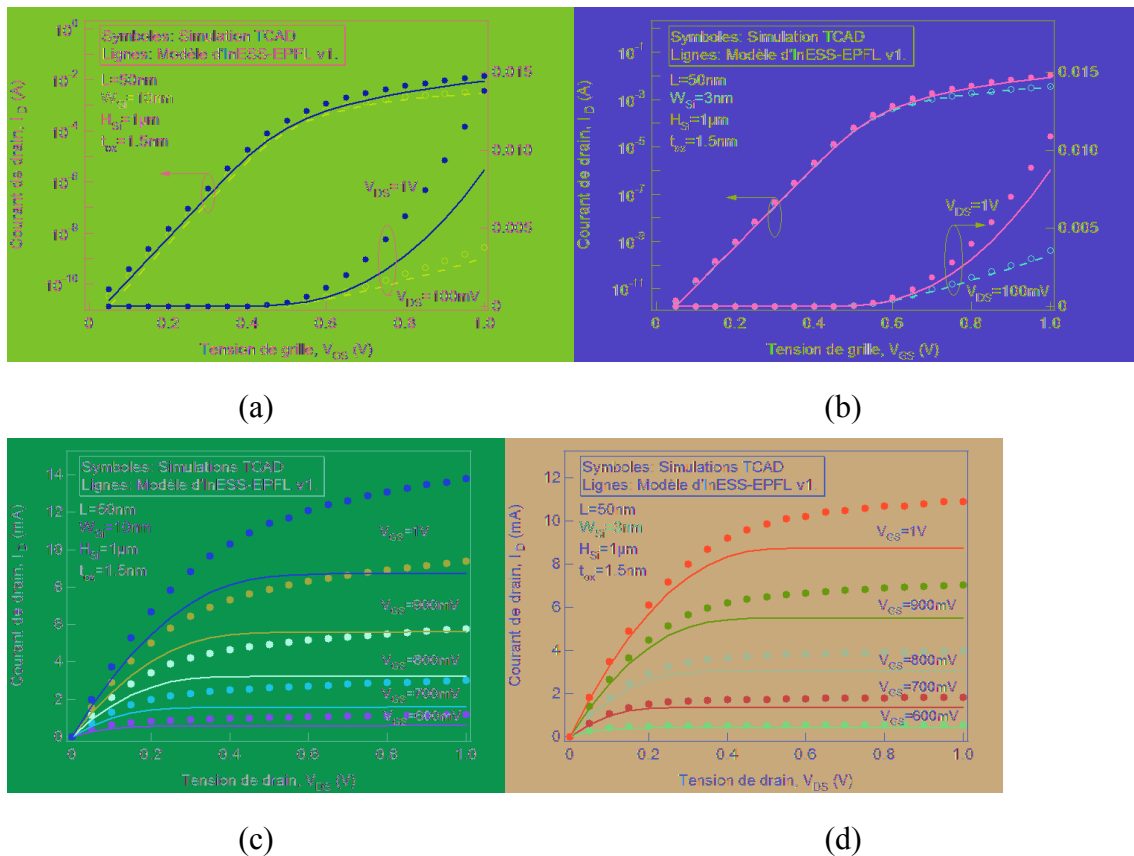


Figure II-19 Comparaison du modèle statique (a et b) I_D vs V_{GS} et (c et d) I_D vs V_{DS} d'InESS-EPFL v1. et la simulation classique numérique sous Silvaco. $L=50\text{nm}$, $W_{\text{Si}}=10\text{nm}$ (a et c) et 3nm (b et d), $H_{\text{Si}}=1\mu\text{m}$.

Nous pouvons aussi trouver des erreurs très importantes pour les transcaptivités (Figure II-20) pour les mêmes dimensions de dispositifs qu'à la Figure II-19. Etant donné que la capacité de recouvrement (« overlap ») n'est pas modélisée, cela fait une partie de l'erreur trouvée à la Figure II-20. L'erreur sur la tension de seuil ne peut pas être identifiée aussi simplement qu'au II.4.3.1 à cause de la superposition de l'influence de l'erreur de la capacité d'overlap.

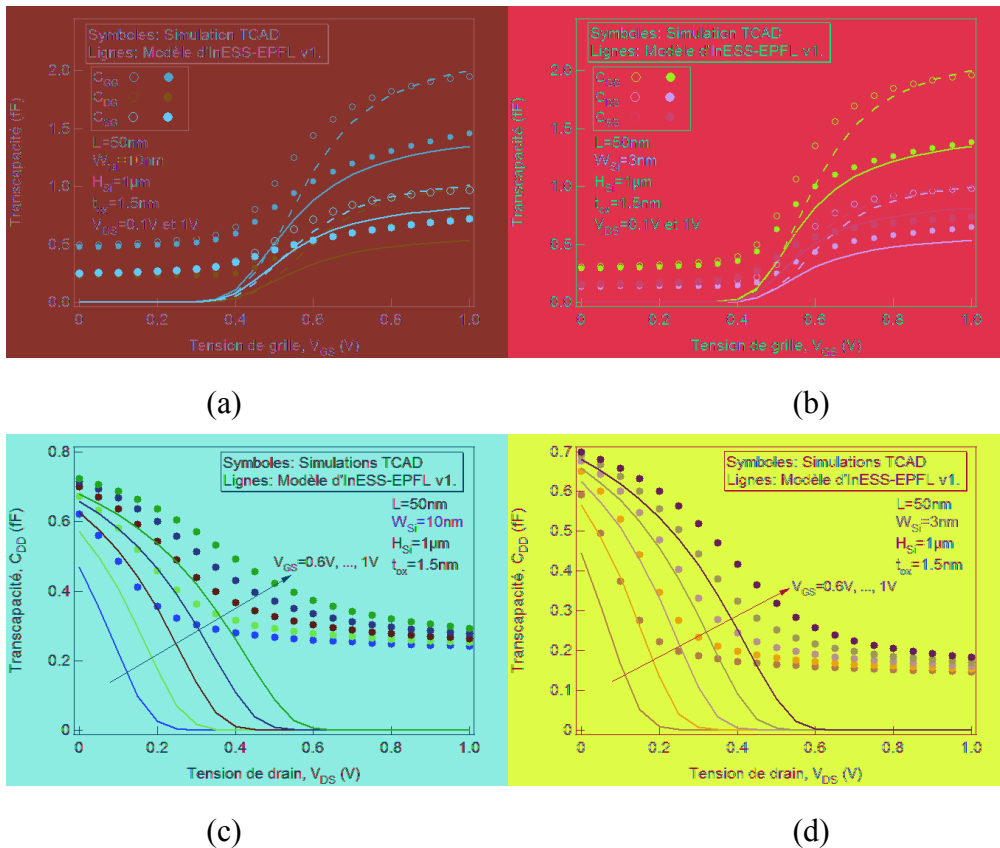


Figure II-20 Comparaison du modèle dynamique (C_{GG} , C_{DG} , C_{SG}) (a et b) et (C_{DD}) (c et d) d'InESS-EPFL v1. avec la simulation classique numérique sous Silvaco. Dans (a) et (b), les symboles vides et les lignes discontinues sont pour $V_{DS}=0,1V$ et les symboles pleines et les lignes continues sont pour $V_{DS}=1V$.

D'après les Figure II-21, Figure II-22 et Figure II-23, si la longueur du canal diminue, et la largeur du silicium est plus grande, les effets canaux courts sont alors plus importants. Concernant la pente sous le seuil, le modèle d'InESS-EPFL v1. sous-estime cette dégradation (Figure II-21). Quand $W_{Si}=3nm$, le modèle d'InESS-EPFL v1. sous-estime l'effet DIBL et quand $W_{Si}=10nm$, l'effet DIBL est sous-estimé pour L supérieur à $60nm$ et est sur-estimé pour L inférieur à $60nm$ par le modèle d'InESS-EPFL v1. Par ailleurs, les aspects quantiques, les effets modulations de longueur de canal et de saturation de vitesse des porteurs ne sont pas pris en compte, ce qui introduit de graves erreurs sur les caractéristiques statiques et sur les transconductances.

En conclusion, l'élaboration d'un modèle de FinFET plus complet et plus précis est donc nécessaire. Cette étude est le cœur du Chapitre III de ce manuscrit de thèse.

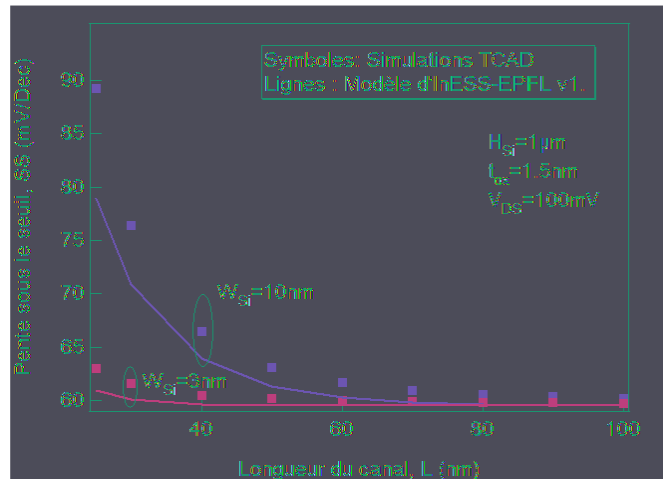


Figure II-21 Dégradation de la pente sous le seuil, en fonction de la longueur du canal : Comparaison entre le modèle d'InESS-EPFL v1. et la simulation classique numérique pour $W_{Si}=10nm$ et $3nm$ et $H_{Si}=1\mu m$.

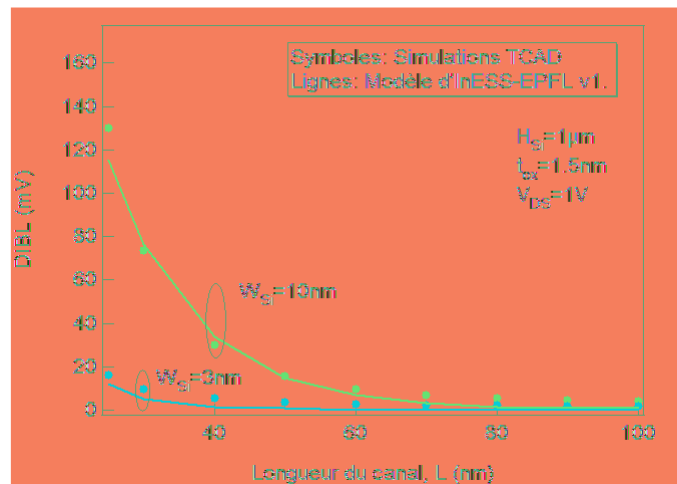


Figure II-22 Effet DIBL en fonction de la longueur du canal : Comparaison entre le modèle d'InESS-EPFL v1. et la simulation classique numérique pour $W_{Si}=10nm$ et $3nm$ et $H_{Si}=1\mu m$.

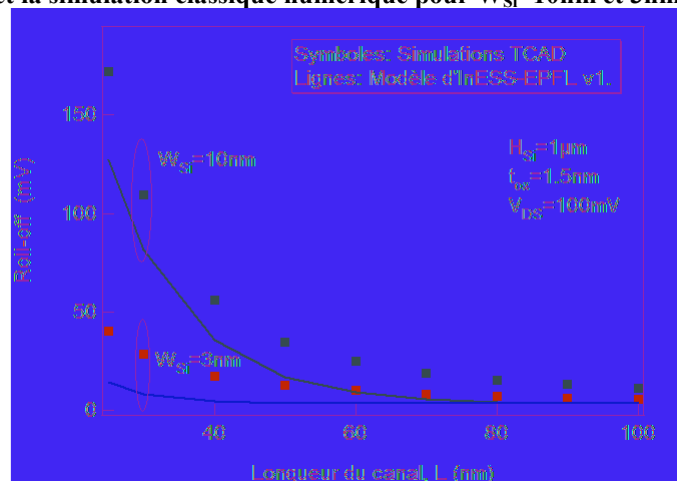


Figure II-23 Effet Roll-off en fonction de la longueur du canal : Comparaison entre le modèle d'InESS-EPFL v1. et la simulation classique numérique pour $W_{Si}=10nm$ et $3nm$ et $H_{Si}=1\mu m$.

Conclusion

Les modèles existants pour l'instant ne sont pas idéaux pour la simulation de circuit en raison de leur gamme de validations et du grand nombre de paramètres à extraire. Cela nous encourage à développer un modèle compact et explicite plus performant, dans le but de simuler précisément les circuits avec une grande densité d'intégration.

Afin de valider le modèle compact, nous avons tout d'abord mis en place l'outil de simulation numérique 2D- et -3D. Une méthode de simulation automatique a été développée grâce à une génération automatique du script de simulation et un logiciel de lancement programmé des simulations (ce logiciel est développé par le doctorant qui continue le travail de cette thèse). Un grand nombre de simulations numériques permettant de couvrir la plupart des géométries des FinFETs réalisés actuellement a été fait. Les résultats ont permis d'étudier en détail le comportement physique des FinFETs, et d'élaborer des caractéristiques *références* en statique/dynamique nous permettant de tester l'efficacité de notre modèle compact au cours de son développement.

Un modèle compact explicite de MOSFET double-grille issu de nos travaux précédents, et contenant une première correction liée aux effets SCE et DIBL, a été évalué en détail. Nous avons mis en évidence ses imperfections. Partant de ce modèle de base, nous avons développé un modèle de FinFET, en corrigeant tout d'abord les aspects physiques mal pris en compte dans le modèle de base, et en introduisant d'autres aspects physiques non-pris en compte. Nous allons détailler ce travail sur la modélisation compacte du transistor FinFET dans le chapitre suivant.

Références

- [1] Y. Taur, "An Analytical Solution to a Double-Gate MOSFET with Undoped Body," Proc. IEEE Electron Device Letters, vol. 21, no.5, pp 245-247, May 2000.
- [2] Y. Taur, X. Liang, W. Wang and H. Lu, "A Continuous, Analytic Drain-Current Model for DG MOSFETs, "IEEE Electron Device Letters, vol.25, no.2, Feb. 2004.

- [3] H. Lu and Y. Taur, "An Analytic Potential Model for Symmetric and Asymmetric DG MOSFETs," *IEEE Transactions on Electron Devices*, vol.53, no.5, pp 1161-1168, May 2006.
- [4] H. Lu, B. Yu and Y. Taur, "A unified charge model for symmetric double-gate and surrounding-gate MOSFETs," *Solid-State Electronics*, vol.52, no.1, pp 67-72, Jan. 2008.
- [5] B. Yu, H. Lu, M. Liu and Y. Taur, "Explicit Continuous Models for Double-Gate and Surrounding-Gate MOSFETs," *IEEE Transactions on Electron Devices*, vol.54, no.10, pp 2715-2722, Oct. 2007.
- [6] H. C. Pao and C. T. Sah, "Effects of diffusion current on characteristics of metal-oxide (insulator)-semiconductor transistors," *Solid-State Electronics*, vol.9, no.10, pp 927-937, Oct. 1966.
- [7] Y. Taur and T. H. Ning, *Fundamentals of Modern VLSI Devices*. Cambridge, U.K.: Cambridge Univ. Press, 1998.
- [8] X. Liang and Y. Taur, "A 2-D Analytical Solution for SCEs in DG MOSFETs," *IEEE Transactions on Electron Devices*, vol.51, no.8, Aug. 2004.
- [9] J. Song, B. Yu, Y. Yuan and Y. Taur, "A Review on Compact Modeling of Multiple-Gate MOSFETs," *IEEE Transactions on Circuits and Systems—I: Regular papers*, vol.56, no.8, pp 1858-1869, Aug. 2009.
- [10] G. D. J. Smit, A. J. Scholten, G. Curatola, R. van Langevelde, G. Gildenblat and D. B. M. Klaassen, "PSP-based scalable compact FinFET model," *NSTI-Nanotech 2007*, vol.3, pp 520-525, 2007.
- [11] O. Moldovan, D. Jiménez, J. Roig Guitart, F. A. Chaves and B. Iniguez, "Explicit Analytical Charge and Capacitance Models of Undoped Double-Gate MOSFETs," *IEEE Transactions on Electron Devices*, vol.54, no. 7, pp 1718-1724, July 2007.
- [12] J.M. Sallese, F. Krummenacher, F. Prégaldiny, C. Lallement, A. Roy and C. Enz, "A design oriented charge-based current model for symmetric DG MOSFET and its correlation with the EKV formalism," *Solid-State Electronics*, vol.49, no.3, pp 485-489, Mar. 2005.

- [13] B. Iniguez, D. Jiménez, J. Roig, H. A. Hamid, L.F. Marsal and J. Pallares, "Explicit continuous model for long-channel undoped surrounding gate MOSFETs," *IEEE Transactions on Electron Devices*, vol.52, no. 8, pp 1868-1873, Aug. 2005.
- [14] F. Lime, B. Iniguez and O. Moldovan, "A Quasi-Two-Dimensional Compact Drain-Current Model for Undoped Symmetric Double-Gate MOSFETs Including Short-Channel Effects," *IEEE Transactions on Electron Devices*, vol.55, no. 6, pp 1441-1448, Jun. 2008.
- [15] A. Lazaro, B. Nae, B. Iniguez, F. Garcia, I.M. Tienda-Luna and A. Godoy, "A compact quantum model for fin-shaped field effect transistors valid from dc to high frequency and noise simulations," *Journal of Applied Physics*, vol.103, no. 8, pp 084507-084507-9, Apr. 2008.
- [16] S. Kolberg, H. Børli and T. A. Fjeldly, "Modeling, verification and comparison of short-channel double gate and gate-all-around MOSFETs," *Mathematics and Computers in Simulation*, vol. 79, no. 4, pp 1107-1115, Dec. 2008.
- [17] H. Børli, S. Kolberg, T. A. Fjeldly, "Capacitance modeling of short-channel double-gate MOSFETs," *Solid-State Electronics*, vol. 52, no. 10, pp 1486-1490, Oct. 2008.
- [18] E. Weber, *Electromagnetic fields Mapping of Fields*, vol. 1, Wiley, New York, 1950.
- [19] J.G.Fossum, L.Ge, M.H.Chiang, B.Y.Nguyen, "A process/physics-based Compact Model for Nonclassical CMOS Device and Circuit Design", *Solid-State Electronics*, vol. 48, no. 6, pp 919-926, June 2004.
- [20] M. Reyboz, P. Martin, T. Poiroux, O. Rozeau, "Continuous model for independent double gate MOSFET," *Solid-State Electronics*, vol. 53, no. 5, pp. 504-513, May 2009.
- [21] Atlas user's manual – device simulation software, SILVACO International Inc.
- [22] J. M. Sallese, M. Bucher, F. Krummenacher and P. Fazan, "Inversion charge linearization in MOSFET modeling and rigorous derivation of the EKV compact model," *Solid-State Electronics*, vol.47, no.4, pp 677-683, Apr. 2003.
- [23] J. M. Sallese and A.S. Porret, "A novel approach to charge-based non-quasi-static model of the MOS transistor valid in all modes of operation," *Solid-State Electronics*, vol.44, no.6, pp 887-894, Mar. 2000.

- [24] F. Prégaldiny, F. Krummenacher, J.-M. Sallese, B. Diagne and C. Lallement, "An explicit quasi-static charge-based compact model for symmetric DG MOSFET," Nano Science and Technology Institute, Nanotech, vol. 3, pp 686-691, 2006.
- [25] B. Diagne, "Etude et modélisation compacte d'un transistor MOS SOI double-grille dédié à la conception," Thèse de l'Université Louis Pasteur (Strasbourg), Nov. 2007.
- [26] J. Colinge, "Silicon-on-insulator technology: Materials to VLSI," ISBN 1-4020-77734, Kluwer Academic Publishers, 3rd edition, 1997.
- [27] B. Diagne, F. Prégaldiny, C. Lallement, J.-M. Sallese et F. Krummenacher, "Explicit compact model for symmetric double-gate MOSFETs including solutions for small-geometry effects," Solid-State Electronics, vol. 52, no. 1, pp 99-106, Jan. 2008.
- [28] F. Prégaldiny, F. Krummenacher, J.M. Sallese, B. Diagne and C. Lallement, "An explicit quasi-static charge-based compact model for symmetric double gate MOSFETs," in Proc. Workshop Compact Modeling, NSTI Nanotech, Boston, MA, pp 686-691, May 2006.

Chapitre III Modélisation avancée

Sommaire du Chapitre III

| | | |
|--------------|--|------------|
| III.1 | MODELE STATIQUE | 107 |
| III.1.1 | <i>La pente sous le seuil.....</i> | 107 |
| III.1.2 | <i>Le partage de charge (SCE) et l'abaissement de la barrière induit par le drain (DIBL)</i> | 110 |
| III.1.3 | <i>Nouvelle formulation du courant de drain</i> | 113 |
| III.1.4 | <i>Tension de saturation (V_{dsat}).....</i> | 115 |
| III.1.5 | <i>Modulation de la longueur du canal (CLM).....</i> | 118 |
| III.1.6 | <i>Effets de mécanique quantique (QME).....</i> | 121 |
| III.1.7 | <i>Validation du modèle statique.....</i> | 124 |
| III.2 | MODELE DYNAMIQUE | 135 |
| III.2.1 | <i>Méthode EKV plus.....</i> | 135 |
| III.2.1.1 | <i>Modèle du FinFET avec canal long</i> | 135 |
| III.2.1.2 | <i>Modèle du FinFET avec canal court.....</i> | 141 |
| III.2.2 | <i>Méthode analytique directe</i> | 144 |
| III.2.2.1 | <i>Développement du modèle analytique.....</i> | 144 |
| III.2.2.2 | <i>Validation du modèle analytique.....</i> | 149 |
| III.2.2.2.1 | <i>FinFET avec un canal long</i> | 149 |
| III.2.2.2.2 | <i>FinFET avec un canal court.....</i> | 150 |
| III.2.3 | <i>Comparaison des méthodes EKV plus et analytique directe</i> | 151 |
| | <i>Conclusion.....</i> | 153 |
| | <i>Références</i> | 153 |

III.1 Modèle statique

Nous venons de montrer que le modèle précédent était limité dans son utilisation, et était par ailleurs incomplet. Mon travail de thèse peut se décomposer de deux parties principales: la simulation numérique du FinFET sous TCAD et la modélisation compacte du FinFET. La première partie a été détaillée dans II.3. Le deuxième travail de ma thèse, après avoir développé de nouvelles structures d'études par la méthode des éléments finis (FEM), a été de travailler sur un nouveau modèle compact de DG MOSFET (base du FinFET) avec une gamme de validation plus étendue (longueur du canal (L) inférieure à 60 nm et la largeur du silicium (W_{Si}) inférieure à 20 nm).

Le développement d'un modèle compact de MOSFET double-grille nécessitait l'élaboration de structures en 2D réalisées avec un simulateur par éléments finis (Outil Silvaco/Atlas & Tonyplot). Le développement d'un modèle compact de FinFET a nécessité l'élaboration de structures en 3D réalisées avec le simulateur par éléments finis - Silvaco/Devedit3D, Atlas & Tonyplot3D (II.3).

III.1.1 La pente sous le seuil

Dans II.4.2, nous avons vu qu'une approximation sur la position (x_0) du potentiel minimum ($\Psi_{c_{min}}$) dans le film de silicium a été faite. x_0 était supposé constant et égal à $L/2$. Cette approximation a été vérifiée et validée par simulation TCAD pour la longueur du canal (L) supérieur à 60 nm mais pas en dessous [1]. En effet, dans ce cas cette position n'est pas toujours constante. La valeur exacte de x_0 dépend de la polarisation de grille et de drain : elle ne varie que très légèrement pour un transistor long contrairement au cas d'un transistor court où cette valeur est significativement modifiée.

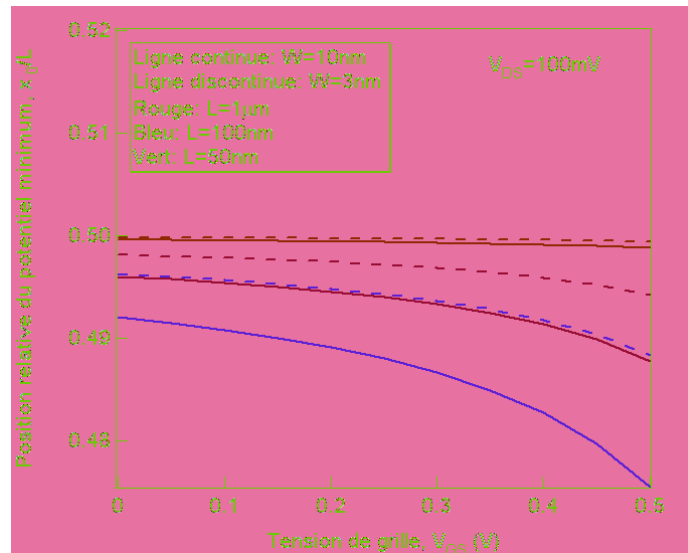


Figure III-1 Position du potentiel minimum par rapport à la longueur du canal en fonction de la polarisation de grille pour différentes dimensions.

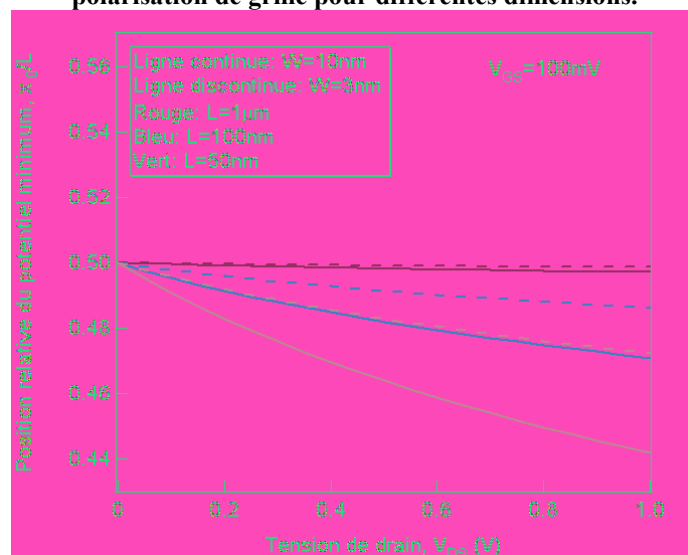


Figure III-2 Position du potentiel minimum par rapport à la longueur du canal en fonction de la polarisation de drain pour différentes dimensions.

La Figure III-1 et la Figure III-2 montrent la position du potentiel minimum calculée par (2.83) normalisée par la longueur du canal en fonction de la polarisation de grille et de drain pour différentes dimensions ($L = 1 \mu\text{m}$, 100 nm , 50 nm et $W_{\text{Si}} = 10 \text{ nm}$, 3 nm). Nous voyons que le potentiel proche du drain est augmenté par l'influence de la polarisation de drain, et en conséquence x_0 se déplace vers la source lorsque la polarisation de grille (ou de drain) augmente. Ce déplacement devient plus important lorsque la longueur du canal (L) diminue et que la largeur du film de silicium (W_{Si}) augmente. Pour un dispositif long, x_0 ne se déplace quasiment pas. Dans ce cas, nous pouvons considérer que x_0 égale à $L/2$. Cependant, pour un dispositif court, cette approximation n'est plus valable.

La résolution de la position x_0 est très complexe, aussi nous proposons ici l'introduction d'un paramètre α_n . Au lieu de $L/2$, nous utilisons $\alpha_n \cdot L$ pour décrire la position x_0 . Par comparaison avec les résultats de simulation 3D sous Silvaco, nous avons fixé α_n à 0,6. Ce paramètre est technologiquement indépendant, et il est donc valide pour toutes les dimensions du dispositif. Finalement, le facteur de pente (2.88) devient :

$$n = \frac{dV_g}{d\Psi_{c\min}} = \frac{1}{1 - 2 \cdot \frac{\sinh\left(\frac{\alpha_n \cdot L}{l}\right)}{\sinh\left(\frac{L}{l}\right)}} \quad (3.1)$$

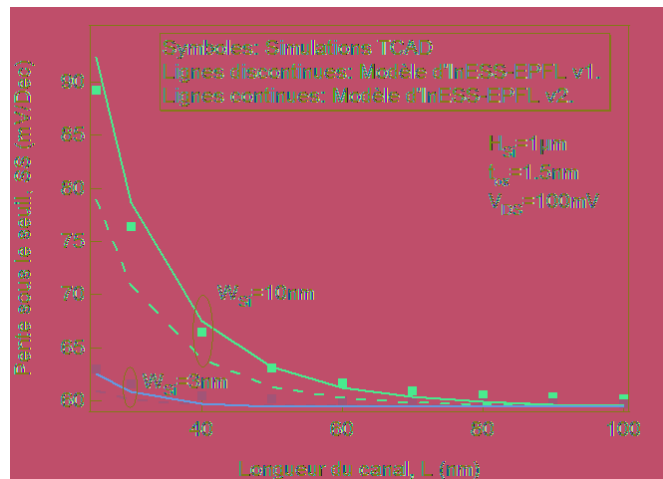


Figure III-3 Pente sous le seuil en fonction de la longueur du canal pour $W_{Si} = 10$ nm et 3 nm

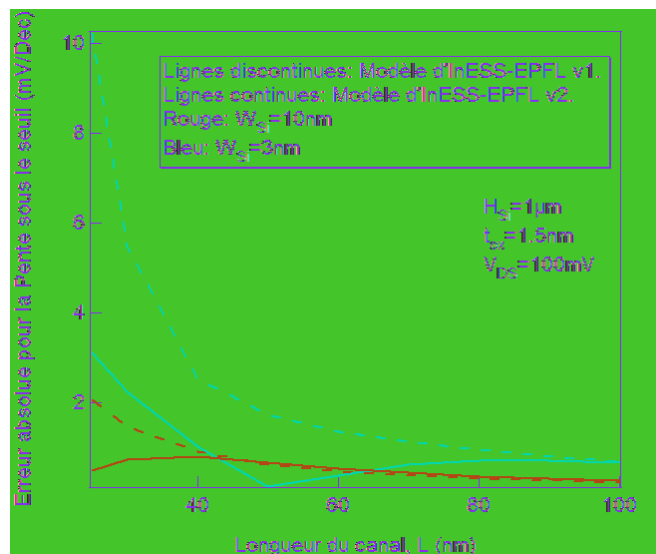


Figure III-4 Erreur absolue de la pente sous le seuil entre: le modèle explicite actuel, celui d'InESS-EPFL v1., et les simulations numériques en fonction de la longueur du canal, pour $W_{Si} = 10$ nm et 3 nm

A la Figure III-3, nous comparons la pente sous le seuil simulée sous Silvaco avec celle calculée par (3.1). Ces comparaisons sont faites pour deux largeurs du silicium différentes ($W_{Si}=10$ nm et 3 nm). Notre modèle prédit très bien la pente sous le seuil pour la largeur du silicium plus petite (i.e. $W_{Si}=3$ nm) et un peu moins bien pour $W_{Si}=10$ nm. Bien qu'il existe une erreur (Figure III-4) pour $W_{Si}=10$ nm, nous avons quand même un courant de drain qui correspond bien aux simulations 3D (III.1.7). Comparé avec le modèle d'InESS-EPFL v1., le modèle actuel a réduit l'erreur notamment pour les FinFET avec un canal court. D'autre part, pour les dispositifs longs, la pente sous le seuil reste à sa valeur idéale (60 mV/décade). La Tableau III-1 montre les résultats calculés par (3.1). Nous voyons bien la tendance d'augmentation de la valeur de n en diminuant la longueur du canal (L) ou en augmentant la largeur du film de silicium (W_{Si}).

Tableau III-1 Valeur de n pour les différentes longueurs du canal et largeurs du film de silicium

| L (nm) \ W_{Si} (nm) | 3 | 5 | 10 |
|--------------------------|-------|-------|-------|
| 25 | 1.06 | 1.167 | 1.579 |
| 30 | 1.029 | 1.092 | 1.356 |
| 40 | 1.007 | 1.03 | 1.154 |
| 50 | 1.002 | 1.01 | 1.073 |
| 60 | 1 | 1.004 | 1.036 |
| 70 | 1 | 1.001 | 1.018 |
| 80 | 1 | 1 | 1.009 |
| 90 | 1 | 1 | 1.005 |
| 100 | 1 | 1 | 1.002 |
| 1000 | 1 | 1 | 1 |

III.1.2 Le partage de charge (SCE) et l'abaissement de la barrière induit par le drain (DIBL)

Le partage de charge (SCE) et l'abaissement de la barrière induit par le drain (DIBL) sont deux effets clefs à modéliser.

A cause du partage de charge entre la grille et le drain, une partie du canal est contrôlée par le drain au lieu de la grille. Cet effet s'appelle l'effet *canal court* soit « Roll-off » en anglais. Il s'agit d'un décalage de la tension de seuil. Cet effet peut être quantifié en mesurant la différence de la tension de grille nécessaire pour avoir le même courant de drain normalisé

par rapport à la longueur du canal en prenant un dispositif long comme référence. Lorsque la longueur du canal diminue, la tension de seuil est réduite.

L'effet de l'abaissement de la barrière induit par le drain se traduit par une réduction de la tension de seuil due à l'augmentation de la tension de drain. Lorsque la tension de drain augmente, le potentiel de la région proche de drain augmente. Cela fait baisser la barrière de potentiel et donc cela implique un abaissement de la tension de seuil.

Le modèle du décalage de tension de seuil discuté précédemment (2.91) n'est pas suffisamment précis dans le cas du FinFET (Figure II-22). Afin de prévoir précisément ce comportement, nous avons modifié l'équation (2.91) en la séparant en deux parties qui décrivent respectivement les décalages de tension de seuil dus aux partages de charge (SCE) et DIBL:

$$\Delta v_{th} = \Delta v_{th_SCE} + \Delta v_{th_DIBL} = 2 \cdot \gamma_{SCE} \cdot (v_{bi} - \phi_F - v_{to}) + \gamma_{DIBL} \cdot v_{ds} \quad (3.2)$$

où

$$\gamma_i = \frac{1}{\alpha_{i1} \cdot \cosh\left(\frac{\alpha_{i2} \cdot L}{l}\right) + \alpha_{i3} \cdot \left[1 - 0.00055 \cdot \left[(L-100) + \sqrt{(L-100)^2}\right]\right]} \quad \text{avec}$$

$i = SCE$ ou $DIBL$. Les valeurs des $\alpha_{i1,2,3}$ sont fonction de la largeur du film de silicium et sont calculées comme suit :

$$\begin{cases} \alpha_{SCE1} = 8.6 - 0.54 \cdot W_{Si} \\ \alpha_{SCE2} = 0.048 + 0.034 \cdot W_{Si} \\ \alpha_{SCE3} = 0.02 \\ \alpha_{DIBL1} = -0.4 + 162 \cdot W_{Si}^{-2} \\ \alpha_{DIBL2} = 0.08 + 0.052 \cdot W_{Si} \\ \alpha_{DIBL3} = 0.0012 + 2.8 \cdot 10^{-4} \cdot W_{Si} \end{cases} \quad (3.3)$$

6 paramètres sont automatiquement calculés et sont technologiquement indépendants (voir Annexe II Chapitre I Annexe II).

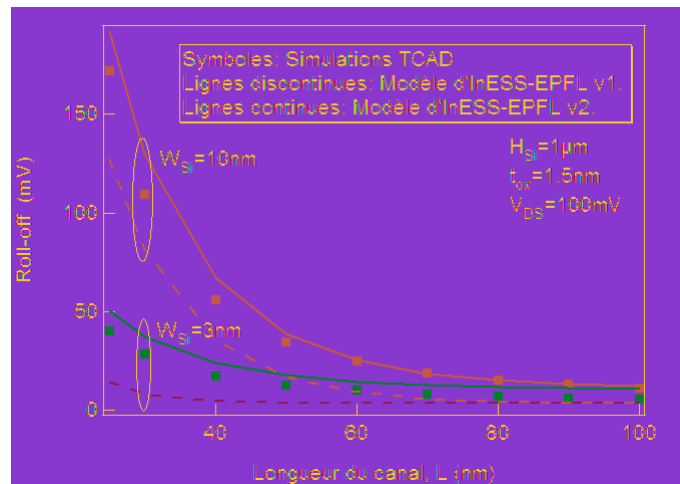


Figure III-5 Effet *Roll-off* en fonction de la longueur du canal pour $W_{Si} = 10$ nm et 3 nm

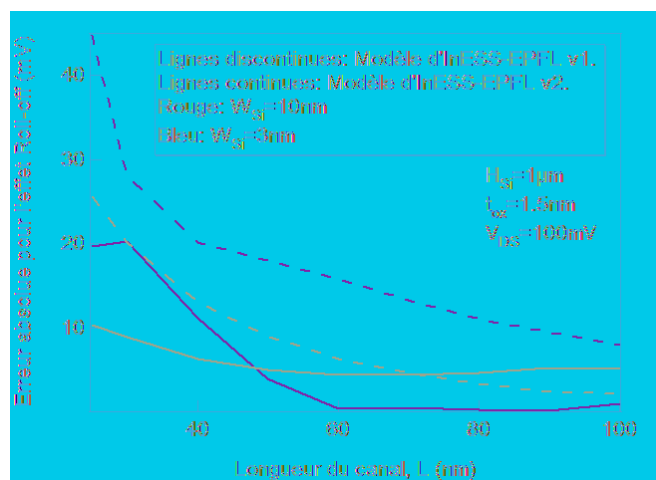


Figure III-6 Erreur absolue de l'effet *Roll-off* entre les modèles explicites actuel et d'InESS-EPFL v1., et les simulations numériques en fonction de la longueur du canal pour $W_{Si} = 10$ nm et 3 nm

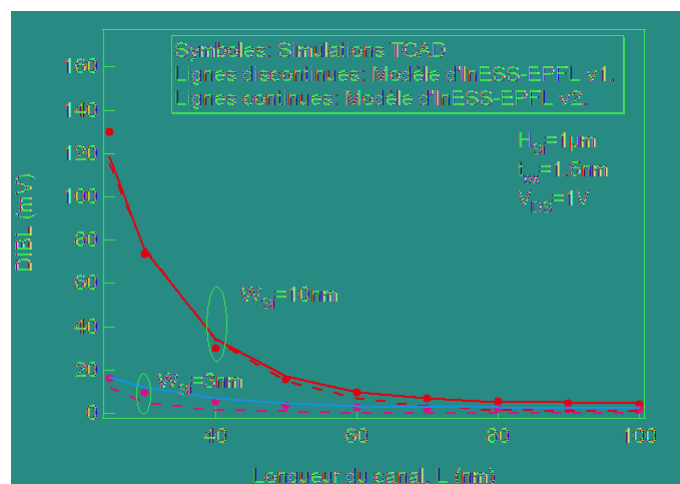


Figure III-7 Effet DIBL en fonction de la longueur du canal pour deux largeurs différentes ($W_{Si} = 10$ nm et 3 nm)

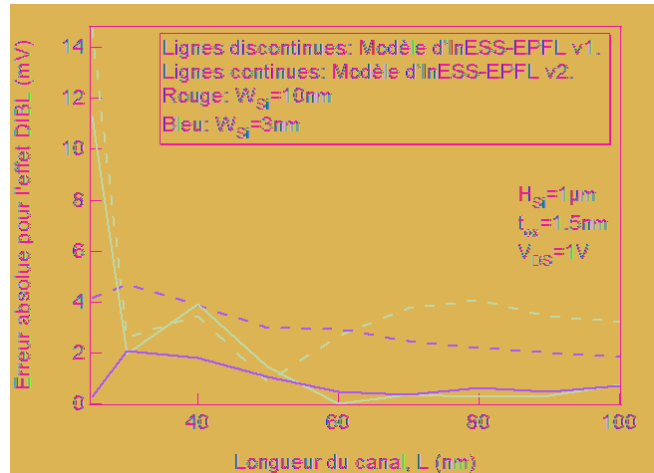


Figure III-8 Erreur absolue de l'effet DIBL entre les modèles explicites actuel et d'InESS-EPFL v1., et les simulations numériques en fonction de la longueur du canal pour $W_{Si} = 10$ nm et 3 nm

Sur les Figure III-5 et Figure III-7 nous pouvons voir la bonne précision de notre modèle quelle que soit la largeur du film.

Le deuxième terme dans l'expression de γ de (3.2) est une fonction d'atténuation. Cela donne une atténuation linéaire lorsque la longueur du canal augmente de 100 nm à 1 μ m.

Il est à noter que pour les dispositifs longs, les décalages de tension de seuil dus aux partages de charge et DIBL sont très faibles, aussi, bien que dans ce cas l'erreur relative due à notre modèle soit assez importante, cela n'induit pas une erreur absolue aussi importante (Figure III-6 et Figure III-8). Nous pouvons donc créer une fonction d'atténuation linéaire au lieu de la forme exponentielle pour le domaine entre $L = 100$ nm et 1 μ m. Avec cette fonction d'atténuation linéaire, nous obtenons une valeur de 0,058 mV pour l'effet DIBL, pour $L = 500$ nm et $W_{Si} = 10$ nm. La simulation TCAD pour la même dimension, l'effet DIBL est 1,38mV. Bien que l'erreur relative égale à 95,8%, l'erreur absolue est seulement de 1,322 mV. Dans la simulation de circuit, une erreur de l'ordre du mV sur la tension de seuil peut être négligée. La précision du modèle est donc améliorée et elle convient à la simulation de circuit.

III.1.3 Nouvelle formulation du courant de drain

Pour rappel, l'expression du courant drain est donnée par :

$$i = -q_m^2 (v_g, v_{ch}) + 2 \cdot q_m (v_g + \Delta v_{th}, v_{ch}) + \frac{2}{\alpha} \cdot \ln \left(1 - \alpha \cdot \frac{q_m (v_g + \Delta v_{th}, v_{ch})}{2} \right) \Bigg|_{q_{ms}}^{q_{md}} \quad (3.4)$$

où

$$q_m(v_g, v_{ch}) = q \left(\frac{v_g^* - v_{to}}{n} - v_{ch} \right) \quad (3.5)$$

Comme la dégradation de la pente sous le seuil se produit uniquement dans la région de faible inversion, il n'y a pas de raison que n intervienne dans la région de forte inversion. Par conséquent, la densité de charge en faible inversion doit être corrigée par ce facteur et la densité de charge en forte inversion doit être la même que pour le cas du canal long.

Pour le modèle de MOSFET double-grille et une largeur du film de silicium (W_{Si}) donnée à 10 nm, la gamme de validation est limitée à 60 nm et pour cette longueur de canal minimum n égale à 1,036. La valeur physique de n pour un dispositif long est 1. La différence de la densité de charge due à la différence de n de 0,036 est négligeable dans la région de forte inversion. Cependant, quand la longueur du canal devient très petite, cette influence n'est plus négligeable, i.e. pour une longueur de canal de 25 nm, n égale à 1,579. Il faut donc trouver une solution pour que le courant de drain prenne en compte l'influence du facteur de pente uniquement dans la région de faible inversion.

Une solution conventionnelle est de créer une fonction de lissage pour que n prenne sa valeur physique en faible inversion ainsi qu'en forte inversion, c'est-à-dire, (3.1) en faible inversion et 1 en forte inversion. Cependant, l'inconvénient de cette fonction de lissage est le risque de problème de discontinuité du courant de drain et de ses dérivées ce qui n'est pas bien pour la modélisation dynamique (III.2).

Rappelons que lorsque nous intégrons le décalage de la tension de seuil dans l'expression du courant de drain, ce décalage est appliqué seulement dans les deux derniers termes de (3.4) mais pas dans le premier. C'est parce que dans la région de faible inversion, ce sont les deux derniers termes qui dominent et dans la région de forte inversion, le premier terme est dominant. Dans le même ordre d'idée, nous définissons deux types de densité de charge :

$$\begin{cases} q_{m0}(v_g, v_{ch}) = q(v_g^* - v_{to} - v_{ch}) \\ q_m(v_g, v_{ch}) = q \left(\frac{v_g^* - v_{to}}{n} - v_{ch} \right) \end{cases} \quad (3.6)$$

Le premier terme de (3.6) (q_{m0}) ne prend pas en compte le facteur de pente et le deuxième le prend en compte. On utilise donc $q_{m0}(v_g, v_{ch})$ dans le premier terme de (3.4) et

$q_m(v_g, v_{ch})$ dans les deux derniers termes. Finalement, l'expression du courant de drain devient :

$$i = -q_{m0}^2(v_g, v_{ch}) + 2 \cdot q_m(v_g + \Delta v_{th}, v_{ch}) + \frac{2}{\alpha} \cdot \ln \left(1 - \alpha \cdot \frac{q_m(v_g + \Delta v_{th}, v_{ch})}{2} \right) \Bigg|_{q_{ms}}^{q_{md}} \quad (3.7)$$

Cette nouvelle expression du courant de drain est continue et dérivable, ce qui convient à la modélisation dynamique.

III.1.4 Tension de saturation (V_{dsat})

La tension de saturation (V_{dsat}) pour un dispositif long est calculée en supposant que la densité de charge d'inversion côté drain est nulle, i.e., $q_m|_d = 0$, c'est la condition de pincement. Cependant, cette condition de pincement n'est plus vraie pour les dispositifs courts. En effet, les porteurs arrivent à la vitesse de saturation avant même que la condition de pincement soit satisfaite.

Une méthode plus rigoureuse est donc de calculer V_{dsat} pour les dispositifs courts en définissant le courant de saturation I_{dsat} comme le courant pour lequel les porteurs atteignent leur vitesse de saturation, c'est-à-dire,

$$I_{dsat} = -H \cdot v_{sat} \cdot Q_{msat} \quad (3.8)$$

où I_{dsat} est le courant de saturation, v_{sat} est la vitesse de saturation des porteurs, Q_{msat} est la densité de charge au point de saturation. Après normalisation, (3.8) devient :

$$i_{dsat} = -\frac{q_{msat} \cdot v_{sat} \cdot L}{\mu \cdot U_T} \quad (3.9)$$

où i_{dsat} et q_{msat} sont les valeurs normalisées de I_{dsat} et Q_{msat} respectivement.

D'un autre point de vue, i_{dsat} peut être calculé par (2.50) en remplaçant q_{md} par q_{msat} .
Donc,

$$i_{dsat} = -q_m^2 + 2q_m + 2 \frac{C_{Si}}{C_{ox}} \ln \left(1 - q_m \cdot \frac{C_{ox}}{2C_{Si}} \right) \Bigg|_{q_{ms}}^{q_{msat}} \quad (3.10)$$

En Remplaçant (3.9) dans (3.10), nous avons une équation en variable q_{msat} :

$$-\frac{q_{msat} \cdot v_{sat} \cdot L}{\mu \cdot U_T} = -q_m^2 + 2q_m + 2 \frac{C_{Si}}{C_{ox}} \ln \left(1 - q_m \cdot \frac{C_{ox}}{2C_{Si}} \right) \Bigg|_{q_{ms}}^{q_{msat}} \quad (3.11)$$

Malheureusement, (3.11) ne peut pas être résolue d'une manière explicite à cause du terme logarithmique. Puisque le courant de saturation i_{dsat} n'a de sens que dans la région de saturation au-dessus du seuil, le troisième terme du côté droit de l'équation (3.11) n'est dominant que dans la région sous le seuil. Le terme logarithmique peut donc être négligé par rapport aux deux premiers termes. (3.10) peut donc être approximée comme :

$$i_{dsat} = -q_m^2 + 2q_m \Big|_{q_{ms}}^{q_{msat}} \quad (3.12)$$

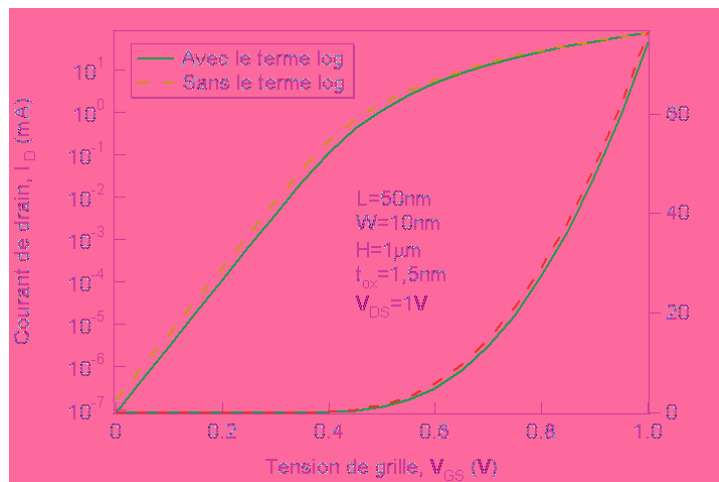


Figure III-9 Influence du terme logarithmique sur le calcul du courant de drain

La Figure III-9 montre l'influence du terme logarithmique sur le calcul du courant de drain. La ligne rouge continue présente le résultat calculé par (3.10) et la bleu discontinue présente le résultat de (3.12). Nous voyons que dans la région de forte inversion, l'erreur entre les deux courbes est très petite, c'est-à-dire, le terme logarithmique n'a pas beaucoup d'influence sur le courant de drain. Nous pouvons donc faire l'approximation (3.12) et (3.11) devient :

$$-\frac{q_{msat} \cdot v_{sat} \cdot L}{\mu \cdot U_T} = -q_m^2 + 2q_m \Big|_{q_{ms}}^{q_{msat}} \quad (3.13)$$

Cette équation quadratique peut être facilement résolue et nous obtenons l'expression de la densité de charge au point de saturation :

$$q_{msat} = \left(1 + \frac{v_{sat} \cdot L}{2 \cdot \mu \cdot U_T} \right) - \sqrt{\left(1 + \frac{v_{sat} \cdot L}{2 \cdot \mu \cdot U_T} \right)^2 + q_{ms}^2 - 2 \cdot q_{ms}} \quad (3.14)$$

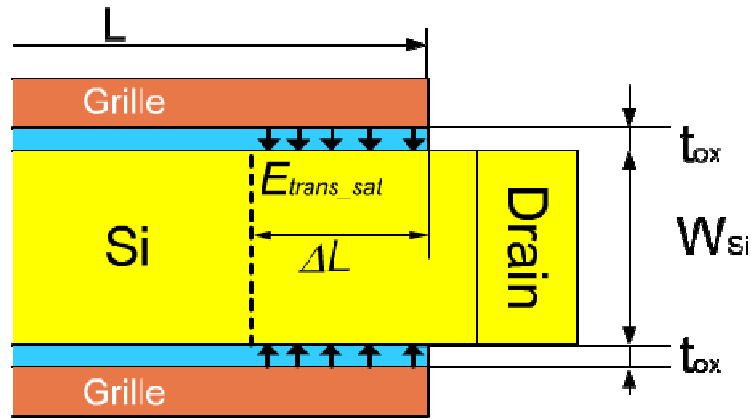


Figure III-10 Schéma électrostatique dans la région de saturation

De plus, d'après la théorie électromagnétique, nous pouvons faire une approximation au point de saturation :

$$q_{msat} \approx -\frac{\epsilon_{si} \cdot e_{trans_sat}}{2 \cdot C_{ox}} \quad (3.15)$$

où e_{trans_sat} est le champ transversal normalisé au point de saturation. e_{trans_sat} peut aussi être calculé par :

$$e_{trans_sat} = \frac{v_g^* - v_{dsat} - 2 \cdot \phi_f}{t_{ox}} \quad (3.16)$$

Finalement, en combinant (3.14), (3.15) et (3.16), nous obtenons l'expression analytique de la tension de saturation (3.17) et le résultat calculé est montré à la Figure III-11. Pour une largeur du film de silicium donnée, la tension de saturation est réduite en diminuant la longueur du canal.

$$v_{dsat} = v_g^* - 2 \cdot \phi_f + 2 \cdot \frac{\epsilon_{ox}}{\epsilon_{si}} \cdot \left[\left(1 + \frac{v_{sat} \cdot L}{2 \cdot \mu \cdot U_T} \right) - \sqrt{\left(1 + \frac{v_{sat} \cdot L}{2 \cdot \mu \cdot U_T} \right)^2 + q_{ms}^2} - 2 \cdot q_{ms} \right] \quad (3.17)$$

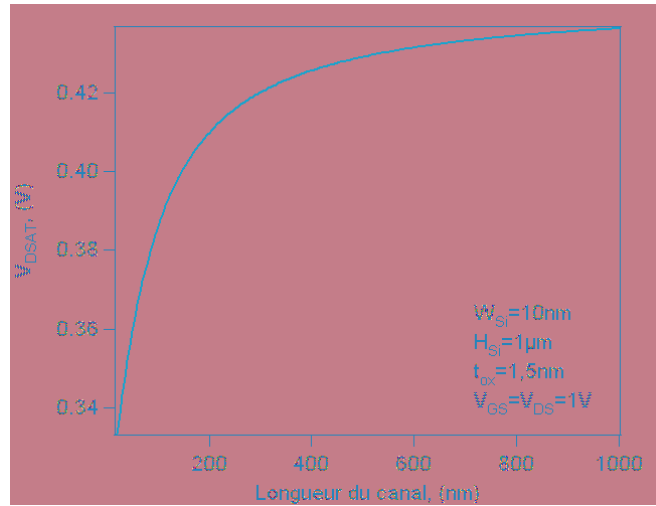


Figure III-11 Tension de saturation calculée par (3.17)

III.1.5 Modulation de la longueur du canal (CLM)

Quand la tension de drain V_{DS} dépasse la tension de saturation V_{dsat} , le courant de drain sature et le point du pincement se déplace vers la source. La région de saturation est couverte par une chute de tension du drain (V_D) au point de pincement (V_{dsat}) sur une longueur ΔL (Figure III-10). Le canal est séparé par le point de pincement, en deux parties. L'une est entre la source et le point de pincement où l'approximation du canal graduel (GCA) est valide ; l'autre est entre le point de pincement et le drain où l'approximation GCA n'est plus valide. Le comportement du dispositif est alors modifié ; la longueur du canal est réduite par ΔL , et le courant de drain est augmenté au-delà de V_{dsat} . En conséquence, le courant de drain dans la région de saturation n'est plus constant mais dépend de la valeur de V_{DS} .

Similairement à [2] (cas du transistor MOS bulk), nous déduisons l'expression de la relation du potentiel avec la position dans le canal entre la source et le point de pincement avec l'approximation GCA :

$$V(x) = \frac{\lambda_{ion}^2 \cdot E_{sat}}{L - \Delta L} \cdot [\cosh(D) - 1] + \lambda_{ion} \cdot E_{sat} \cdot \sinh[D] + V_{dsat} \quad (3.18)$$

où $D = \frac{x - L + \Delta L}{\lambda_{ion}}$, $\lambda_{ion} \left(= \sqrt{\frac{\epsilon_{Si}}{\epsilon_{ox}} \cdot y_j \cdot t_{ox}} \right)$ est la longueur d'ionisation, $E_{sat} (= 2 \cdot v_{sat} / \mu)$ est le champ longitudinal au point de saturation, y_j est la profondeur de la jonction de drain et ΔL est la longueur de la région de saturation.

Nous pouvons réécrire (3.18) au drain, i.e. $V(L) = V_D$, et nous avons alors :

$$\frac{V_d - V_{dsat}}{\lambda_{ion} \cdot E_{sat}} = \frac{\lambda_{ion}}{L - \Delta L} \cdot \left[\cosh\left(\frac{\Delta L}{\lambda_{ion}}\right) - 1 \right] + \sinh\left[\frac{\Delta L}{\lambda_{ion}}\right] \quad (3.19)$$

Avec un changement des variables, (3.19) peut être réécrite après normalisation comme suit:

$$2 \cdot b = a \cdot \left(c + \frac{1}{c} - 2 \right) + \left(c - \frac{1}{c} \right) \quad (3.20)$$

$$\text{où } \begin{cases} a = \frac{\lambda_{ion}}{L - \Delta L} \\ b = \frac{v_d - v_{dsat}}{e_{sat_long} \cdot \lambda_{ion}} \\ c = \exp(\Delta L / \lambda_{ion}) \end{cases}$$

Puisque c dépend exponentiellement de ΔL , la variation de c en fonction de ΔL est beaucoup plus importante que celle des termes a et b . (3.20) peut être considéré comme une équation quadratique avec la variable c et est résolue afin d'obtenir l'expression de la longueur de la région de saturation ΔL :

$$\Delta L = \lambda_{ion} \cdot \ln \left[\frac{a + b + \sqrt{b^2 + 2 \cdot a \cdot b + 1}}{a + 1} \right] \quad (3.21)$$

a dépend encore de ΔL mais d'une manière beaucoup plus faible que c . Nous pouvons donc faire une autre approximation et supposer que a est une constante calculée par

$$a = \frac{\lambda_{ion}}{L - \Delta L} \approx \frac{\lambda_{ion}}{L - K \cdot \lambda_{ion}} \quad (3.22)$$

où K est un paramètre sans unité à définir.

Sachant que dans la technologie SOI FD, la profondeur de la jonction est la même que l'épaisseur du film de silicium, la longueur d'ionisation (λ_{ion}) est calculée comme suit :

$$\lambda_{ion_SOI} = \sqrt{\frac{\epsilon_{Si}}{\epsilon_{ox}} \cdot t_{Si} \cdot t_{ox}} \quad (3.23)$$

Nous rappelons que (3.23) est la même expression que la longueur naturelle du MOS SOI à simple grille (I.1.8). Nous pouvons utiliser la longueur naturelle du MOSFET double-grille dans notre cas de FinFET, donc

$$\lambda_{ion_FinFET} = l = \sqrt{\frac{\epsilon_{Si}}{2 \cdot \epsilon_{ox}} \cdot W_{Si} \cdot t_{ox}} \quad (3.24)$$

Finalement, nous reprenons (3.21) pour calculer la longueur de la région de saturation ΔL et après la comparaison de notre modèle compact avec la simulation 3D, le paramètre K est fixé à 2.

Une transition lissée est garantie en remplaçant $v_d - v_{dsat}$ par l'expression suivante :

$$v_{dlin\text{sat}} = \frac{1}{2} \cdot \left[v_d - v_{dsat} + \sqrt{(v_d - v_{dsat})^2 + 4 \cdot \left(\frac{0,1}{U_T}\right)^2} \right] \quad (3.25)$$

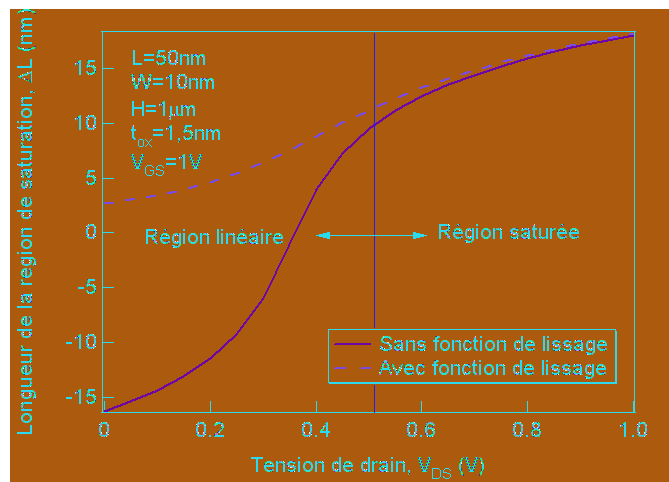


Figure III-12 Influence de la fonction de lissage de la région linéaire à saturation

Une valeur négative n'a pas de sens physique pour la longueur de la région de saturation. En conséquence, nous introduisons une fonction de lissage (3.25) afin de corriger ce problème (Figure III-12). Nous avons ainsi une bonne précision dans la région de saturation qui est l'intérêt de ce modèle.

Une autre fonction de lissage est nécessaire parce que dans la région de faible inversion, la longueur de la région de saturation n'a pas de sens physique non plus. Donc, nous faisons tendre ΔL vers zéro dans la région sous le seuil en définissant l'équation suivante :

$$\Delta L^* = \Delta L / \left[1 + \exp\left(\frac{v_{to} - v_g}{\alpha_{CLM}}\right) \right] \quad (3.26)$$

où α_{CLM} est un paramètre de lissage qui est extrait par la comparaison avec les simulations 3D sous Silvaco. Nous avons trouvé un bon accordement pour $\alpha_{CLM} = 3,5$ qui est valide pour toutes les dimensions du dispositif.

III.1.6 Effets de mécanique quantique (QME)

Un film de silicium étroit est nécessaire afin d'avoir une pente sous le seuil idéale et de faibles effets du partage de charge (Roll-Off) et du DIBL (*cf.* I.1.8). Dans ce cas-là, les effets de mécanique quantique commencent à jouer un rôle significatif (I.2.4). Lorsque la largeur du film de silicium est inférieure à 20 nm, la densité de charge doit être calculée en prenant en compte les effets quantiques [3]-[4].

Comme nous avons montré au paragraphe I.2.4, l'impact des effets quantiques se s'applique sur deux parties : le décalage de la tension de seuil et une réduction du courant de drain en forte inversion.

Le décalage de la tension de seuil dû aux effets quantiques peut être modélisé comme un élargissement du gap dépendant de la polarisation appliquée au dispositif [5]. Nous considérons que la première sous-bande quantique est principalement responsable de l'impact des effets quantiques. Cette première sous-bande quantique peut être calculée d'après (1.2) :

$$E_1 = \frac{\hbar^2 \cdot \pi^2}{2 \cdot m_{eff} \cdot U_T \cdot W^2} \quad (3.27)$$

Par conséquent, en augmentant la largeur du film de silicium, E_1 sera diminué. Ainsi, par rapport à un FinFET avec $W_{Si} = 3$ nm, la première sous-bande quantique pour un FinFET avec $W_{Si} = 10$ nm est plus proche du bas de la bande de conduction (Figure III-13).

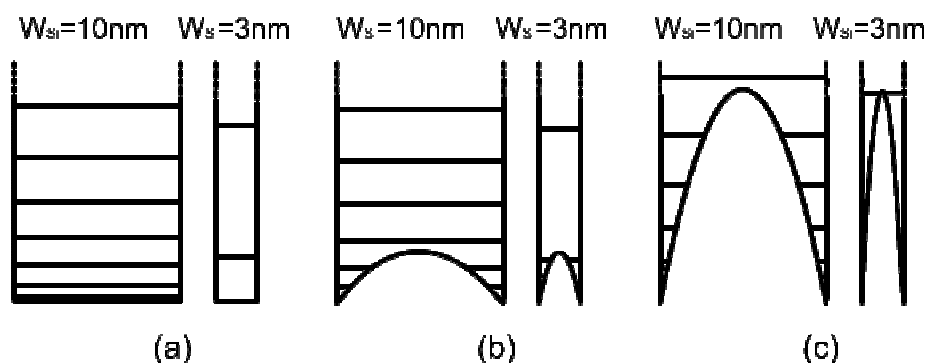


Figure III-13 Diagramme des sous-bandes quantiques d'énergie pour deux petites largeurs du silicium ($W_{Si} = 10$ & 3 nm) pour (a) bande plate, (b) faible inversion et (c) forte inversion

Dans la région de faible inversion (Figure III-13b), l'intersection entre le bas de la bande de conduction et les sous-bandes quantiques se localisent aux deux points proches de l'interface Si-SiO₂. Cependant, pour un FinFET avec $W_{Si} = 3$ nm, la première sous-bande est

déplacée plus loin qu'avec un FinFET avec $W_{Si} = 10$ nm. Les porteurs forment donc un seul canal au centre du silicium. Finalement, nous avons deux pics déviés de l'interface Si-SiO₂ pour une largeur plus grande (e.g. $W_{Si} = 10$ nm) et un seul pic au centre du silicium pour une largeur plus petite (e.g. $W_{Si} = 3$ nm).

Nous voyons aussi à la Figure III-13b que le bas de la bande de conduction n'a pas seulement une intersection avec la première sous-bande quantique, mais aussi avec la deuxième voire la troisième etc. Cela dépend de la largeur du film de silicium. Nous avons plus d'intersections entre le bas de la bande de conduction et les sous-bandes quantiques pour film de silicium plus large. Il est donc nécessaire de connaître le nombre de sous-bandes quantiques qui croisent le bas de la bande de conduction afin de calculer le décalage de la tension de seuil. Nous introduisons une méthode très simple en utilisant un paramètre α_{qm1} afin d'inclure l'influence des sous-bandes quantiques autre que la première. Enfin, le décalage de tension de seuil est modélisé comme suit :

$$\Delta E_{qm} = E_1 \cdot (1 + \alpha_{qm1}) \quad (3.28)$$

$$\text{avec } \alpha_{qm1} = -0.83 + 0.033 \cdot W_{Si}.$$

Nous considérons la première sous-bande quantique comme un facteur principal de l'impact des effets quantiques et toutes les autres sous-bandes quantiques comme une correction à la première (i.e., α_{qm1} dans (3.28)).

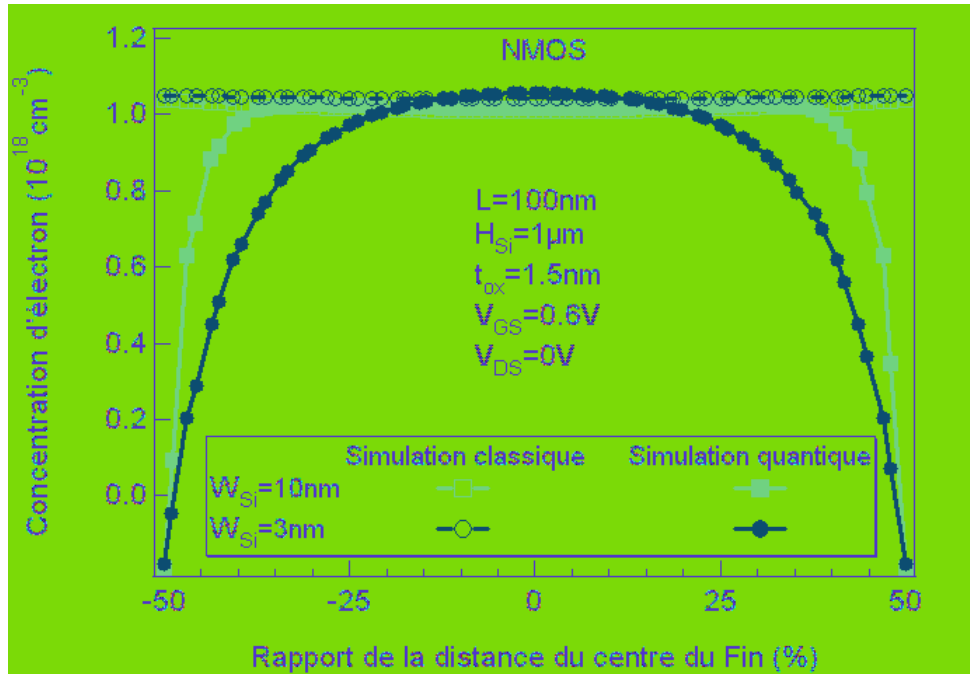


Figure III-14 Comparaison de la distribution classique et quantique des électrons dans le film de silicium pour la forte inversion. L'abscisse est normalisée par rapport à la largeur du Fin

Le deuxième impact des effets quantiques a lieu dans la région de forte inversion. Les porteurs sont déviés de l'interface Si-SiO₂ comme le montre la Figure III-14. La capacité effective d'oxyde de grille est réduite dans la région de forte inversion (de même que dans la région de faible inversion, ce qui est aussi une des raisons du décalage de tension de seuil). Cet effet a été modélisé analytiquement dans [3] en introduisant une modification du centroïde de la couche d'inversion. Cependant, cela implique un calcul implicite qui n'est pas désirable pour la simulation de circuit. Dans [6], cela est empiriquement modélisé. Nous avons constaté que la réduction de la capacité effective provient de la déviation du canal de conduction de l'interface Si-SiO₂ vers le centre du film de silicium. Cela est le même aspect qu'en faible inversion. On peut donc aussi le modéliser comme un décalage de tension de seuil qui ne dépend pas seulement de la largeur du film de silicium mais aussi la polarisation de grille (V_{GS}). Aussi nous proposons une correction qui contient l'influence de V_{GS} . En combinant avec (3.28), les effets quantiques peuvent être modélisé sous la forme suivante :

$$\Delta E_{qm} = E_1 \cdot (1 + g(W, v_g)) \quad (3.29)$$

avec

$$g(W, v_g) = \alpha_{qm1} + \alpha_{qm2} \cdot \frac{(v_g - v_{to}) + \sqrt{(v_g - v_{to})^2}}{2} + \alpha_{qm3} \cdot \frac{(v_g - v_{to})^2 + (v_g - v_{to}) \cdot \sqrt{(v_g - v_{to})^2}}{2}$$

$$\text{où } \begin{cases} \alpha_{qm1} = -0.83 + 0.033 \cdot W_{Si} \\ \alpha_{qm2} = -0.011 + 0.029 \cdot W_{Si} + 0.000215 \cdot W_{Si}^2 \\ \alpha_{qm3} = 0.0035 - 0.00017 \cdot W_{Si} + 0.000046 \cdot W_{Si}^2 \end{cases} .$$

Les paramètres ($\alpha_{qm1,2,3}$) ont été trouvés par ajustement avec les résultats des simulations 3D. Ils seront optimisés par la suite lors d'une étape d'extraction et d'optimisation des paramètres du modèle (Chapitre IV).

Finalement, les effets quantiques sont inclus dans le modèle comme une modification de la tension de seuil :

$$v_{to_qm} = v_{to} + \frac{\Delta E_{qm}}{e} \quad (3.30)$$

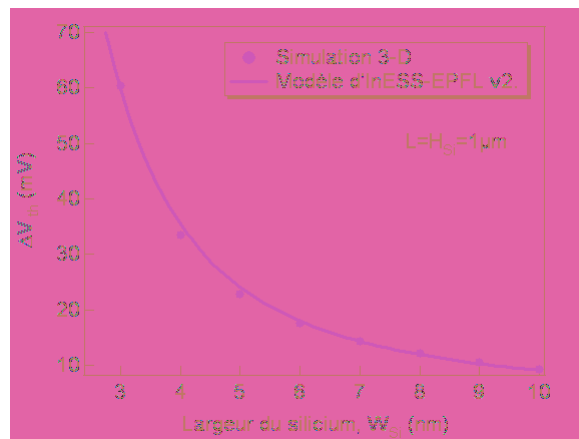


Figure III-15 Comparaison entre (3.30) et les simulations 3D

La Figure III-15 montre l'excellente précision de notre modèle pour le décalage quantique de la tension de seuil. La comparaison de notre modèle avec les simulations 3D dans la région de forte inversion sera présentée au paragraphe III.1.7.

III.1.7 Validation du modèle statique

Afin de valider notre modèle compact, nous avons simulé différentes géométries de FinFET (II.3). Dans cette section, nous allons comparer notre modèle explicite avec les simulations TCAD du FinFET. Les symboles correspondent aux simulations TCAD et les lignes au modèle explicite.

Puisque dans un premier temps, nous avons simulé les FinFET sans considérer la dégradation de la mobilité des porteurs, la vitesse de saturation des porteurs n'est donc pas

prise en compte dans les simulations 3D. Le fait que la vitesse des porteurs sature avant le point de pincement n'est donc pas pris en compte. Par la définition classique de la tension de saturation pour la technologie MOSFET Bulk avec canal long, la tension de saturation peut être considérée comme $v_{dsat} = v_g^* - 2 \cdot \phi_f$ avec un écart de quelques U_T (dans notre travail, par la comparaison avec le résultat de simulation 3D, nous utilisons un écart de $3 U_T$) :

$$v_{dsat} = v_g^* - 2 \cdot \phi_f - 3 \quad (3.31)$$

(3.31) pose un problème quand v_g^* est inférieure à $2 \cdot \phi_f + 3$, v_{dsat} devient négative ce qui n'est pas vrai. Pour éviter ce problème, à l'aide d'une fonction de lissage comme (3.32), nous obtenons v_{dsat} tend vers zéro quand v_g^* est inférieure à $2 \cdot \phi_f + 3$ et sinon tend vers (3.31).

$$v_{dsat} = \frac{1}{2} \cdot \left[v_g - 2 \cdot \phi_f - 3 + \sqrt{(v_g - 2 \cdot \phi_f - 3)^2 + 4 \cdot \left(\frac{0.1}{U_T} \right)^2} \right] \quad (3.32)$$

Le champ longitudinal au point de saturation ne peut plus être calculé par la vitesse de saturation et la mobilité des porteurs (3.20). Supposons par l'approximation du canal graduel (GCA), le champ longitudinal entre la source et le point de pincement est uniforme et peut être calculé comme suit :

$$e_{sat_long} = \frac{v_{dsat}}{L - \Delta L} \quad (3.33)$$

où ΔL est la longueur de la région de saturation. Afin d'éviter le problème de calcul implicite, nous négligeons ΔL dans (3.33) ce qui est vrai pour un FinFET avec canal long où ΔL est négligeable par rapport à la longueur du canal. Nous trouvons aussi, par les comparaisons avec les simulations 3D, que cette approximation n'apporte pas d'erreur significative pour un FinFET avec canal court, *e.g.* $L = 25\text{nm}$.

Nous réintroduisons (3.33) dans (3.20) pour calculer b et pour prendre en compte de la modulation de la longueur du canal.

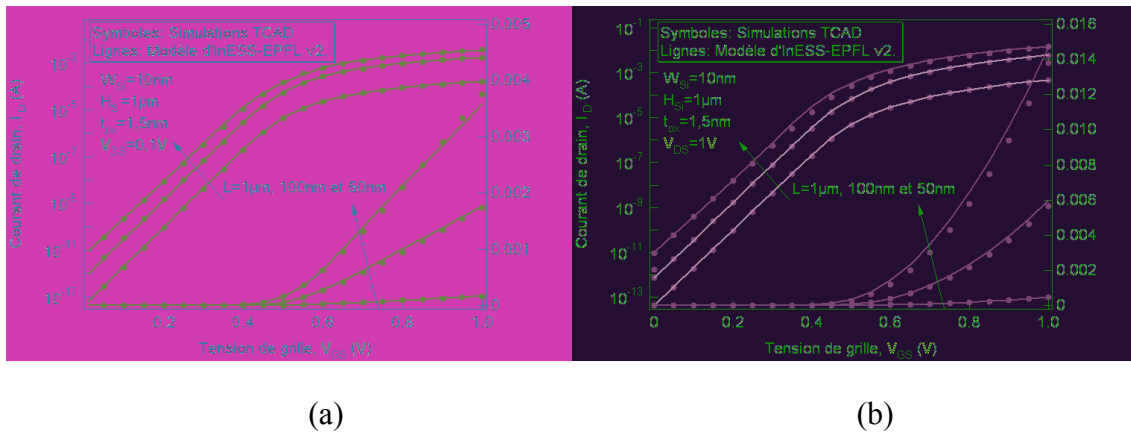


Figure III-16 Courant de drain (I_D) en fonction de la tension de grille (V_{GS}) pour des FinFETs avec différentes longueurs du canal, e.g. $L = 1 \mu m$, 100 nm et 50 nm et pour différentes tensions de drain (V_{DS}): (a) $0,1 \text{ V}$ et (b) 1 V . Les effets quantiques ne sont pas pris en compte ici.

Nous voyons que pour une largeur donnée de film de silicium ($W_{Si} = 10 \text{ nm}$), le courant de drain devient plus important en diminuant la longueur du canal (Figure III-16) et en même temps, la pente sous le seuil est dégradée. Notre modèle classique explicite donne une bonne précision quelle que soit la longueur du canal et la tension de drain (voir Tableau III-2). Nous pouvons dire que la dégradation de la pente sous le seuil, l'effet du partage de charge et l'effet DIBL sont bien modélisés.

Tableau III-2 Pente sous le seuil pour les différentes longueurs du canal et largeurs du film de silicium

| $L \text{ (nm)}$ \ $W_{Si} \text{ (nm)}$ | 3 | 5 | 10 |
|--|-------|-------|-------|
| 25 | 63,6 | 70,02 | 94,74 |
| 30 | 61,74 | 65,52 | 81,36 |
| 40 | 60,42 | 61,8 | 69,24 |
| 50 | 60,12 | 60,6 | 64,38 |
| 60 | 60 | 60,24 | 62,16 |
| 70 | 60 | 60,06 | 61,08 |
| 80 | 60 | 60 | 60,54 |
| 90 | 60 | 60 | 60,3 |
| 100 | 60 | 60 | 60,12 |
| 1000 | 60 | 60 | 60 |

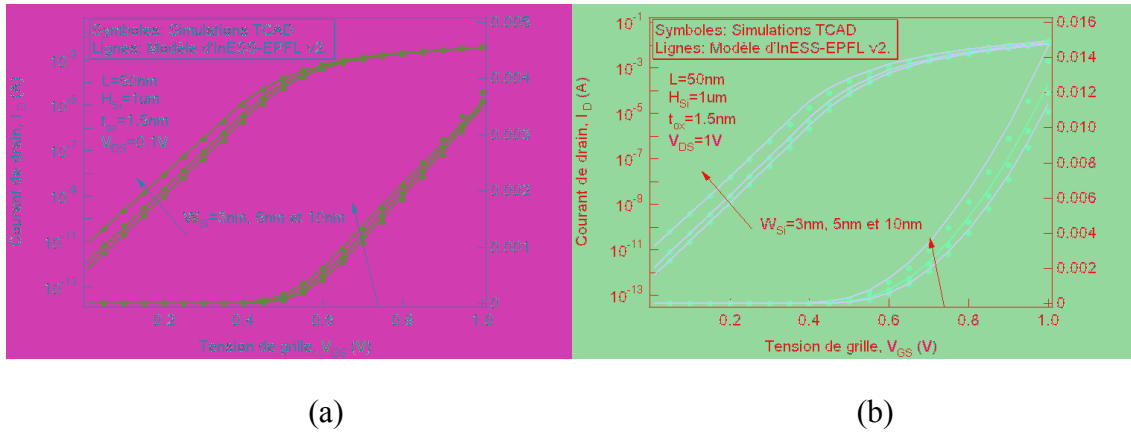


Figure III-17 Courant de drain (I_D) en fonction de la tension de grille (V_{GS}) pour des FinFETs avec différentes largeurs du film de silicium, e.g. $W_{Si} = 3$ nm, 5 nm et 10 nm et pour différentes tensions de drain (V_{DS}): (a) 0,1 V et (b) 1 V. Les effets quantiques ne sont pas pris en compte ici.

Pour une longueur du canal donnée ($L = 50$ nm), nous voyons que la pente sous le seuil est dégradée en augmentant la largeur du film de silicium (W_{Si}) (Figure III-17). Nous avons précédemment indiqué que W_{Si} intervient seulement dans la longueur naturelle l (cf. I.1.8). Plus la largeur du film de silicium est grande, plus la longueur naturelle est importante. Pour une longueur du canal donnée, plus la longueur naturelle est grande, plus les effets canaux courts sont importants, donc, plus la pente sous le seuil est dégradée. Par contre, dans la région de forte inversion, le courant de drain a le même ordre de grandeur quelle que soit la largeur du film de silicium. Pour une grande largeur, e.g. $W_{Si} = 10$ nm, le courant de drain en forte inversion est légèrement plus important que pour une largeur petite, e.g. $W_{Si} = 3$ nm. Ceci résulte du fait que la section du canal est plus grande et la résistance série est donc plus petite.

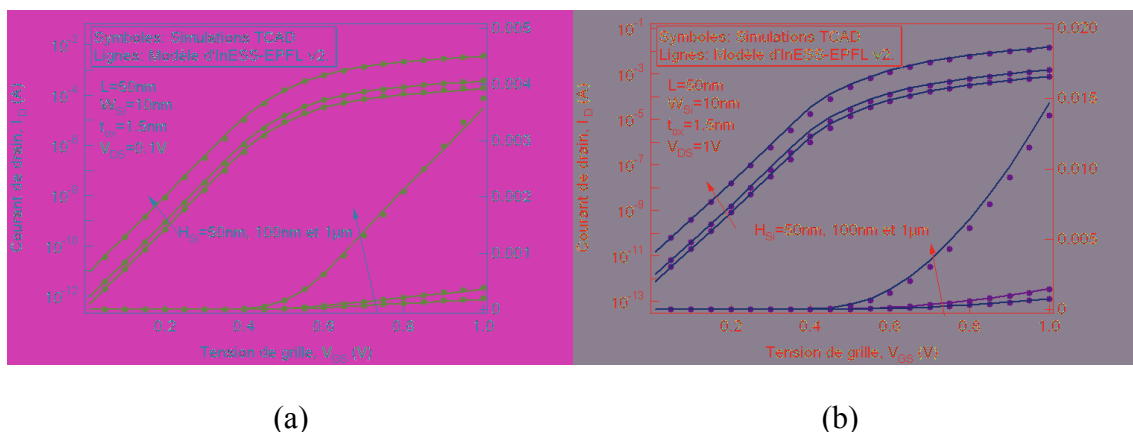
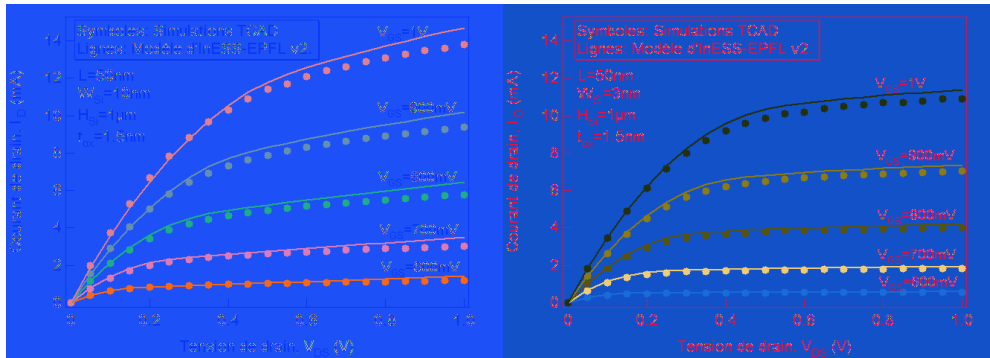


Figure III-18 Courant de drain (I_D) en fonction de la tension de grille (V_{GS}) pour des FinFETs avec différentes hauteurs du film de silicium, e.g. $H_{Si} = 50$ nm, 100 nm et 1 μm et pour différentes tensions de drain (V_{DS}): (a) 0,1 V et (b) 1 V. Les effets quantiques ne sont pas pris en compte.

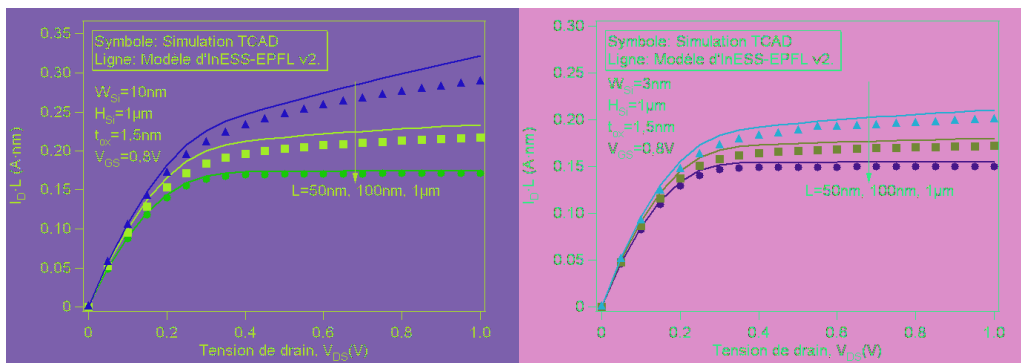
Sans considérer l'impact de l'effet de coin (*cf.* I.2.3), notre modèle fonctionne avec une bonne précision pour une hauteur du film de silicium (H_{Si}) allant jusqu'à 50 nm (Figure III-18). De plus, nous voyons aussi une bonne précision des caractéristiques de sortie (I_D - V_{DS}) à la Figure III-19.



(a)

(b)

Figure III-19 Le courant de drain (I_D) vs la tension de drain (V_{DS}) pour des FinFETs avec différentes largeurs du film de silicium, e.g. W_{Si} = (a) 10 nm et (b) 3 nm. Les effets quantiques ne sont pas pris en compte.

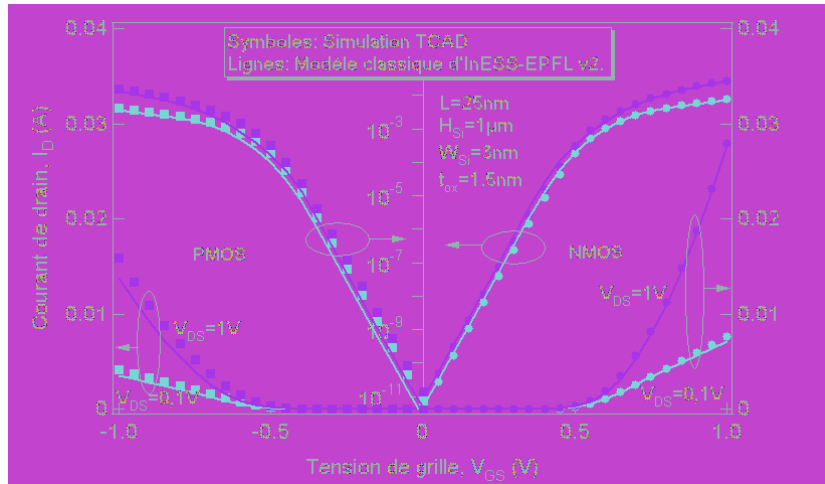


(a)

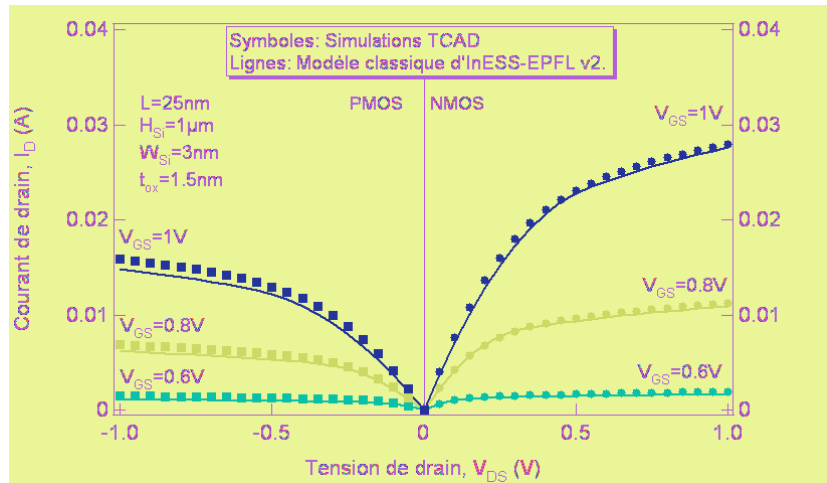
(b)

Figure III-20 Produit du courant de drain par la longueur du canal en fonction de la tension de drain pour différentes longueur du canal : $L=50$ nm, 100 nm et $1\mu m$, avec différentes largeurs du film de silicium : W_{Si} = (a) 10 nm et (b) 3nm.

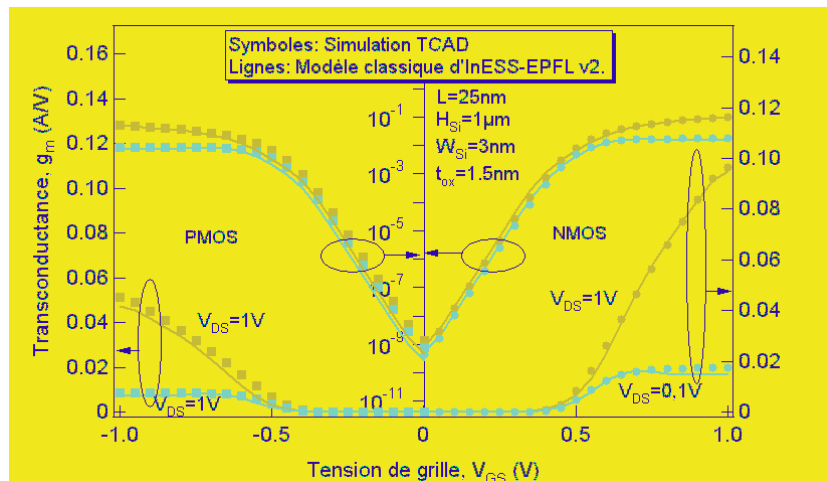
Pour une largeur donnée du film de silicium, plus la longueur du canal est petite, plus la longueur du canal est réduite en augmentant la tension du drain (V_{DS}) en régime saturé (voir la Figure III-20). D'autre part, nous voyons que pour la plus petite largeur de film de silicium, l'impact de la modulation de la longueur du canal est plus faible. Cela s'explique par le fait que la longueur naturelle diminue lorsque la largeur de film de silicium diminue. Ainsi, les effets néfastes liés à la diminution de la longueur de grille (SCE, DIBL, et modulation de la longueur du canal) sont plus faibles.



(a)



(b)



(c)

Figure III-21 (a) Courant de drain (I_D) en fonction de la tension de grille (V_{GS}), (b) Courant de drain (I_D) en fonction de la tension de drain (V_{DS}) et (c) Transconductance (g_m) en fonction de la tension de grille (V_{GS}) pour les FinFETs de type-n et -p. Les effets quantiques ne sont pas pris en compte.

Notre modèle est aussi valide pour le FinFET de type-p. Il suffit d'adapter le modèle de mobilité. La Figure III-21 montre les comparaisons des simulations TCAD et de notre modèle explicite pour une dimension critique de $L = 25 \text{ nm}$, $H_{\text{Si}} = 1 \mu\text{m}$ et $W_{\text{Si}} = 3 \text{ nm}$. Comme précédemment, nous ne présentons pas seulement les I_D vs V_{GS} et I_D vs V_{DS} , mais aussi la transconductance (g_m). La transconductance est calculée en dérivant le courant de drain par rapport à V_{GS} et permet donc de vérifier la différentiabilité du modèle.

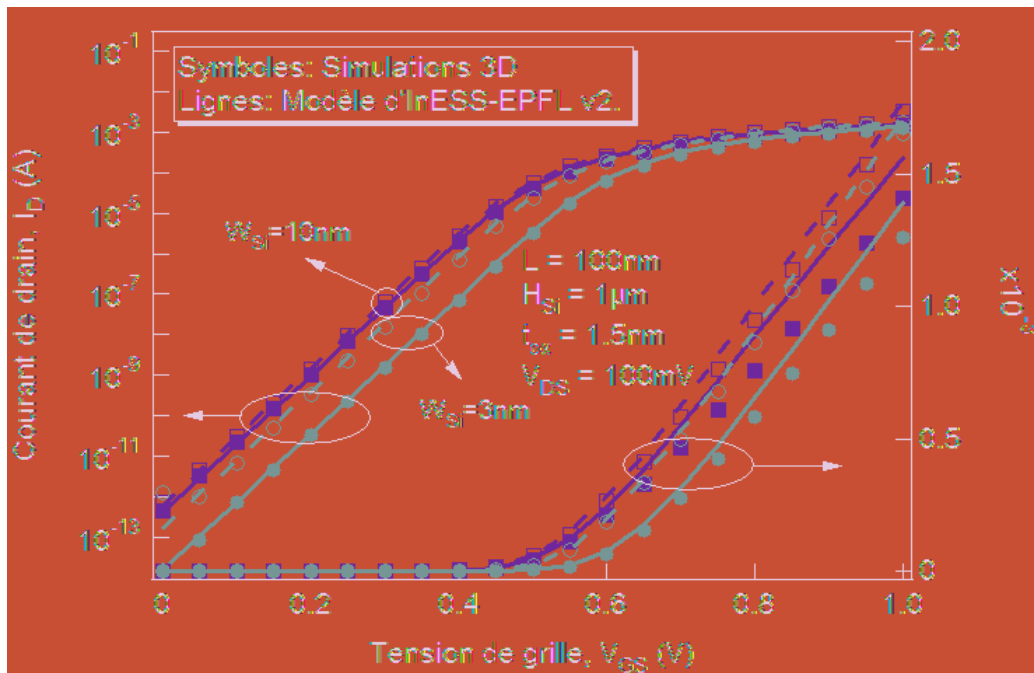


Figure III-22 Courant de drain en fonction de la tension de grille pour les FinFETs avec différentes largeurs du film de silicium ($W_{\text{Si}}=10\text{nm}$ et 3nm).

Lignes discontinues et symboles creux : classique ; Lignes continues et symboles pleins: quantique.

Comme nous l'avons discuté dans I.2.4, les effets quantiques doivent être forcément considérés pour la largeur du film de silicium inférieure à 20nm . Plus la largeur du film de silicium est petite, plus le décalage de la tension de seuil dû aux effets quantiques est important. Nous voyons bien l'écart entre les deux courbes pour $W_{\text{Si}} = 3 \text{ nm}$ (lignes rouges à la Figure III-22) en faible inversion est plus important que celui pour $W_{\text{Si}} = 10\text{nm}$ (lignes bleus à la Figure III-21).

Les effets quantiques existent aussi dans la région de forte inversion. Cela peut être visualisé dans la caractéristique de sortie. Nous avons une réduction du courant de drain dû à la diminution de la capacité d'oxyde de grille induite par les effets quantiques et cela est bien pris en compte dans notre modèle explicite (Figure III-23).

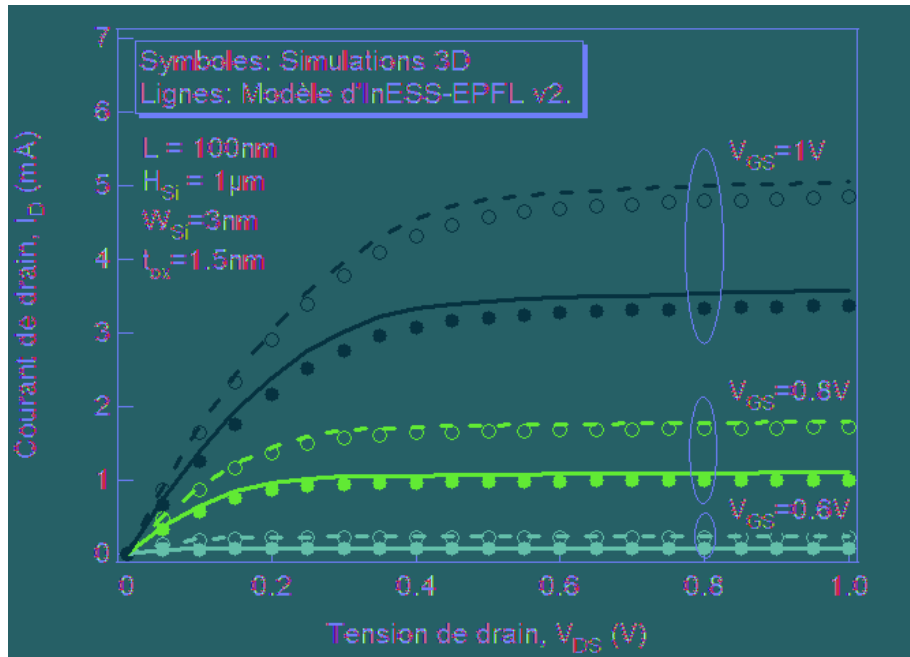


Figure III-23 Courant de drain en fonction de la tension de drain pour un FinFET avec un film de silicium étroit ($W_{Si}= 3\text{nm}$). Lignes discontinues : simulation classique ; Lignes continues : simulation quantique.

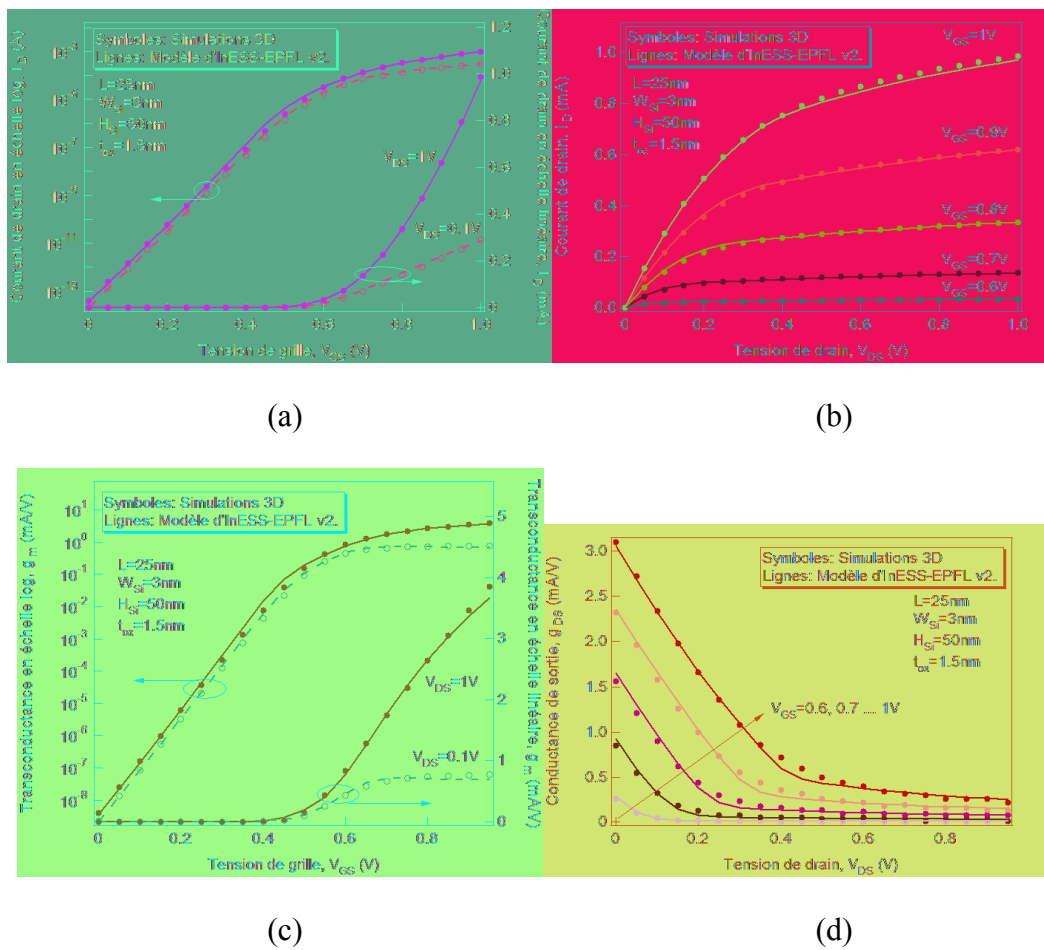


Figure III-24 (a) Courant de drain en fonction de la tension de grille, (b) courant de drain en fonction de la tension de drain, (c) transconductance en fonction de la tension de grille et (d) conductance de sortie en fonction de la tension de drain, pour un FinFET avec une dimension critique. Les effets quantiques sont pris en compte.

La Figure III-24 représente la caractéristique complète d'un FinFET critique avec $L = 25$ nm, $W_{Si} = 3$ nm et $H_{Si} = 50$ nm. Avec les corrections des effets de SCE, de DIBL et de mécanique quantique, la tension de seuil est bien modélisée (Figure III-24a). La tension de saturation est bien définie et la modulation de la longueur du canal est bien modélisée (Figure III-24b). Nous voyons une petite erreur entre la simulation 3D et le modèle explicite pour $V_{GS} = 1$ V. Ceci peut s'expliquer par le fait que nous utilisons les mêmes paramètres universels que (3.3) et (3.29). Pour une dimension donnée, nous pourrions bien sûr ajuster finement les valeurs de ces paramètres pour que l'erreur soit encore plus réduite. Avec les corrections des effets liés à la petite géométrie, le modèle conserve sa continuité et sa différentiabilité (Figure III-24c et d).

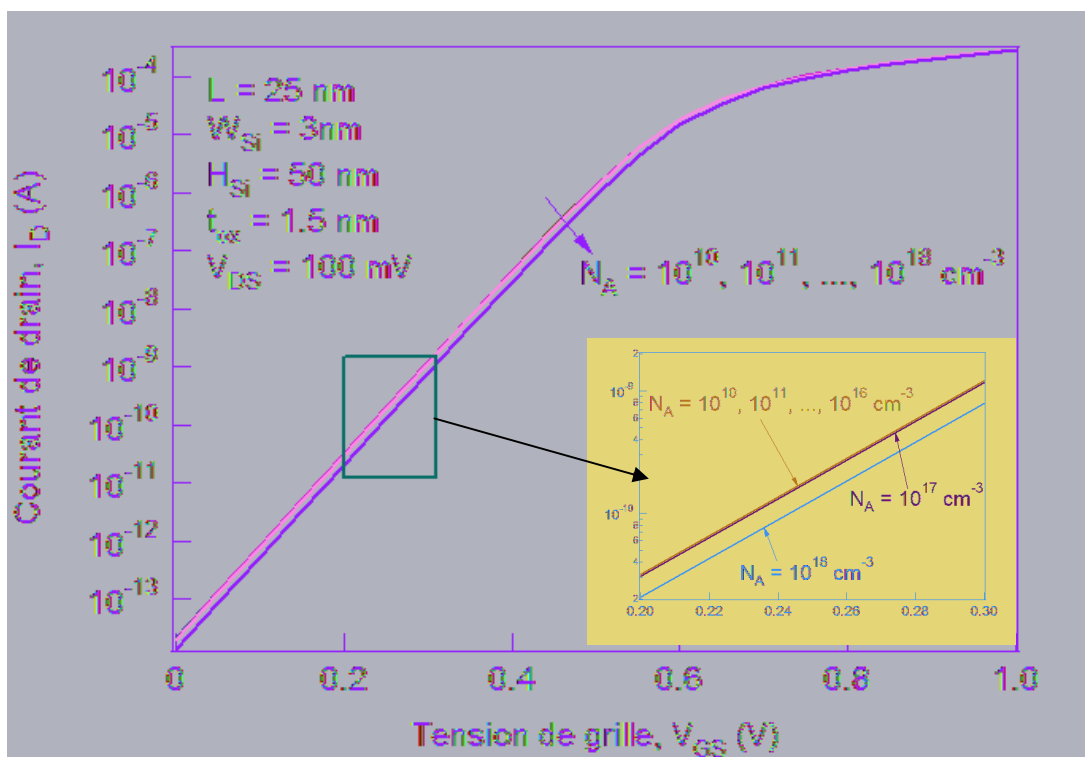


Figure III-25 Courant de drain en fonction de la tension de grille pour les différents dopages du silicium de 10^{10} cm^{-3} à 10^{18} cm^{-3}

La Figure III-25 montre l'impact du dopage de silicium sur le courant de drain basé sur le résultat de simulation Silvaco. Nous voyons une augmentation de la tension de seuil en augmentant le dopage du silicium lorsque le dopage de silicium est supérieur à 10^{16} cm^{-3} . L'augmentation de la tension de seuil est très importante pour un dopage de 10^{18} cm^{-3} . Pour $N_A = 10^{17} \text{ cm}^{-3}$, l'augmentation de la tension de seuil est très petite. Les courbes I_D - V_{GS} pour tous les autres dopages de 10^{10} à 10^{16} cm^{-3} se superposent exactement.

D'après la Figure III-26, quand le dopage du silicium est inférieur à 10^{16} cm^{-3} , la tension de seuil n'est pas modifiée ; dans ce cas, les dopants n'interviennent donc pas dans le comportement du FinFET. Un dopage de 10^{17} cm^{-3} n'augmente la tension de seuil que de 2 mV. Par contre, un dopage de 10^{18} cm^{-3} va augmenter la tension de seuil de 12 mV.

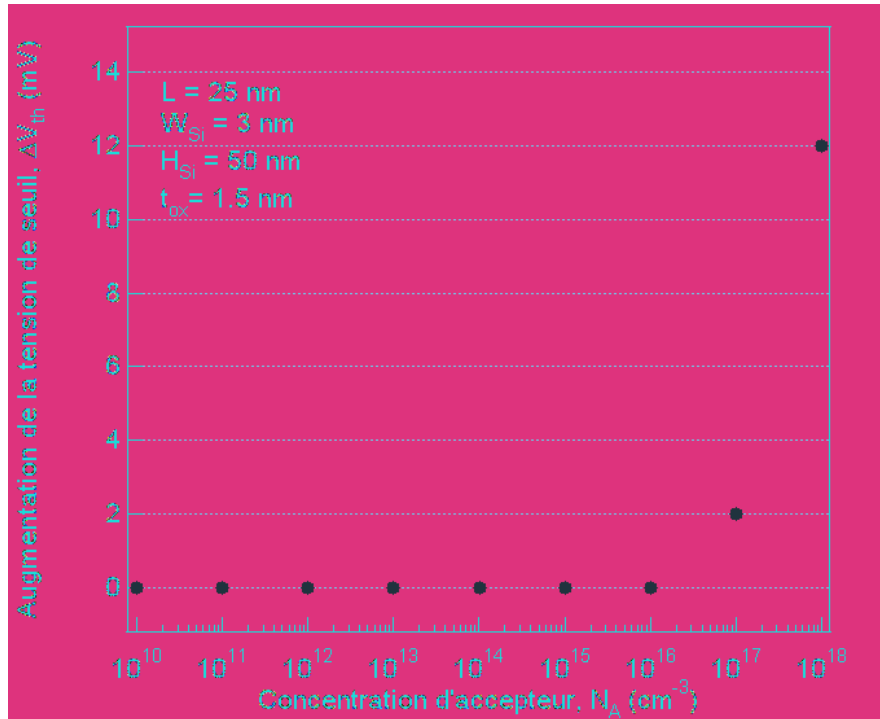


Figure III-26 L'augmentation de la tension de seuil en fonction du dopage de silicium

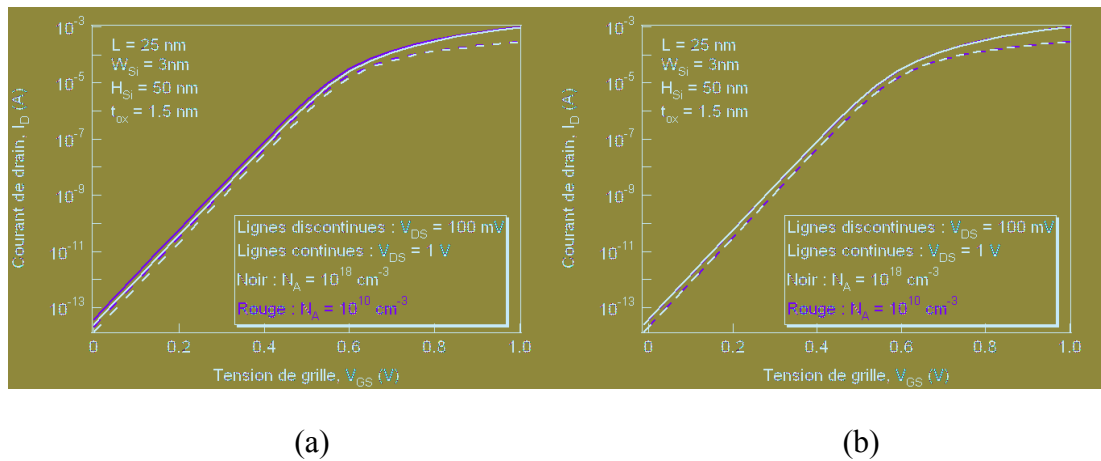


Figure III-27 Comparaison du courant de drain en fonction de la tension de grille pour deux dopages différents de 10^{10} cm^{-3} et 10^{18} cm^{-3} . (a) comparaison directe et (b) après le décalage des courbes pour 10^{18} cm^{-3} de 12 mV vers le sens que V_{GS} soit plus faible.

Nous voyons, d'après la Figure III-27a, entre les courbes I_D - V_{GS} pour deux dopages différents de 10^{10} cm^{-3} et 10^{18} cm^{-3} , il n'existe qu'un seul décalage de la tension de seuil. Si nous décalons les courbes pour le dopage de 10^{18} cm^{-3} de telle manière à ce que V_{GS} soit plus faible, les courbes se superposent exactement à la Figure III-27b. Nous pouvons donc dire que

l'augmentation du dopage de silicium ne modifie que la tension de seuil mais pas les effets canaux courts ce qui est différent que la technologie MOS Bulk où l'augmentation du dopage de silicium va réduire les effets canaux courts.

Par conséquent, notre modèle est valide pour un FinFET avec le dopage maximum de silicium de 10^{17} cm^{-3} sans aucune modification bien qu'il y ait un décalage de la tension de seuil de 2 mV, ce qui est très petit et même négligeable (Figure III-28).

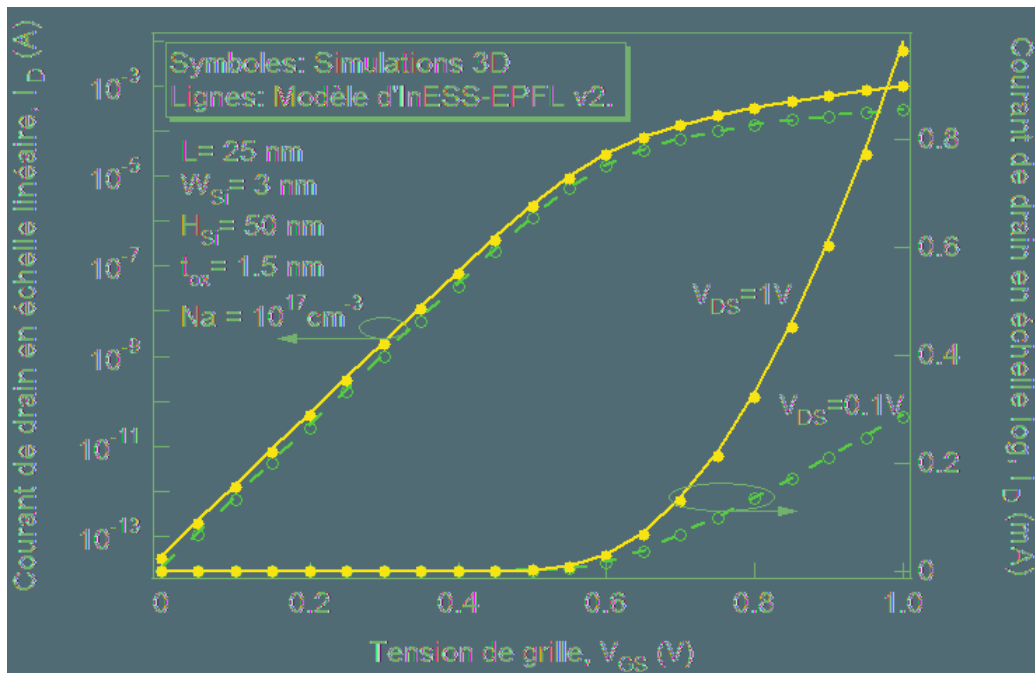


Figure III-28 Le courant de drain en fonction de la tension de grille en échelles linéaire et logarithmique pour un FinFET avec le dopage de silicium de 10^{17} cm^{-3}

En résumé, nous avons développé et validé un modèle statique explicite de FinFET dont la gamme de validation est indiquée dans le Tableau III-3.

Tableau III-3 Gamme de validation du modèle statique

| | |
|--------------------------------------|---|
| Longueur du canal (L) | $1 \mu\text{m} \Leftrightarrow 25\text{nm}$ |
| Largeur du canal (W_{Si}) | $10\text{nm} \Leftrightarrow 3\text{nm}$ |
| Hauteur du canal (H_{Si}) | $1 \mu\text{m} \Leftrightarrow 50\text{nm}$ |
| Dopage du Fin (N_{A}) | $10^{10} \text{ cm}^{-3} \Leftrightarrow 10^{17} \text{ cm}^{-3}$ |
| Type du FinFET | n (classique et quantique) et p (classique) |

III.2 Modèle dynamique

Nous avons détaillé le modèle statique dans la section précédente (III.1). Cependant, un modèle compact du FinFET doit être constitué de deux parties : le modèle statique et le modèle dynamique. Le modèle des transcapacités est indispensable pour un modèle dynamique.

Dans cette section, notre modèle dynamique sera élaboré par deux méthodes différentes : méthode « EKV » (inspirée du modèle EKV - *MOS bulk*) plus et méthode analytique directe.

III.2.1 Méthode EKV plus

III.2.1.1 Modèle du FinFET avec canal long

Nous pouvons d'abord distinguer les différences entre les simulations TCAD et le modèle d'InESS-EPFL v1. [6] (présenté en II.4.3.1) dans les trois régions de fonctionnement: (I) faible inversion, (II) inversion modérée et (III) forte inversion (Figure III-29). Ce modèle dynamique est un modèle intrinsèque et ne prend donc pas en compte la capacité d'overlap (C_{ov}). Comme nous l'avons expliqué au paragraphe II.4.3.1, nous avons toujours une surestimation de la tension de seuil de l'ordre de 30mV (Figure II-17). Par contre, la précision du modèle en forte inversion est plutôt bonne.

Nous rajoutons d'abord C_{ov} dans le modèle afin de bien mettre en évidence la différence entre le modèle explicite et la simulation TCAD. A la Figure III-30, les courbes continues dans la zone I (faible inversion) correspondent bien aux simulations TCAD grâce au rajout de C_{ov} . Cependant, la surestimation de la tension de seuil entre le modèle et la simulation TCAD existe encore.

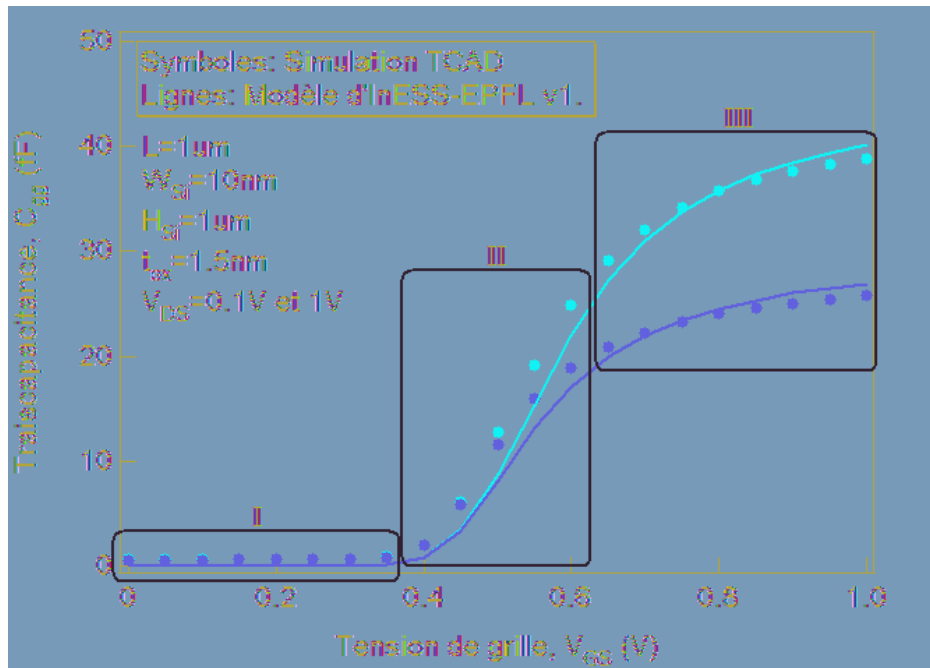


Figure III-29 Comparaison du modèle dynamique [6] et la simulation TCAD pour la transcapacité C_{gg} vs V_{gs} dans les régions de (I) faible inversion, (II) d'inversion modérée et (III) de forte inversions.

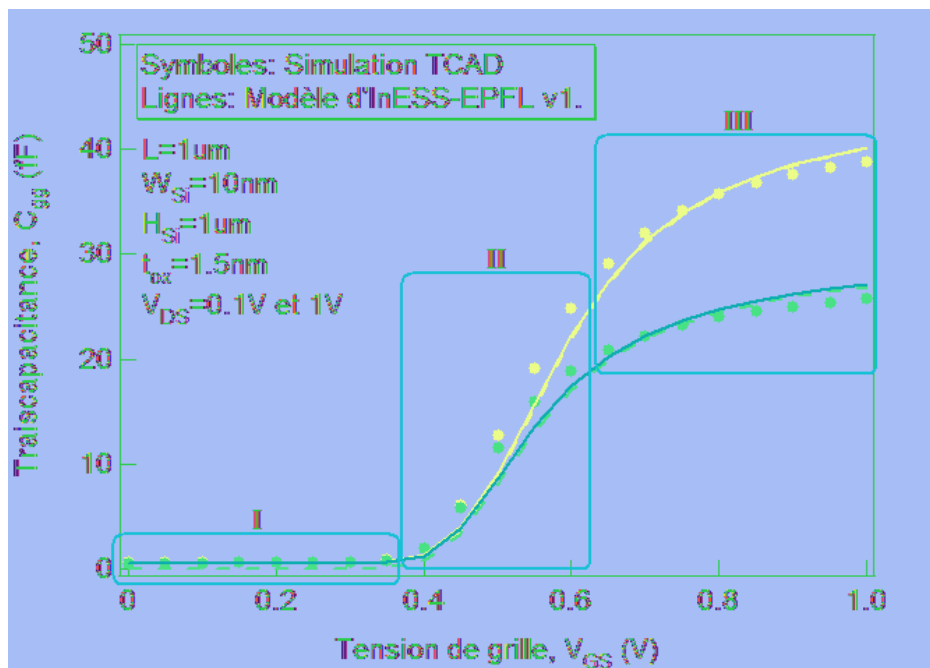


Figure III-30 Comparaison entre le modèle de [6] pour la transcapacité C_{gg} vs V_{gs} dans les régions de (I) faible inversion, (II) d'inversion modérée et (III) de forte inversion. Les lignes discontinues correspondent au modèle d'InESS-EPFL v1. sans C_{ov} [6] ; Les lignes continues correspondent au modèle d'InESS-EPFL v1. avec C_{ov} .

Pour une raison de clarté, nous rappelons l'expression du courant de drain du FinFET :

$$i = -q_m^2 + 2q_m + 2 \frac{C_{Si}}{C_{ox}} \ln \left(1 - q_m \cdot \frac{C_{ox}}{2C_{Si}} \right) \Bigg|_{q_{ms}}^{q_{md}} \quad (3.34)$$

Nous faisons d'abord une approximation du courant de drain en négligeant le terme logarithmique :

$$i = -q_m^2 + 2q_m + 2 \frac{C_{Si}}{C_{ox}} \ln \left(1 - q_m \cdot \frac{C_{ox}}{2C_{Si}} \right) \Bigg|_{q_{ms}}^{q_{md}} \approx -q_m^2 + 2q_m \Bigg|_{q_{ms}}^{q_{md}} \quad (3.35)$$

Avec cette approximation, nous définissons le paramètre intermédiaire $\chi_{f(r)}$ comme suit :

$$\chi_{f(r)} = \sqrt{1/4 + i_{f(r)}} \quad (3.36)$$

où $i_{f(r)} = \left(\frac{q_{ms(d)}}{2} \right)^2 - \frac{q_{ms(d)}}{2}$ (voir II.4.1).

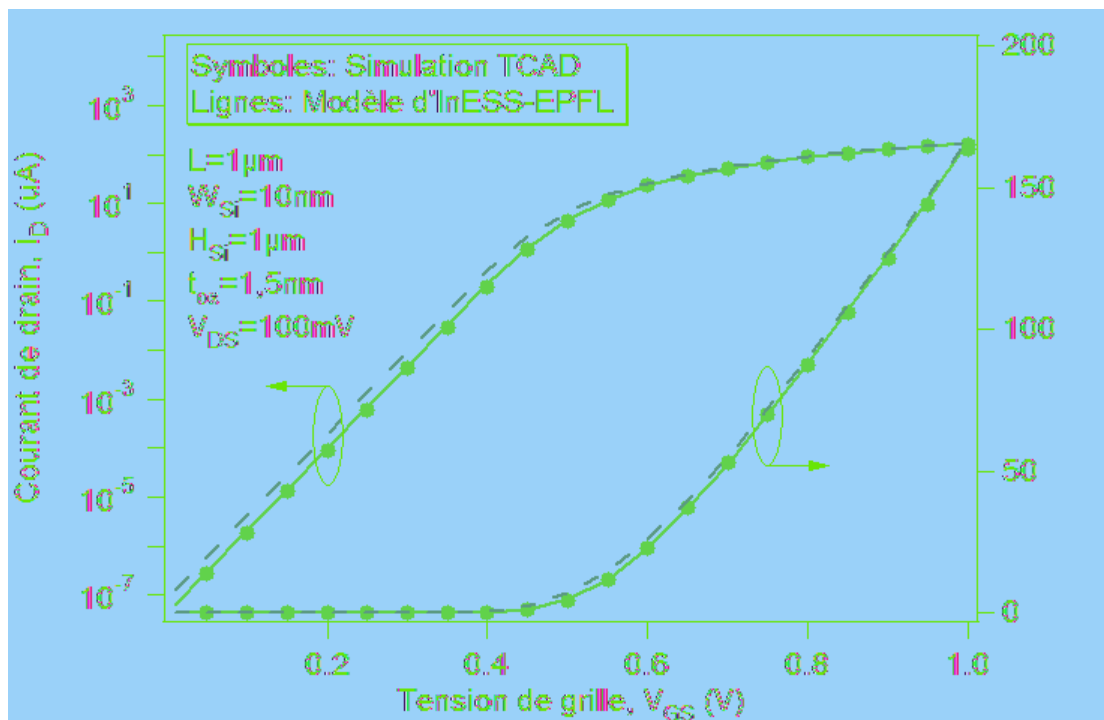


Figure III-31 Comparaison de la simulation 3D avec les expressions du courant de drain de (3.34) (lignes continues) et (3.35) (lignes discontinues).

Comparons le courant de drain calculé par (3.34), (3.35) et la simulation TCAD à la Figure III-31. Nous voyons qu'en négligeant le terme logarithmique, (3.35) décrit bien le comportement en forte inversion. En faible inversion, il apparaît que la tension de seuil est sous-estimée. Il convient de rappeler que le modèle de transcapacités décrit dans [6] (voir Figure III-29 Figure III-30) est basé sur la simplification (3.35). C'est la raison pour laquelle ce modèle de transcapacités sous-estime la tension de seuil.

Etant donné cet inconvénient de sous-estimation de la tension de seuil, nous essaierons à trouver une autre solution. Nous constatons que dans (3.34), le terme q_m est très proche du terme logarithmique avec un signe opposé. Nous pouvons donc faire une autre approximation en négligeant le terme logarithmique et le facteur 2 avant le terme q_m :

$$i = -q_m^2 + 2q_m + 2 \frac{C_{Si}}{C_{ox}} \ln \left(1 - q_m \cdot \frac{C_{ox}}{2C_{Si}} \right) \Big|_{q_{ms}}^{q_{md}} \approx -q_m^2 + q_m \Big|_{q_{ms}}^{q_{md}} \quad (3.37)$$

Puisque (3.37) est la même expression que le modèle EKV pour un MOS Bulk, nous pouvons utiliser les mêmes expressions des transcapacités pour le FinFET avec les expressions du courant *forward* (i_f) et *reverse* (i_r) ainsi que les paramètres intermédiaires comme suit :

$$i = -q_m^2 + q_m \Big|_{q_{ms}}^{q_{md}} = i_f - i_r \quad (3.38)$$

$$\chi_{f(r)} = \sqrt{1/4 + i_{f(r)}} \quad (3.39)$$

avec $i_{f(r)} = q_{ms(d)}^2 - q_{ms(d)}$.

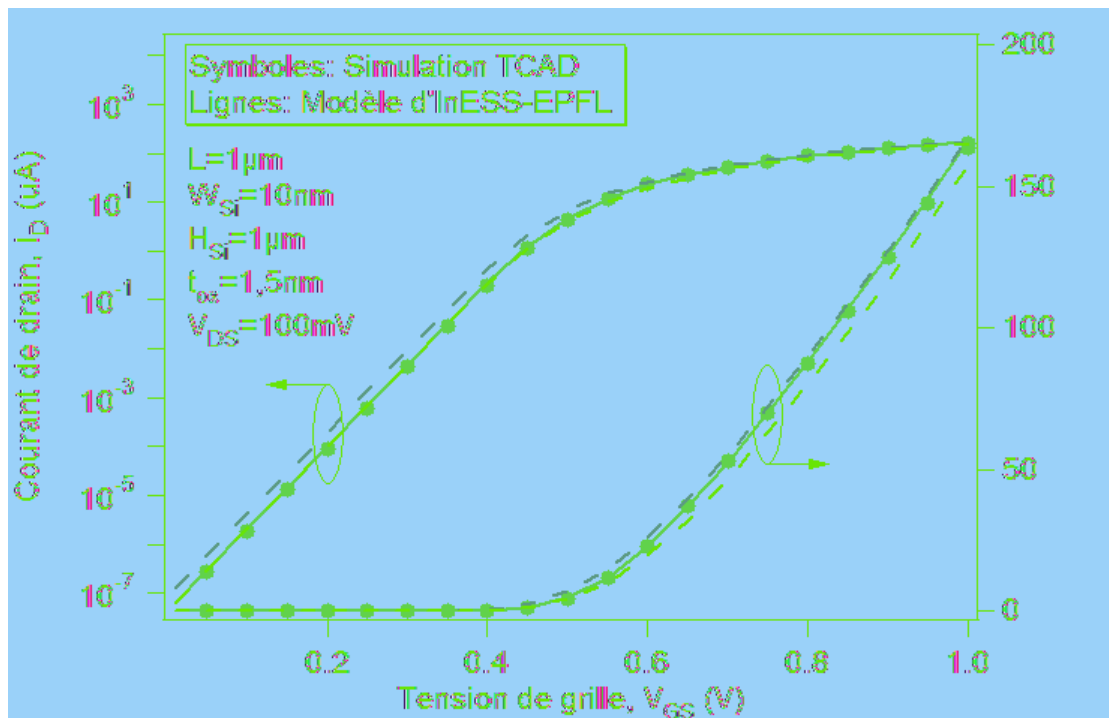


Figure III-32 Comparaison de la simulation 3D avec les expressions du courant de drain de (3.34) (Lignes continues bleu), de (3.35) (Lignes discontinues rouges) et de (3.38) (Lignes discontinues vertes).

Avec la simplification (3.38), le courant de drain en forte inversion est sous-estimé (Figure III-32), mais par contre le comportement en faible inversion est bien décrit. C'est la raison pour laquelle nous pouvons utiliser la simplification (3.38) pour calculer les

transcapacités en faible inversion. Cela nous permet d'avoir un nouveau résultat pour la transcapacité C_{gg} comme montre la Figure III-33.

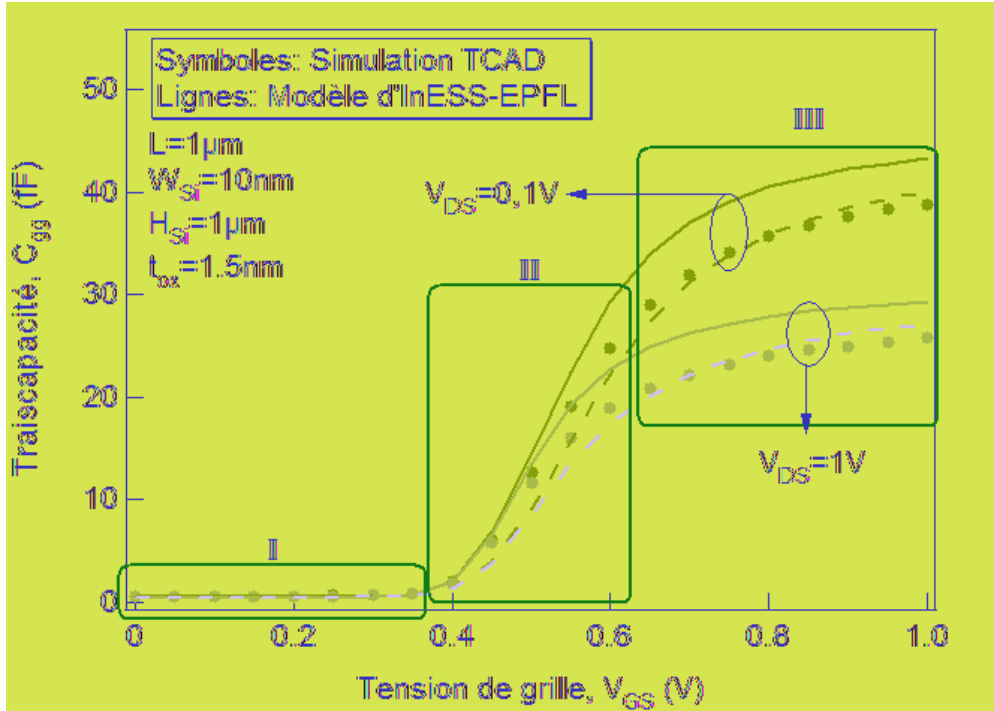


Figure III-33 Comparaison de la simulation 3D (Symboles) avec les solutions des transcapacités (C_{gg}) qui utilisent les expressions de (3.37) (lignes continues) et (3.35) (lignes discontinues).

Nous trouvons qu'avec la simplification (3.38), l'erreur du décalage de la tension de seuil est corrigée (Figure III-33). Cependant en forte inversion, ce nouveau modèle introduit une surestimation de la transcapacité. Par conséquent, nous proposons d'utiliser (3.37) dans les zones I (faible inversion) et II (inversion modérée) et (3.35) dans la zone III (forte inversion) :

$$i = \begin{cases} -q_m^2 + q_m \Big|_{q_{ms}}^{q_{md}} & \text{en faible inversion} \\ -\left(\frac{q_m}{2}\right)^2 + \frac{q_m}{2} \Big|_{q_{ms}}^{q_{md}} & \text{en forte inversion} \end{cases} \quad (3.40)$$

Il est donc nécessaire d'introduire une fonction de transition afin de lisser la courbe entre les zones II et III :

$$f_{trans_cgg}(v_g) = 1 / \left[1 + \exp\left(\frac{1,2 \cdot v_{to} - v_g}{\alpha_{cgg}}\right) \right] \quad (3.41)$$

où α_{cgg} est une constante responsable de la pente de la transition. Plus α_{cgg} est petit, plus la transition est abrupte. Puisqu'une transition lissée est préférée, nous avons choisi d'utiliser

$\alpha_{cgg} = 3,5$. De plus, cette transition doit être localisée entre les zones II et III à la Figure III-33, i.e. entre les régions d'inversion modérée et de forte inversion, ce qui explique le terme $1,2 \cdot v_{to} - v_g$ dans (3.41).

A l'aide de cette fonction de transition (3.41), nous rétablissons l'expression du courant comme suit

$$i = -\left(\frac{1}{4}\right)^{f_{trans_cgg}(v_g)} \cdot q_m^2 + \left(\frac{1}{2}\right)^{f_{trans_cgg}(v_g)} \cdot q_m \left| \begin{matrix} q_{md} \\ q_{ms} \end{matrix} \right. \quad (3.42)$$

D'après (3.42), quand nous sommes dans les zones I et II définies en Figure III-33, $f_{trans_cgg}(v_g)=0$, nous retrouvons (3.37) et quand nous sommes dans la zone III (voir Figure III-33), $f_{trans_cgg}(v_g)=1$, nous retrouvons (3.35). Finalement, avec (3.42), nous pouvons obtenir le résultat pour la transcapacité C_{gg} comme le montre la Figure III-34.

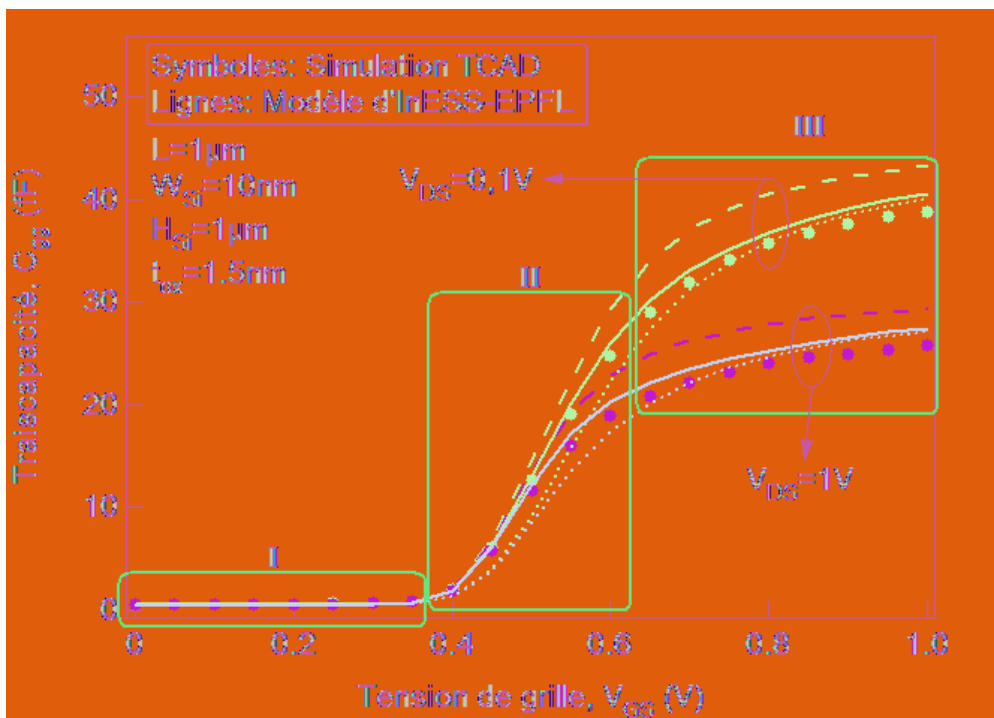


Figure III-34 Comparaison de la transcapacité (C_{gg}) vs V_g entre la simulation TCAD (symboles), les solutions calculées en utilisant les expressions du courant de (3.35) (lignes pointillées), de (3.37) (lignes discontinues) et de (3.42) (lignes continues).

On voit qu'à la Figure III-34, la courbe continue correspond bien à la simulation 3D au niveau du seuil, et en forte inversion, elle tend vers le résultat calculé en utilisant l'expression du courant de (3.35). Par conséquent, (3.42) fonctionne bien et corrige l'erreur de la surestimation de la tension de seuil tout en préservant une valeur correcte des transcapacités en forte inversion.

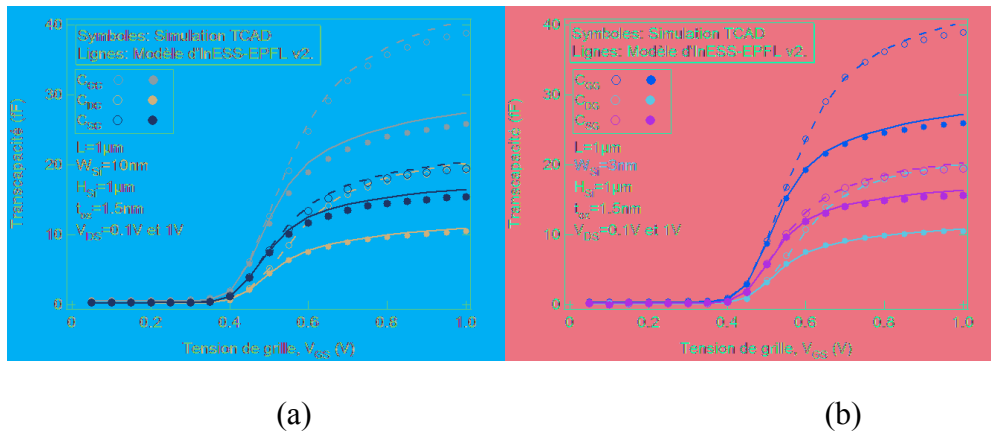


Figure III-35 Comparaison du modèle dynamique (C_{GG} , C_{DG} , C_{SG}) et la simulation classique numérique sous Silvaco. Les symboles vides et les lignes discontinues sont pour $V_{DS}=0,1V$ et les symboles pleins et les lignes continues sont pour $V_{DS}=1V$.

La Figure III-35 montre le résultat du modèle modifié des transcaptés (C_{gg} , C_{dg} , C_{sg}). En comparant avec l'ancien modèle (Figure II-16), l'erreur du décalage de tension de seuil est corrigée et la précision est nettement améliorée. La Figure III-36 montre la comparaison de C_{dd} calculée avec le modèle explicite et la simulation TCAD. On retrouve une précision très satisfaisante.

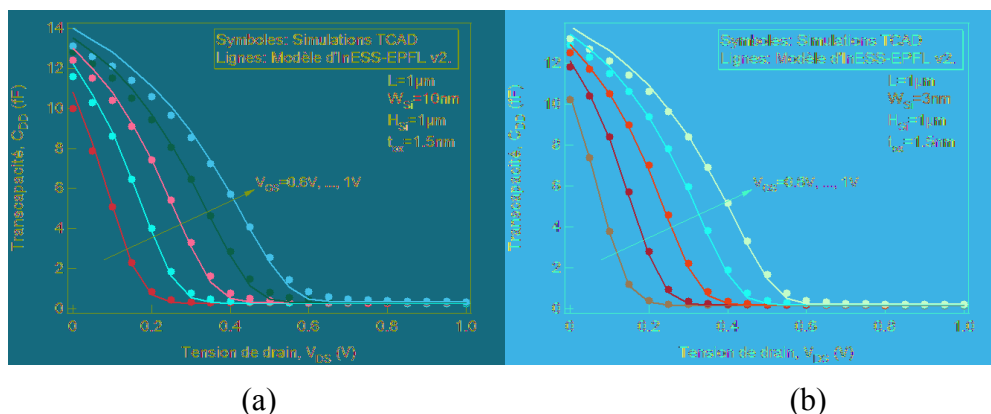


Figure III-36 Comparaison du modèle dynamique d'InESS-EPFL v2. (C_{DD}) et la simulation classique numérique sous Silvaco. $L=1\mu m$, $W_{Si}=10nm$ (a) et $3nm$ (b), $H_{Si}=1\mu m$

III.2.1.2 Modèle du FinFET avec canal court

Nous avons parlé du modèle dynamique pour un FinFET avec canal long ($L=1\mu m$). Après la modification (3.42), le modèle donne une très bonne précision par rapport aux simulations TCAD. Dans cette section, nous allons voir le modèle pour un FinFET avec un canal court ($L = 50nm$).

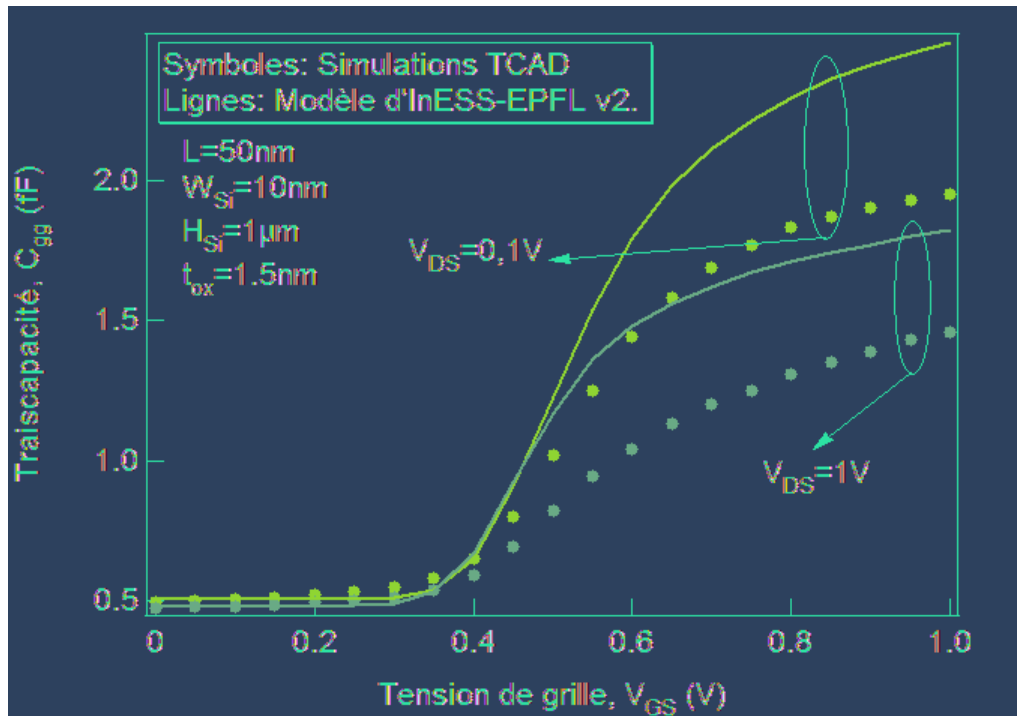


Figure III-37 Comparaison du modèle explicite et la simulation TCAD pour un FinFET avec $L=50\text{nm}$, $W_{Si}=10\text{nm}$ et $H_{Si}=1\mu\text{m}$

Nous comparons le modèle explicite de la transcapacité en utilisant l'expression du courant de (3.42) avec la simulation TCAD pour un FinFET avec $L=50\text{nm}$, $W_{Si}=10\text{nm}$ et $H_{Si}=1\mu\text{m}$ (Figure III-37). Une erreur très importante est trouvée dans la région de forte inversion. Rappelons que nous avons rajouté la capacité d'overlap dans le modèle ce qui engendre une augmentation de la transcapacité. Cependant, nous n'avons pas considéré que la longueur du canal effective doit être réduite par la longueur de la région d'overlap. Pour un FinFET avec le canal long, la longueur d'overlap est très petite voire négligeable. Mais ce n'est plus le cas pour un FinFET avec le canal court, *e.g.* $L=50\text{nm}$. La longueur d'overlap peut être calculée par

$$L_{ov} = \frac{C_{ov_total}}{4 \cdot H_{Si} \cdot C_{ox}} \quad (3.43)$$

Après la réduction de la longueur du canal par la longueur d'overlap, nous retraçons la transcapacité (C_{gg}) vs V_g (Figure III-38).

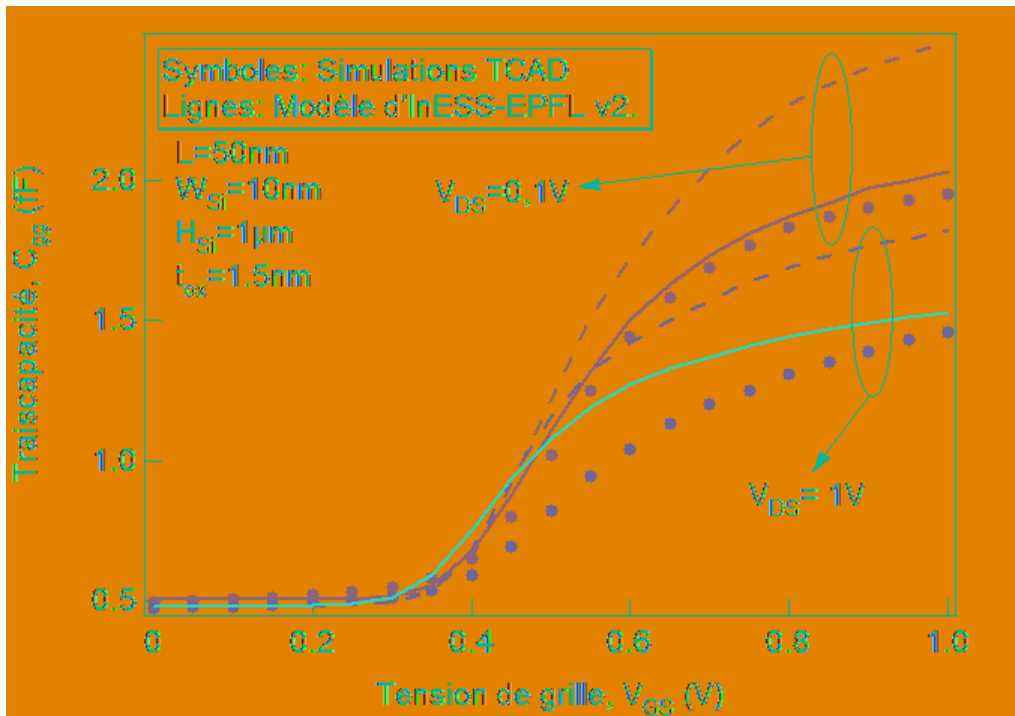


Figure III-38 Comparaison du modèle explicite prenant en compte (lignes continues) et pas (lignes discontinues) la longueur d'overlap et la simulation TCAD (symboles).

Nous trouvons qu'en déduisant la longueur du canal par la longueur d'overlap, le modèle explicite fonctionne bien quand la tension de drain est faible (Figure III-38). Quand le drain est fortement polarisé, l'erreur est importante notamment dans les régions d'inversion modérée et de forte inversion (Figure III-38). De plus, le croisement des deux courbes pour les polarisations différentes de drain dans la région d'inversion modérée n'est pas logique. Nous retrouvons le même problème pour un FinFET avec un film de silicium plus fin, e.g. $W_{Si}=3\text{nm}$ (Figure III-39). Néanmoins, l'erreur est nettement moins importante que pour $W_{Si}=10\text{nm}$. La résolution de ce problème nécessite de poursuivre cette étude plus en avant.

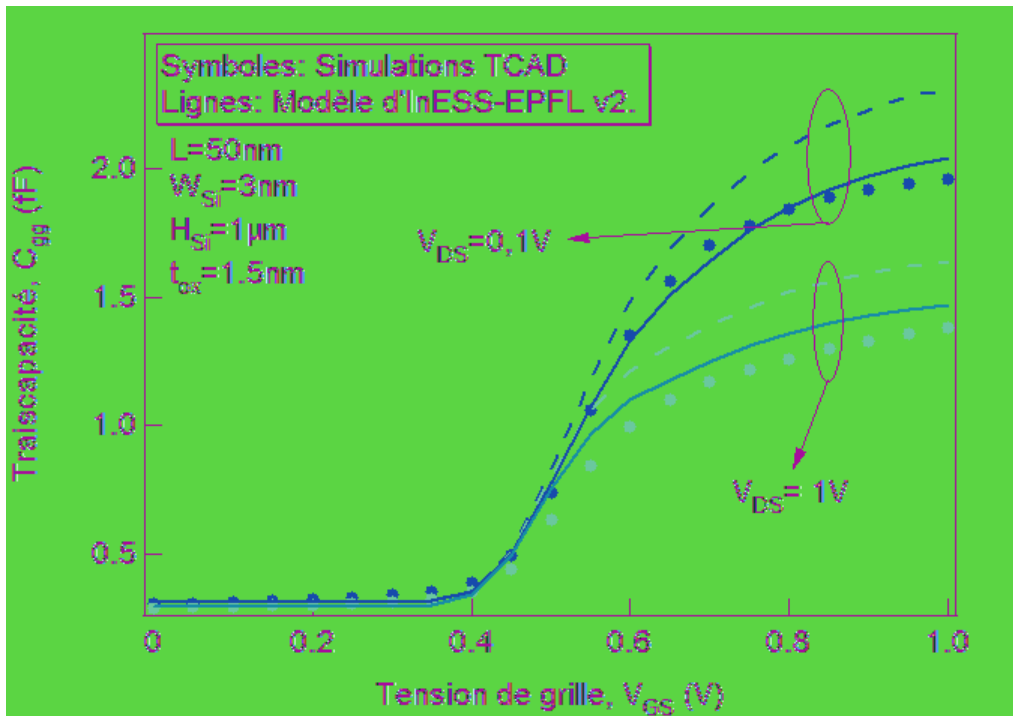


Figure III-39 Comparaison du modèle explicite prenant en compte (lignes continues) et pas (lignes discontinues) la longueur d'overlap et la simulation TCAD (symboles) pour un FinFET avec $L=50\text{nm}$, $W_{\text{si}}=3\text{nm}$ et $H_{\text{si}}=1\mu\text{m}$.

En conclusion, nous avons modifié le modèle développé précédemment (II.4) pour que l'erreur de la surestimation de la tension de seuil soit corrigée et la précision soit améliorée. Cependant, il est seulement valide pour un FinFET avec le canal long, *e.g.* $L=1\mu\text{m}$ car une erreur très importante subsiste pour les canaux courts, *e.g.* $L=50\text{nm}$. Nous allons présenter une autre solution analytique dans la prochaine section.

III.2.2 Méthode analytique directe

III.2.2.1 Développement du modèle analytique

Pour pallier à ces difficultés du modèle dont nous avons discuté dans la section précédente, une solution analytique directe déduite du modèle statique est préférée. Dans cette section, nous allons développer un modèle dynamique analytique.

Avant d'entrer dans le développement du modèle dynamique, nous rappelons le modèle statique qui a été détaillé au paragraphe II.4.1:

$$i = -q_m^2 + 2 \cdot q_m + \frac{2}{\alpha} \cdot \ln \left(1 - \frac{\alpha}{2} \cdot q_m \right) \Bigg|_{q_{ms}}^{q_{md}} \quad \text{avec} \quad \alpha = \frac{C_{ox}}{C_{si}} \quad \text{et} \quad q_m < 0 \quad (3.44)$$

$$v_g - v_{to} - v_{ch} = -2 \cdot q_m + \ln\left(-\frac{q_m}{2}\right) + \ln\left(1 - \frac{\alpha}{2} \cdot q_m\right) \quad (3.45)$$

Dans le développement analytique du modèle dynamique, basé sur (3.44) et (3.45), certaines expressions sont indispensables :

$$\frac{di}{dq_m} = -2 \cdot q_m + 2 - \frac{1}{1 - \frac{\alpha}{2} \cdot q_m} \Bigg|_{q_{ms}}^{q_{md}} \quad (3.46)$$

$$\frac{dq_m}{dv_g} = -\frac{1}{2 - \frac{1}{q_m} + \frac{1}{\frac{2}{\alpha} - q_m}} \quad (3.47)$$

$$\frac{dq_m}{dv} = \frac{1}{2 - \frac{1}{q_m} + \frac{1}{\frac{2}{\alpha} - q_m}} \quad (3.48)$$

Un modèle dynamique ne consiste pas seulement en la description des transcapacités (C_{kl} , pour $k, l=g, d, s$) mais aussi de la transconductance (g_m) et de la conductance de sortie (g_{ds}).

La transconductance (g_m) est le rapport entre la variation du courant de drain et la variation de la polarisation de la grille :

$$g_m = \frac{di}{dv_g} \quad (3.49)$$

Après un changement de variable de dérivation, nous avons

$$g_m = \frac{di}{dv_g} = \frac{di}{dq_m} \cdot \frac{dq_m}{dv_g} \quad (3.50)$$

En substituant (3.46) et (3.47) dans (3.50), nous obtenons l'expression très simple de la transconductance

$$g_m = q_{md} - q_{ms} \quad (3.51)$$

La conductance de sortie (g_{ds}) est obtenue aussi par sa définition et en supposant que la tension de source est nulle, *i.e.* $v_s=0V$

$$g_{ds} = \frac{di}{dv_{ds}} = \frac{di}{dv_d} \quad (3.52)$$

Similairement au développement de la transconductance (g_m), nous faisons un changement de la variable de dérivation

$$g_{ds} = \frac{di}{dq_{md}} \cdot \frac{dq_{md}}{dv_d} \quad (3.53)$$

La conductance de sortie (g_{ds}) est obtenue en substituant (3.46) et (3.48) dans (3.53)

$$g_{ds} = -q_{md} \quad (3.54)$$

Les expressions des transcaptacités C_{kl} (pour $k, l = g, d, s$) sont définies comme le rapport entre la variation de la charge totale de l'électrode k et la polarisation de l'électrode l . Nous allons donc chercher d'abord les expressions de la charge totale de grille (Q_G), de drain (Q_D) et de source (Q_S). La relation entre les charges totales de la grille, du drain et de la source est

$$q_G + q_D + q_S = 0 \text{ avec } q_G > 0 \text{ et } q_{D,S} < 0 \quad (3.55)$$

où $q_{G,D,S}$ sont déjà normalisées.

D'après [7], les charges totales des électrodes sont exprimées comme

$$q_G = -H_{Si} \cdot \int_0^L q_m \cdot dx \quad (3.56)$$

$$q_D = H_{Si} \cdot \int_0^L \frac{x}{L} \cdot q_m \cdot dx \quad (3.57)$$

$$q_S = H_{Si} \cdot \int_0^L \left(1 - \frac{x}{L}\right) \cdot q_m \cdot dx \quad (3.58)$$

où x est la position longitudinal dans le canal de FinFET et d'après [8], cette position peut être calculée par

$$x = -\frac{\mu \cdot H_{Si}}{I_{DS}} \cdot \int_{v_s}^v (-Q_i) \cdot dV \text{ où } Q_i > 0 \quad (3.59)$$

$$dx = \frac{\mu \cdot H_{Si}}{I_{DS}} \cdot Q_i \cdot dV \quad (3.60)$$

Après normalisation, (3.59) et (3.60) deviennent respectivement

$$x = -\frac{L}{i} \cdot \int_{v_s}^v q_m \cdot dv \quad (3.61)$$

$$dx = -\frac{L}{i} \cdot q_m \cdot dv \quad (3.62)$$

Substituons (3.48) dans (3.61) et (3.62), nous avons

$$x = -\frac{L}{i} \cdot \left[q_m^2 - 2 \cdot q_m - \frac{2}{\alpha} \cdot \ln \left(1 - \frac{\alpha}{2} \cdot q_m \right) \right] \Bigg|_{q_{ms}}^{q_m} \quad (3.63)$$

$$dx = -\frac{L}{i} \cdot q_m \cdot \left(2 - \frac{1}{q_m} + \frac{1}{\frac{2}{\alpha} - q_m} \right) \cdot dq_m \quad (3.64)$$

La charge totale de grille peut être obtenue en substituant (3.64) dans (3.56)

$$q_G = \frac{H_{Si} \cdot L}{i} \cdot \left[\frac{2}{3} \cdot q_m^3 - q_m^2 - \frac{2}{\alpha} \cdot q_m - \frac{4}{\alpha^2} \cdot \ln \left(1 - \frac{\alpha}{2} \cdot q_m \right) \right] \Bigg|_{q_{ms}}^{q_{md}} \quad (3.65)$$

La charge totale de drain est plus compliquée que celle de grille et est obtenue en substituant (3.63) et (3.64) dans (3.57)

$$q_D = \frac{H_{Si} \cdot L}{i^2} \cdot \{ Int1 - Term3 \cdot Int2 \} \quad (3.66)$$

$$\text{où } \left\{ \begin{array}{l} Int1 = \left[\frac{2}{5} \cdot q_m^5 - \frac{3}{2} \cdot q_m^4 + \left[\frac{4}{3} - \frac{2}{9 \cdot \alpha} - \frac{4}{3 \cdot \alpha} \cdot \ln \left(1 - \frac{\alpha}{2} \cdot q_m \right) \right] \cdot q_m^3 \right. \\ \left. + \left[\frac{1}{\alpha} - \frac{2}{3 \cdot \alpha^2} + \frac{2}{\alpha} \cdot \ln \left(1 - \frac{\alpha}{2} \cdot q_m \right) \right] \cdot q_m^2 \right. \\ \left. + \left[-\frac{8}{3 \cdot \alpha^3} + \frac{4}{\alpha^2} \cdot \ln \left(1 - \frac{\alpha}{2} \cdot q_m \right) \right] \cdot q_m + \frac{304}{9 \cdot \alpha^4} - \frac{64}{5 \cdot \alpha^5} \right. \\ \left. - \frac{44}{3 \cdot \alpha^3} - \frac{16}{3 \cdot \alpha^4} \cdot \ln \left(1 - \frac{\alpha}{2} \cdot q_m \right) + \frac{4}{\alpha^3} \cdot \left[\ln \left(1 - \frac{\alpha}{2} \cdot q_m \right) \right]^2 \right] \Bigg|_{q_{ms}}^{q_{md}} \\ Int2 = \frac{i \cdot q_G}{H_{Si} \cdot L} \\ Term3 = q_{ms}^2 - 2 \cdot q_{ms} - \frac{2}{\alpha} \cdot \ln \left(1 - \frac{\alpha}{2} \cdot q_{ms} \right) \end{array} \right.$$

L'expression de la charge totale de source est obtenue par (3.55), donc

$$q_S = -q_G - q_D \quad (3.67)$$

Jusqu'à maintenant, nous avons toutes les expressions des charges totales des électrodes de grille, de drain et de source. En comparant les résultats avec [9], il apparaît que nous avons obtenu les mêmes expressions pour les charges, la seule différence étant que nos expressions

sont normalisées. Les transcapacités peuvent alors être obtenues en utilisant la définition suivante :

$$\begin{cases} c_{kl} = -\frac{\partial q_k}{\partial v_l} \text{ si } l \neq k \\ c_{kk} = \frac{\partial q_k}{\partial v_k} \text{ sinon} \end{cases} \quad (3.68)$$

Finalement, nous obtenons les expressions des neuf transcapacités :

$$c_{gg} = -\frac{H \cdot L}{i} \cdot (q_{ms}^2 - q_{md}^2) + \frac{q_G}{i} \cdot g_m \quad (3.69)$$

$$c_{gd} = -\frac{H \cdot L}{i} \cdot q_{md}^2 + \frac{q_G}{i} \cdot g_{ds} \quad (3.70)$$

$$c_{dg} = -\frac{H \cdot L}{i} \cdot q_{md}^2 - \frac{q_{ms} \cdot q_G}{i} + \frac{2 \cdot q_D}{i} \cdot g_m \quad (3.71)$$

$$c_{dd} = -\frac{H \cdot L}{i} \cdot q_{md}^2 - \frac{2 \cdot q_D}{i} \cdot g_{ds} \quad (3.72)$$

$$c_{ss} = c_{sd} + c_{sg} = c_{ds} + c_{gs} \quad (3.73)$$

$$c_{gg} = c_{gs} + c_{gd} = c_{sg} + c_{dg} \quad (3.74)$$

$$c_{dd} = c_{ds} + c_{dg} = c_{sd} + c_{gd} \quad (3.75)$$

Nous pouvons comparer nos expressions des transcapacités avec le modèle de l'équipe de Y. Taur [10]. Après dénormalisation, nous avons exactement les mêmes expressions que [10].

Dans les expressions des transcapacités (3.69)-(3.75), nous voyons que le courant de drain (i) apparaît au dénominateur. Or quand la polarisation du drain est nulle, i.e. $V_{ds}=0V$, le courant de drain est nul, i.e. $i=0$. Par conséquent, toutes les expressions des transcapacités tendent vers un problème de division par zéro. Afin d'éviter ce problème, nous cherchons la valeur asymptotique pour les transcapacités quand V_{ds} tend vers zéro [9].

En fait, quand la polarisation de drain est nulle, la densité de la transcapacité grille-canal est constante le long du canal. En effet, le potentiel de quasi-Fermi est égale à la tension de source quelle que soit sa position dans le canal et la densité de charge dans la grille est égale à la densité de charge au canal au niveau de la valeur absolue, aussi la densité de la transcapacité C_{gg} peut être donné par dq_{ms}/dv_s (3.48). Par conséquent, quand $V_{ds}=0V$, pour le calcul de la transcapacité C_{gg} , nous utilisons l'expression suivante :

$$c_{gg} = H_{Si} \cdot L \cdot \frac{dq_{ms}}{dv_s} = \frac{H_{Si} \cdot L}{2 - \frac{1}{q_{ms}} + \frac{1}{\frac{2}{\alpha} - q_{ms}}} \quad (3.76)$$

De plus, d'après [11], les autres transcapacités pour $V_{ds}=0V$ peuvent être obtenues par

$$c_{gg} = 2 \cdot c_{gd} = 2 \cdot c_{dg} = 2 \cdot c_{gs} = 2 \cdot c_{sg} = -6 \cdot c_{ds} = -6 \cdot c_{sd} = 3 \cdot c_{ss} = 3 \cdot c_{dd} \quad (3.77)$$

Jusqu'à maintenant, toutes les transcapacités sont obtenues et nous allons comparer ces expressions avec les simulations 3D dans la prochaine section.

III.2.2.2 Validation du modèle analytique

III.2.2.2.1 FinFET avec un canal long

Dans un premier temps, nous allons comparer le modèle avec les simulations TCAD pour un FinFET avec un canal long, *e.g.* $L=1\mu m$. D'après la Figure III-40, nous voyons d'abord que les courbes de C_{gg} , C_{dg} , C_{sg} vs V_{gs} calculées par le modèle explicite n'ont plus de problème au niveau de la tension de seuil. Cependant, il y a des erreurs dans deux régions : à très faible V_{gs} et en forte inversion. Quand la polarisation de grille est très petite, nous voyons une grande erreur. Parce que le calcul de la charge totale de drain a besoin d'une précision très importante, notre logiciel de calcul mathématique (MathCAD) n'a pas une précision suffisamment importante ce qui conduit une erreur très grande quand V_{gs} est très petite (Figure III-40a et b). Nous avons trouvé, par un travail d'un autre doctorant, une solution mathématique qui nous permet de bien éviter le problème de précision de calcul sous « MathCAD ». L'autre erreur existe dans la région de forte inversion mais est relativement petite par rapport aux simulations TCAD. D'après les Figure III-40c et d, notre modèle est globalement précis à l'exception d'une polarisation de type V_{gs} élevée et V_{ds} faible, telle que $V_{gs}=1V$ et $V_{ds}<0,3V$.

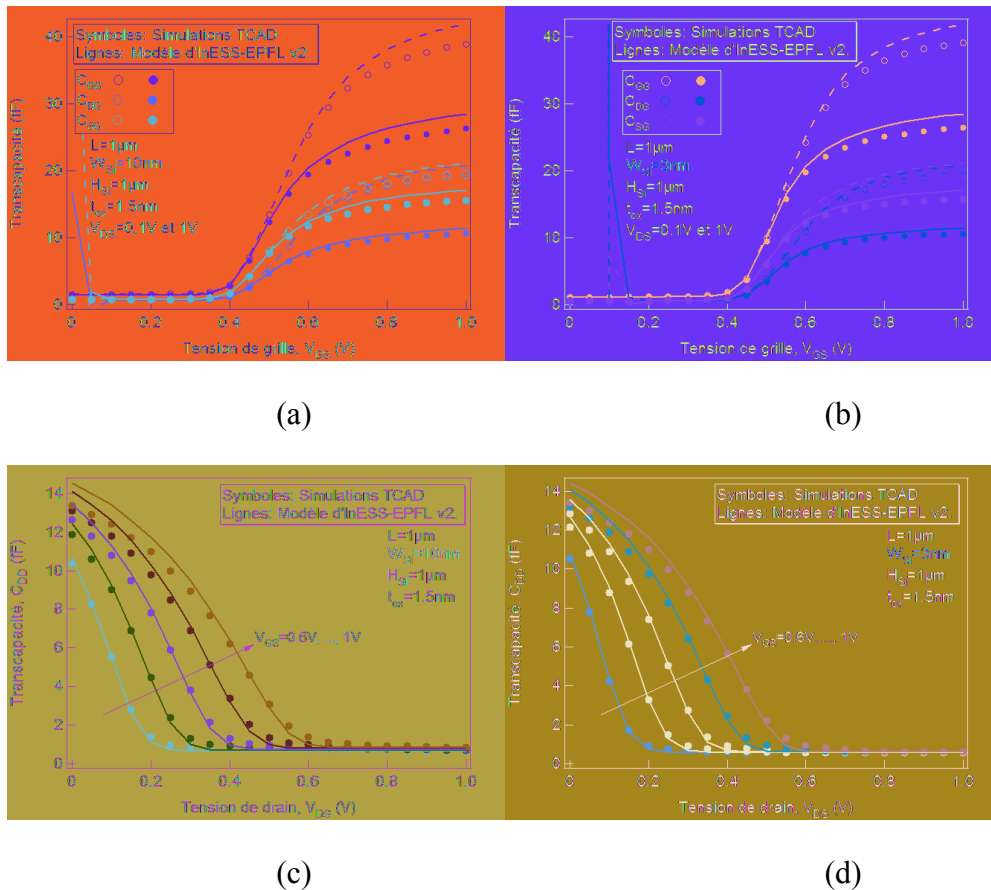


Figure III-40 Comparaison du modèle explicite et des simulations TCAD pour un FinFET avec un canal long ($L=1\mu\text{m}$). (a) et (b) C_{gg} , C_{dg} , C_{sg} vs V_{gs} ; (c) et (d) C_{dd} vs V_{ds} . (a) et (c) pour $W_{Si}=10\text{nm}$; (b) et (d) pour $W_{Si}=3\text{nm}$. Dans (a) et (b), les symboles vides et les lignes discontinues sont pour $V_{DS}=0,1\text{V}$ et les symboles pleins et les lignes continues sont pour $V_{DS}=1\text{V}$.

III.2.2.2.2 FinFET avec un canal court

Dans cette section, nous allons comparer notre modèle analytique avec les simulations TCAD pour un FinFET avec un canal court, *e.g.* $L=50\text{nm}$. En comparaison avec le cas précédent (FinFET avec un canal long), les erreurs se situent encore dans les mêmes zones. En particulier, le problème de convergence subsiste toujours pour V_{gs} très faible (Figure III-41). En forte inversion, nous avons une bonne précision quand V_{ds} est petit, *e.g.* $V_{ds}=0,1\text{V}$. Pour C_{dd} , l'erreur du modèle analytique est très importante.

Rappelons que nous avons inclut les effets de petite géométrie directement au niveau du modèle de courant de drain. Si nous introduisons les corrections des effets de petite géométrie au niveau des expressions des densités de charge, le modèle dynamique analytique ne devrait plus entraîner les erreurs existantes actuellement. Cela reste à être vérifié dans le futur.

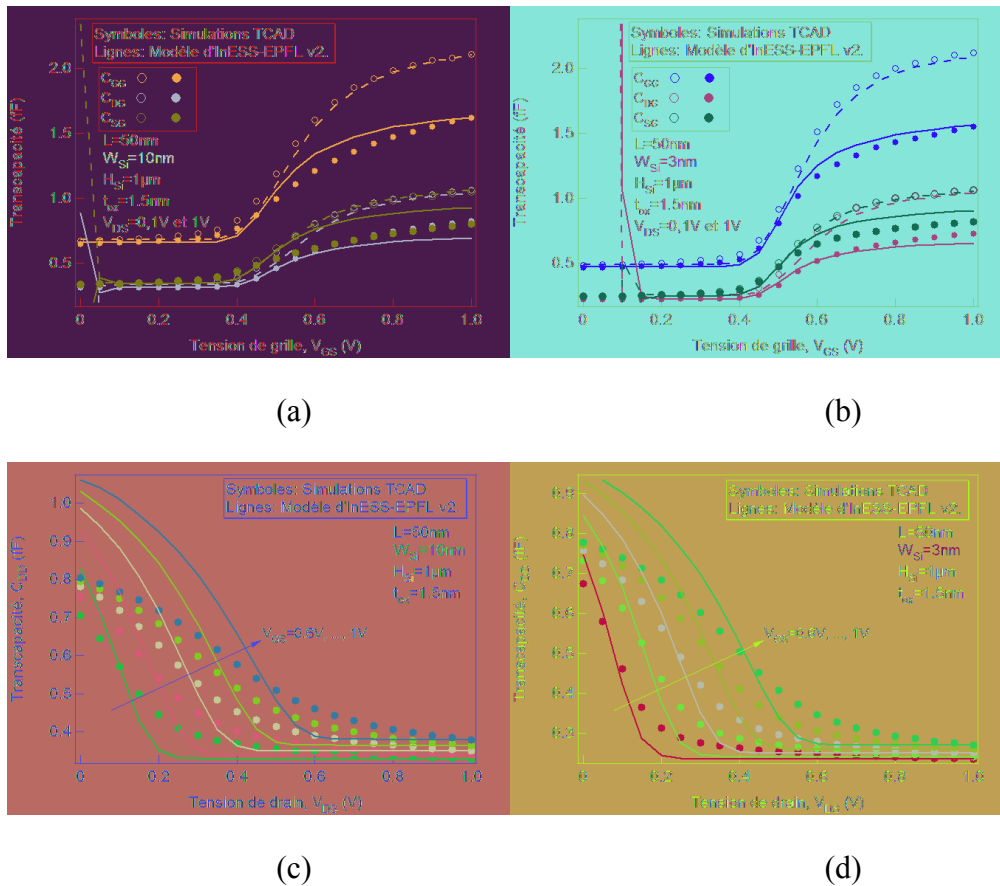


Figure III-41 Comparaison du modèle explicite et des simulations TCAD pour un FinFET avec un canal court ($L=50\text{nm}$). (a) et (b) C_{gg} , C_{dg} , C_{sg} vs V_{gs} ; (c) et (d) C_{dd} vs V_{ds} . (a) et (c) pour $W_{Si}=10\text{nm}$; (b) et (d) pour $W_{Si}=3\text{nm}$. Dans (a) et (b), les symboles vides et les lignes discontinues sont pour $V_{DS}=0,1\text{V}$ et les symboles pleines et les lignes continues sont pour $V_{DS}=1\text{V}$.

En conclusion, sans aucune expression empirique, le modèle analytique a bien résolu le problème de l'erreur du décalage de tension de seuil. Cependant, nous avons toujours un problème de convergence pour les courbes de C_{dg} et C_{sg} . L'erreur dans la région de forte inversion n'est pas négligeable, surtout dans le cas du canal court. Il en résulte que le modèle devra être modifié dans un travail ultérieur.

III.2.3 Comparaison des méthodes EKV plus et analytique directe

Nous avons présenté deux méthodes à développer le modèle dynamique : méthode EKV plus et méthode analytique directe. Nous allons maintenant comparer ces deux méthodes.

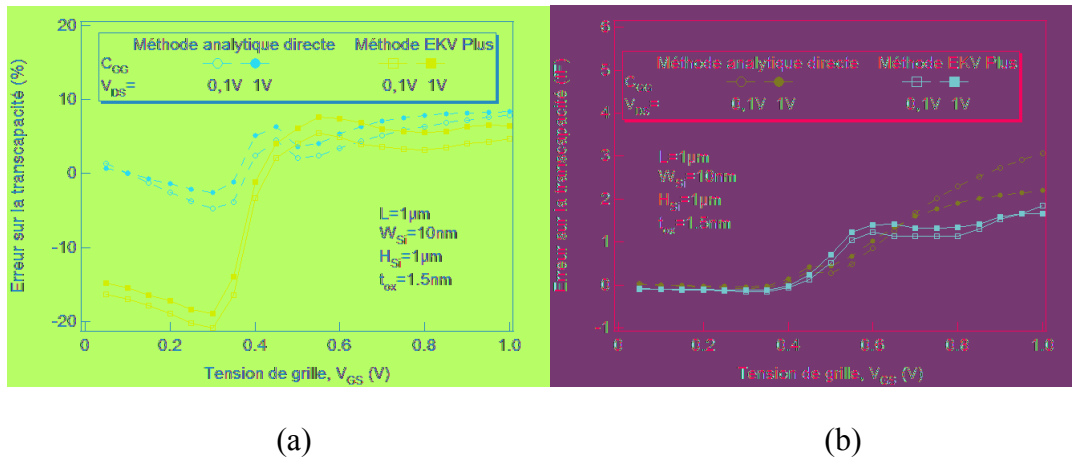
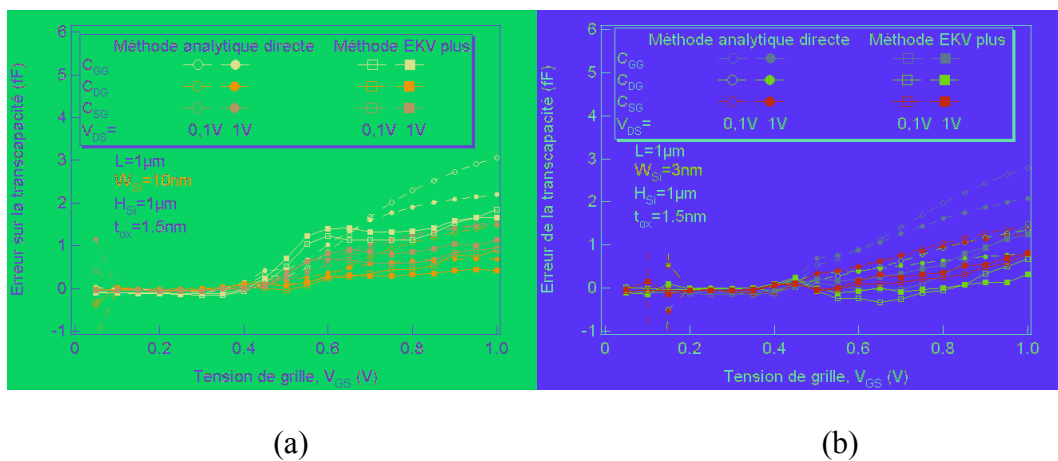


Figure III-42 Erreur (a) relative et (b) absolue ramenée par les méthodes EKV plus et analytique directe

D'après la Figure III-42a, nous voyons, en forte inversion, l'erreur relative par la méthode EKV plus en cercles rouges est moins importante que par la méthode analytique directe en carrés bleux. Par contre, en faible inversion, l'erreur relative par la méthode EKV plus en cercles rouges est beaucoup plus importante que la méthode analytique directe. Puisque la transcapacité C_{gg} en faible inversion est très petite, une erreur relative importante n'apporte pas une erreur absolue importante (Figure III-42b).

Nous voyons aussi que pour les autres transcapacités, les erreurs absolues apportées par la méthode EKV plus sont moins importantes que par la méthode analytique directe (Figure III-43). Nous pouvons dire que globalement, la méthode EKV plus apporte un modèle plus précis que la méthode analytique directe.



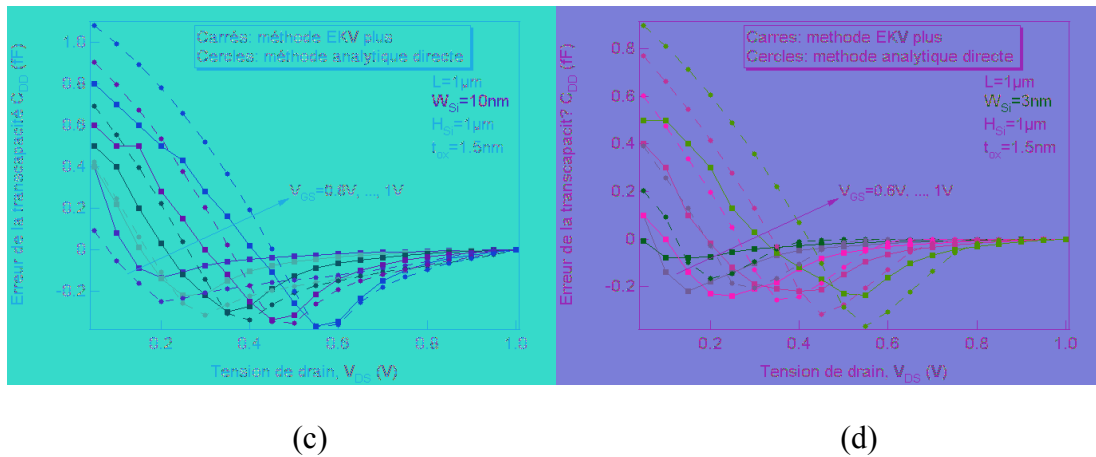


Figure III-43 Erreurs absolues ramenée par les méthodes EKV plus et analytique directe pour les transcapacités en fonction de (a et b) V_{GS} et de (c et d) V_{DS} pour deux largeurs de silicium (W_{Si}) différentes de (a et c) 10 nm et de (b et d) 3 nm. Les effets quantiques ne sont pas pris en compte.

Conclusion

Basé sur les travaux précédents (II.4), nous avons implémenté les corrections semi-empiriques pour la dégradation de la pente sous le seuil, l'effet de l'abaissement de la barrière induit par le drain (DIBL), l'effet du partage de charge (SCE), la tension de saturation, la modulation de la longueur du canal et les effets de mécanique quantique. En nous basant sur ces corrections, nous avons développé un modèle explicite statique pour un FinFET avec une longueur du canal (L) minimum de 25nm, une largeur du film de silicium (W_{Si}) minimum de 3nm et une hauteur du film de silicium (H_{Si}) minimum de 50nm. Cette gamme de validation couvre la plupart des cas de FinFET réalisés jusqu'à aujourd'hui.

Le modèle dynamique est développé en incluant les neuf transcapacités. Par rapport au travail précédent, le nouveau modèle n'a plus de problème de la surestimation de la tension de seuil. Cependant, l'erreur du nouveau modèle n'est pas suffisamment petite pour les simulations de circuit. Cette erreur devient très importante pour un FinFET avec un canal court. Par conséquent, il convient de continuer à améliorer ce modèle.

Références

- [1] B. Diagne, "Étude et modélisation compacte d'un transistor MOS SOI double-grille dédié à la conception," thèse de l'université Louis Pasteur, Strasbourg, France, 2007.

- [2] J. S. Kolhatkar and A. K. Dutta, "A new Substrate current model for submicron MOSFETs," *IEEE Transactions on Electron Devices*, vol.47, no.4, pp 861-863, Apr. 2000.
- [3] L. Ge and J. G. Fossum, "Analytical modeling of quantization and volume inversion in thin Si-film DG MOSFETs," *IEEE Transactions on Electron Devices*, vol.49, no.2, pp 287-294, Feb. 2002.
- [4] G. Baccarani and S. Reggiani, "A compact double-gate MOSFET model comprising quantum-mechanical and nonstatic effects," *IEEE Transactions on Electron Devices*, vol.46, no.8, pp 1656-1666, Aug. 1999.
- [5] F. Prégaldiny, C. Lallement and D. Mathiot, "Accounting for quantum mechanical effects from accumulation to inversion, in a fully analytical surface-potential-based MOSFET model," *Solid State Electronics*, vol.48, no.5, pp 781-787, May 2004.
- [6] F. Prégaldiny, F. Krummenacher, J.M. Sallese, B. Diagne and C. Lallement, "An explicit quasi-static charge-based compact model for symmetric double gate MOSFETs," in *Proc. Workshop Compact Modeling, NSTI Nanotech, Boston, MA*, pp 686-691, May 2006.
- [7] D. Ward and R. Dutton, "A charge-oriented model for MOS transistor capacitances," *IEEE Journal of Solid State Circuits*, vol. SSC-13, no. 5, pp 703-708, Oct. 1978.
- [8] N. Arora, *MOSFET Modeling for VLSI simulation: theory and practice*, World Scientific Publishing Co. Pte. Ltd., 2007.
- [9] O. Moldovan, D. Jiménez, J. Roig Guitart, F. A. Chaves and B. Iniguez, "Explicit Analytical Charge and Capacitance Models of Undoped Double-Gate MOSFETs," *IEEE Transactions on Electron Devices*, vol.54, no. 7, pp 1718-1724, July 2007.
- [10] H. Lu, B. Yu and Y. Taur, "A unified charge model for symmetric double-gate and surrounding-gate MOSFETs," *Solid-State Electronics*, vol.52, no.1, pp 67-72, Jan. 2008.
- [11] B. Yu, W.-Y. Lu, H. Lu and Y. Taur, "Analytic charge model for surrounding-gate MOSFETs," *IEEE Transactions on Electron Devices*, vol. 54, no. 3, pp 492-496, Mar. 2007.

Chapitre IV

Vers l'insertion du modèle dans un flot de conception

Sommaire du Chapitre IV

| | | |
|-------------|---|------------|
| IV.1 | LES CARACTERISTIQUES ELECTRIQUES POUR L'EXTRACTION DE PARAMETRES | 158 |
| IV.2 | METHODOLOGIE DE LA PROCEDURE D'EXTRACTION | 159 |
| IV.2.1 | <i>Méthodes d'extraction.....</i> | <i>160</i> |
| IV.2.2 | <i>Méthodologie d'extraction par optimisation.....</i> | <i>160</i> |
| IV.2.3 | <i>Mise en œuvre de la procédure d'extraction.....</i> | <i>161</i> |
| IV.3 | SIMULATION DES PORTES LOGIQUES..... | 161 |
| | <i>Conclusion.....</i> | <i>165</i> |
| | <i>Référence.....</i> | <i>165</i> |

Dans les chapitres précédents, nous avons présenté notre modèle compact du transistor FinFET.

L'intégration future du modèle dans un flot de conception (« Design flow ») nécessite trois aspects supplémentaires :

1. Le modèle compact du FinFET doit être écrit dans un langage dédié à la conception. Cela est le cas ici, car il est implémenté dans les deux langages HDLs les plus utilisés à savoir VHDL-AMS, et Verilog-A (pour plus de détails sur ce type d'implémentation, se référer à la thèse de B. Diagne [1] et les travaux associés [2], et pour plus de détails sur ces langages, se référer aux références suivantes [3]-[5]).
2. Pour que le modèle soit complet, il doit être couplé à une méthodologie d'extraction de paramètres rigoureuse. A terme, la procédure d'extraction des paramètres du modèle devra être automatisée pour permettre entre autres des analyses statistiques sur les variations des paramètres (informations indispensables pour les concepteurs, et à insérer dans un flot de conception « design flow »).
3. Le modèle doit être testé au travers de simulations de circuits spécifiques permettant d'évaluer son niveau de performance (précision – convergence – rapidité, entre autres).

Ce chapitre apporte maintenant des premiers éléments de réponse sur certains de ces aspects.

IV.1 Les caractéristiques électriques pour l'extraction de paramètres

Certains paramètres du modèle FinFET développé dans le cadre de cette thèse sont supposés connus ou fixés par le concepteur, et d'autres devront être extraits au travers de caractéristiques électriques.

La tâche d'extraction de paramètres est typiquement réalisée ici dans le logiciel de caractérisation IC-CAP d'*Agilent*, avec deux parties distinctes :

- la mesure de caractéristiques électriques,
- l'exécution de méthodes d'extraction des paramètres à partir des caractéristiques électriques.

Ces deux parties définissent notre procédure d'extraction de paramètres [6].

Les paramètres du modèle sont obtenus au travers de différentes caractéristiques électriques. Typiquement, les mesures nécessaires à l'extraction de paramètres sont les caractéristiques courant-tension :

- I_d vs. V_{gs} , pour des différentes valeurs de tension V_{ds} , de longueurs de grille et de largeurs de canal, bien spécifiques,
- I_d vs. V_{ds} , pour des différentes valeurs de tension V_{gs} , de longueurs de grille et de largeurs de canal, bien spécifiques,

et les caractéristiques capacitives :

- C_{gg} , C_{dg} et C_{sg} vs. V_{gs} pour des valeurs de tensions V_{ds} , de longueurs de grille et de largeurs de canal, bien spécifiques.

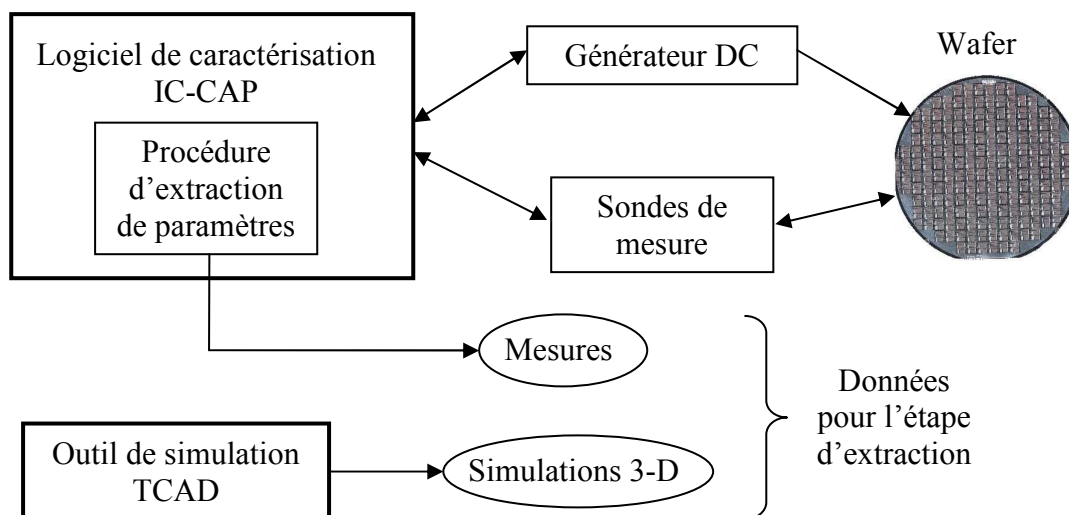


Figure IV-1 Banc de mesure et simulations 3D, nécessaire à l'étape d'extraction.

La Figure IV-1 illustre la mesure des caractéristiques électriques par le logiciel IC-CAP. Celui-ci pilote les appareils de mesure tels que spécifiée dans la procédure d'extraction, pour obtenir des données de mesures. Dans le cadre de notre étude du transistor FinFET, la procédure peut également s'appliquer à des résultats de simulations 3D issus d'un simulateur de dispositifs (Atlas associé à Devedit de Silvaco par exemple).

IV.2 Méthodologie de la procédure d'extraction

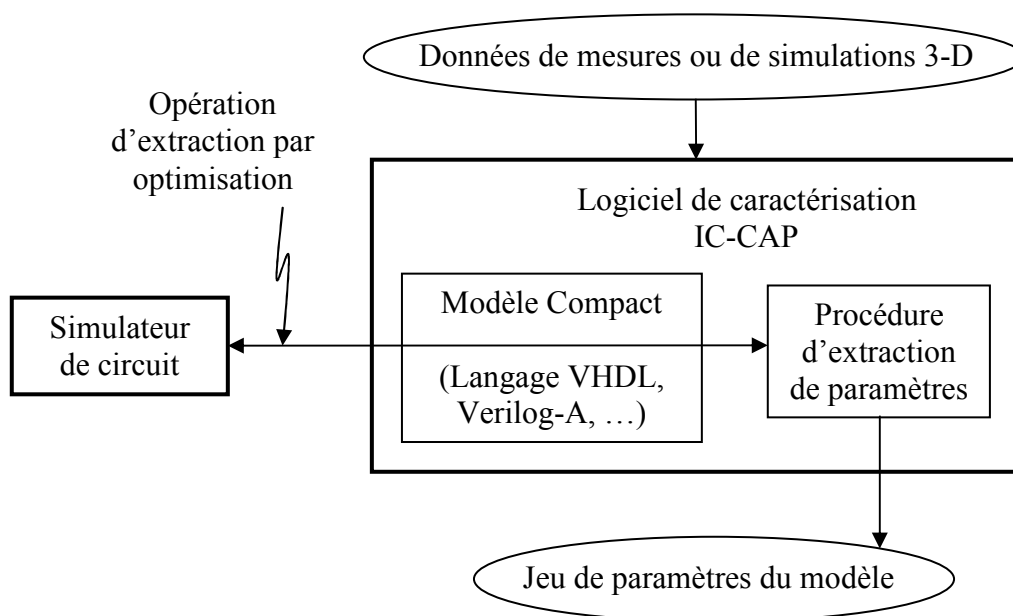


Figure IV-2 Schéma logiciel de l'extraction des paramètres.

IV.2.1 Méthodes d'extraction

L'extraction des paramètres peut se faire :

- soit par l'analyse directe d'une caractéristique électrique,
- soit à l'aide d'une méthode d'optimisation.

La première méthode exploite des équations du modèle pour obtenir analytiquement la valeur d'un paramètre. Mais une telle méthode n'est pas toujours possible. Ainsi il peut être nécessaire d'utiliser l'approche par optimisation. Elle consiste à comparer les résultats de caractéristiques électriques simulées selon le modèle compact, avec les caractéristiques de référence, que sont les mesures ou les simulations 3D. Chaque paramètre du modèle est optimisé pour obtenir un minimum d'écart entre des résultats du modèle et ceux de référence, définis dans une procédure d'extraction.

IV.2.2 Méthodologie d'extraction par optimisation

Pour extraire efficacement les paramètres, on recherche pour chacun une région de fonctionnement des caractéristiques électriques, qui est influencée par l'effet physique auquel le paramètre est associé. Ce paramètre est ensuite optimisé sur cette région. Malheureusement plusieurs paramètres sont souvent influant dans une même région, et leur optimisation doit être simultanée. D'une manière générale, ces méthodes d'optimisation demandent que des estimations initiales appropriées des paramètres soient faites. Une fois que certains paramètres sont extraits, ils sont ensuite gelés, et d'autres paramètres sont alors déterminés sur leur région de fonctionnement des caractéristiques électriques. Ces régions et l'ordre d'optimisation des paramètres définissent la procédure d'extraction.

La méthode par optimisation a des avantages et des inconvénients en ce sens que nous trouverons toujours une solution, mais que celle-ci pourra être très éloignée de tout sens physique. Il convient donc d'être prudent lors de la définition des procédures d'extraction de paramètres par optimisation ; c'est-à-dire qu'il est essentiel d'avoir une bonne connaissance de la valeur des paramètres devant être extraits, et de la meilleure zone (parfaitement délimitée) où ces paramètres sont les plus influents.

IV.2.3 Mise en œuvre de la procédure d'extraction

La procédure d'extraction est programmée par l'utilisateur dans le logiciel de caractérisation (Figure IV-2). Elle exploite les données des caractéristiques électriques de mesures ou de simulations 3D. Pour l'application des méthodes d'optimisation, le logiciel est couplé à un simulateur de circuit qui s'occupe d'exécuter le modèle compact pour obtenir les caractéristiques simulées. Le modèle est ainsi implémenté dans un langage de description matériel (HDL), tel que Verilog-A ou VHDL-AMS.

IV.3 Simulation des portes logiques

Nous avons implémenté le modèle en Verilog-A et réalisé une simulation des portes logiques sous le simulateur « Spectre », e.g. Inverseur (Figure IV-3), NAND (Figure IV-4) et NOR (Figure IV-5). Les portes logiques sont réalisées en FinFET. Afin de compenser la mobilité des trous, nous mettons ici deux PMOS en parallèle ce qui simplifie la fabrication grâce aux hauteurs identiques des Fins. D'un point de vue de la densité d'intégration, nous pouvons définir les PMOS avec une hauteur deux fois plus grande que les NMOS afin de compenser la mobilité.

Nous voyons que l'inverseur en FinFET avec un canal long ($L=1\mu\text{m}$) a une caractéristique de fonction de transfert qui passe par le centre de la tension de l'alimentation (Figure IV-3c). Mais pour l'inverseur en FinFET avec un canal court ($L=50\text{nm}$), la courbe de fonction de fonction de transfert ne passe pas par le centre mais un peu déviée. Pour ce dernier cas, cela est à cause des effets canaux courts.

Dans les simulations temporelles (Figure IV-3d, Figure IV-4c et Figure IV-5c), les signaux d'entrée sont des signaux de type créneau. Les signaux de sortie sont rectangulaires. Cela est logique ici car nous n'avons pris que le modèle statique dans les simulations. Le modèle dynamique n'est pas encore validé pour un FinFET avec un canal court. Nous ne voyons donc pas de problème de retard (délai) en sortie.

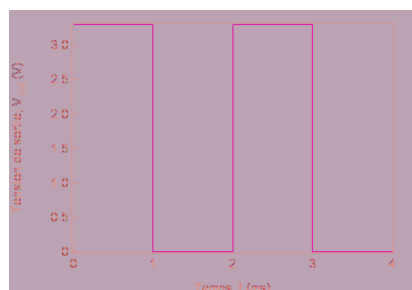
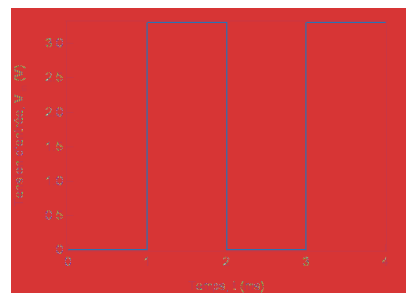
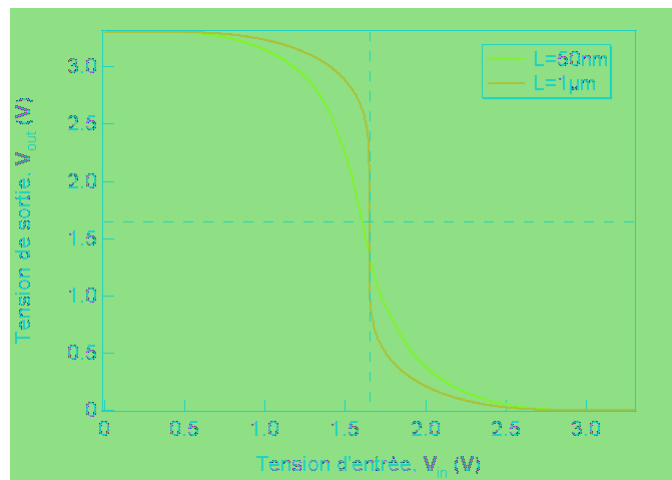
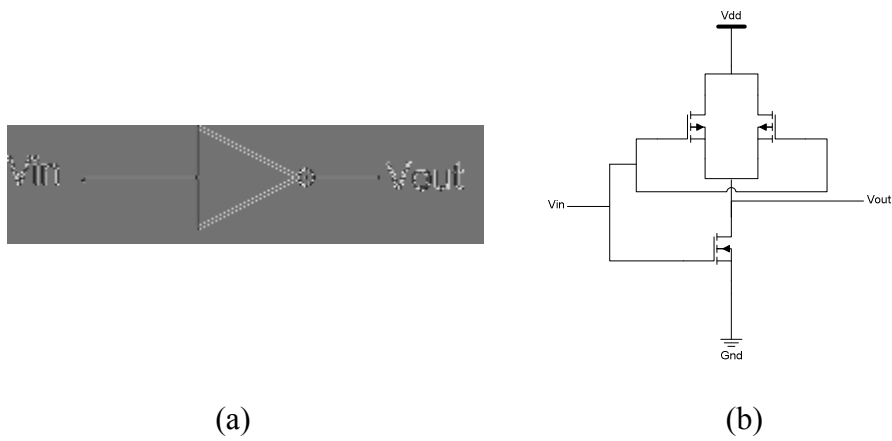
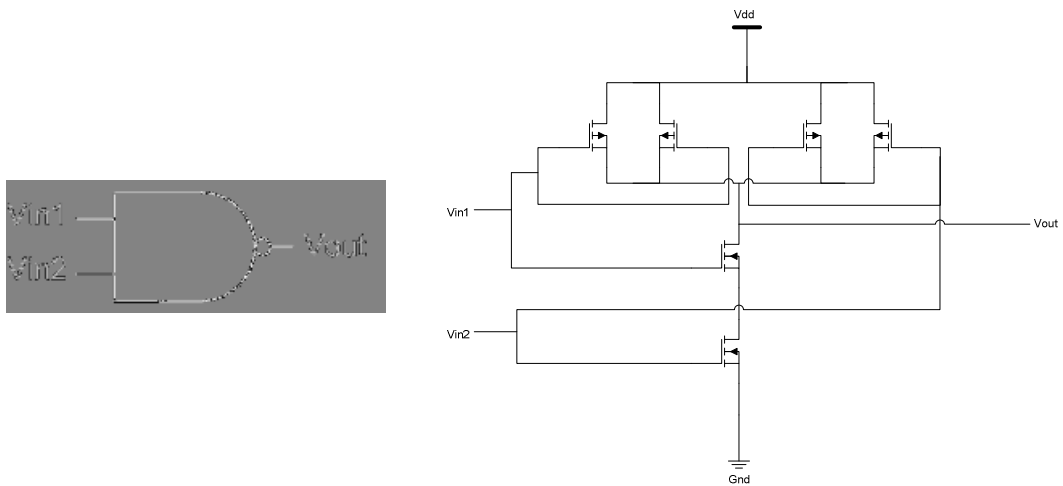
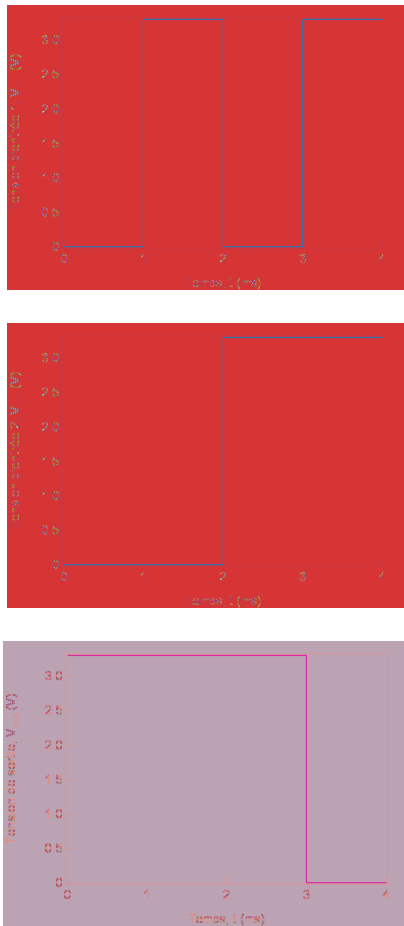


Figure IV-3 (a) Symbole, (b) schéma électronique et (c) caractéristique de transfert de l'inverseur basé sur FinFET pour $L=1\mu\text{m}$ et 50nm , $W_{\text{Si}}=10\text{nm}$. (d) simulation temporelle de l'inverseur basé sur FinFET pour $L=50\text{nm}$ et $W_{\text{Si}}=10\text{nm}$



(a)

(b)



(c)

Figure IV-4 (a) Symbole, (b) schéma électronique et (c) simulation temporelle de la porte NAND basé sur FinFET pour $L=50\text{nm}$ et $W_{Si}=10\text{nm}$

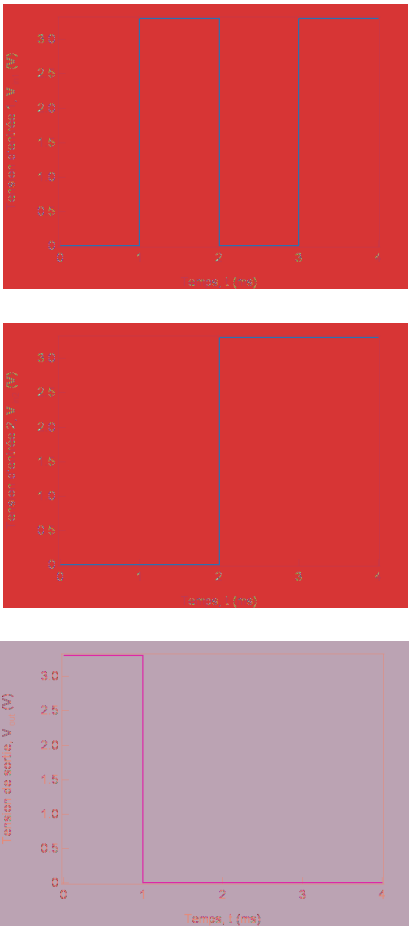
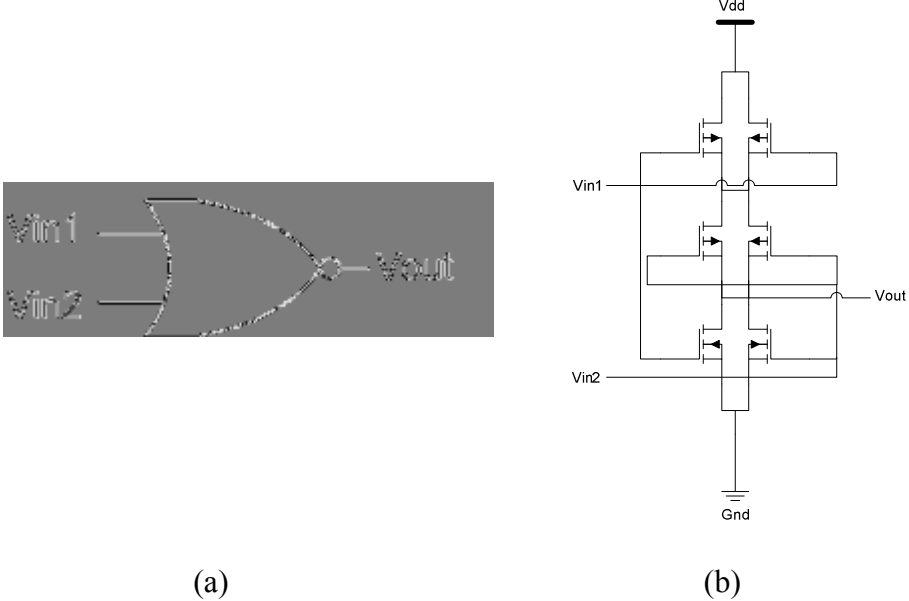


Figure IV-5 (a) Symbole, (b) schéma électronique et (c) simulation temporelle de la porte NOR basé sur FinFET pour $L=50\text{nm}$ et $W_{Si}=10\text{nm}$

Conclusion

Afin de finaliser le développement du modèle compact du transistor FinFET, la procédure d'implémentation et l'extraction des paramètres du modèle sont indispensables. Les paramètres sont extraits et optimisés par un logiciel IC-CAP d'*Agilent* pour que le modèle puisse servir à la simulation de circuit. On peut aussi dire que l'étape de l'implémentation et de l'extraction des paramètres est le dernier pas avant les tests en simulation de circuits. Nous avons aussi prouvé que notre modèle de FinFET est capable de simuler les portes logiques.

Référence

- [1] B. Diagne, "Etude et modélisation compacte d'un transistor MOS SOI double-grille dédié à la conception," Thèse de l'Université Louis Pasteur (Strasbourg), Nov. 2007.
- [2] F. Prégaldiny, F. Krummenacher, B. Diagne, F. Pêcheux, J.- M. Sallese, C. Lallement Explicit modelling of the double-gate MOSFET with VHDL-AMS, *Int. J. Numer. Model.: Electron. Netw. Devices Fields* 19, 2006, pp. 239-256.
- [3] E. Christen and K. Bakalar, "VHDL-AMS a hardware description language for analog and mixed-signal applications," *IEEE Transactions on Circuits and Systems, part I, Vol. 46 Issue: 10, pp. 1263-1272*, Oct. 1999
- [4] F. Pecheux, C. Lallement, and A.Vachoux, "VHDL-AMS and Verilog -AMS as Alternative Hardware Description Languages for Efficient Modeling of Multi-Discipline Systems," *IEEE Transactions on Computer Aided Design of Integrated Circuits and Systems (TCAD)*, Feb. 2005
- [5] P. Frey and D. O'Riordan, "Verilog-AMS: Mixed-signal simulation and cross domain connect modules," *Proc. 2000 IEEE/ACM International Workshop on Behavioral Modeling and Simulation (BMAS), 2000, pp. 103 108*.
- [6] N. Chevillon, M. Tang, F. Prégaldiny, C. Lallement and M. Madec, "FinFET compact modeling and parameter extraction," in *Proc. 16th IEEE International Conference Mixed Design of Integrated Circuits and Systems (MIXDES'2009)*, pp. 55-60, Lodz, Poland, Jun. 2009.

Conclusion et perspectives

Conclusion générale

Lors de l'évolution de la microélectronique, la technologie MOS Bulk a joué un rôle essentiel. Depuis une trentaine d'années, les effets néfastes liés à la réduction de la taille de transistor sont devenus de plus en plus importants et vont aboutir à la fin de la technologie MOS Bulk dans moins d'une dizaine d'années (cf. ITRS'08). La technologie Multiple-Grille devrait permettre de poursuivre cette évolution en attendant que la microélectronique passe à une autre matière que le silicium. Grâce à son excellent contrôle du canal, la technologie SOI Multiple-Grille permet de réduire les effets néfastes liés à la réduction de la taille de transistor.

Dans le Chapitre I de ce manuscrit, nous avons tout d'abord rappelé les effets néfastes liés à la petite géométrie du transistor MOS Bulk et comparé la technologie MOS Bulk, la technologie SOI et quelques filières de la technologie Multiple-Grille y compris le FinFET. Nous avons ensuite présenté en détail la technologie FinFET.

Le Chapitre II a présenté tout d'abord les principaux modèles de DG-MOSFET et FinFET développés par d'autres équipes dans le monde. Leurs principales caractéristiques (intérêts et inconvénient) sont mentionnées.

Nous avons détaillé ensuite l'environnement de simulation numérique (2D-3D) qu'il a fallu créer avant de démarrer le développement du modèle compact du FinFET. Cet environnement nous a permis de comprendre la physique du FinFET et d'élaborer des résultats (références) nécessaires ensuite à la validation du modèle compact (en attendant les mesures réelles). En effet, afin de valider notre modèle, nous avons eu besoin de simuler les transistors FinFET avec différentes dimensions (longueur, largeur, hauteur) qui couvrent la plupart des FinFETs réalisés pour l'instant. Nous avons développé une méthode de génération du script de simulation automatique qui nous permet de lancer les simulations par groupe (le logiciel du lancement des simulations a été réalisé par le doctorant qui poursuit ce travail de thèse).

Dans la dernière partie du Chapitre II, nous avons rappelé les travaux précédents déjà effectués dans notre équipe sur la modélisation compacte du MOSFET double-grille. Nous avons détaillé les effets physiques pris en compte (et les limitations des solutions adoptées), ainsi que les effets physiques non-pris en compte, de ce premier modèle de MOSFET double-grille précédemment développé.

Dans le Chapitre III, nous avons détaillé la modélisation avancée du transistor FinFET développé dans le cadre de cette thèse. Nous avons implémenté les corrections dues aux effets de SCE, DIBL, la dégradation de la pente sous le seuil, la saturation de la vitesse des porteurs, la modulation de la longueur du canal et les effets quantiques. Avec ces corrections, nous avons validé notre modèle compact explicite pour des FinFETs de type-n et -p avec une longueur du canal allant jusqu'à 25nm, une largeur de silicium jusqu'à 3nm et une hauteur de silicium jusqu'à 50nm. Le modèle quantique est validé seulement pour le FinFET de type-n à cause de l'absence de modèle quantique valide dans le simulateur TCAD.

Nous avons aussi présenté notre modèle dynamique dans la deuxième partie du Chapitre III. Le modèle dynamique est développé par deux méthodes : la méthode EKV et la méthode analytique directe. En s'inspirant du modèle EKV pour un MOS Bulk, nous proposons un modèle modifié qui fonctionne bien pour un FinFET avec un canal long. Par la méthode analytique directe, nous avons développé des expressions des transcapacités qui conviennent aussi au FinFET avec un canal long excepté un problème de convergence sur les $C_{dg}-V_g$ et $C_{sg}-V_g$ quand V_{gs} est faible. Ces deux modèles dynamiques sont validés par les simulations TCAD pour un FinFET avec un canal long.

Finalement, nous avons implémenté notre modèle de FinFET en langages de description haut niveau tels que Verilog-A et VHDL-AMS. En attendant les mesures réelles, nous utilisons des résultats de simulations numériques comme mesures afin d'extraire et d'optimiser les paramètres du modèle. Nous avons aussi simulé quelques portes logiques basées sur la technologie FinFET, dans le but de montrer le bon fonctionnement du modèle développé dans le cadre de ma thèse.

Perspectives

Dans la suite du développement du modèle compact du FinFET, des points d'étude devront être effectués pour améliorer le modèle en cours.

Concernant tout d'abord le modèle intrinsèque, rappelons que l'implémentation des corrections dues aux effets de petite géométrie s'est faite directement sur le modèle du courant de drain ; l'expression de la densité de charge n'a pas pris en compte ces effets de petite géométrie ce qui entraîne des difficultés dans la modélisation du comportement dynamique du FinFET. Nous pensons que si une méthode d'intégration des effets de petite géométrie pouvait être appliquée directement sur la densité de charge, le modèle analytique ne devrait plus entraîner les erreurs existantes actuelles.

Le modèle extrinsèque devra lui aussi être développé, pour avoir ensuite un modèle complet du FinFET. En parallèle, une méthodologie automatisée d'extraction et d'optimisation des paramètres du modèle sera à effectuer par rapport à des mesures réelles (grâce au projet Européen COMON).

Ces points résolus et complétés, le modèle devrait alors naturellement trouver sa place dans un flot de conception industriel.

Annexes

Annexe I. Solution explicite

Rappelons que (2.49) ne peut être résolue qu'implicitement, aussi cela fait perdre un peu d'intérêt à ce modèle compact qui doit en plus d'être précis, simuler très rapidement des circuits contenant des milliers voire plus de dispositifs. En collaboration avec l'équipe de Jean-Michel Sallese et François Krummenacher (EPFL), un algorithme d'inversion numérique a été développé dans le but de résoudre ce problème. Les grandes étapes de cet algorithme sont maintenant décrites [1].

L'équation (2.49) est tout d'abord réécrite en utilisant de nouvelles grandeurs électriques $v (= v_g - v_{to} - v_{ch})$ et $q (= q_g)$, ainsi qu'un facteur $\alpha (= C_{ox}/C_{Si})$ qui est ici un paramètre technologique :

$$v = 4q + \ln[q(1 + \alpha q)] \quad (1.1)$$

L'algorithme est élaboré en trois étapes.

Annexe I.1 Forte inversion

D'abord, le cas où la charge d'inversion est importante (i.e. $q \gg 1$) est considéré. Le développement en série de Taylor au premier ordre du terme logarithmique de (1.1) autour de $q = q_t$ permet d'écrire :

$$\ln[q(1 + \alpha q)] = \ln[q_t(1 + \alpha q_t)] + 2 \left[\frac{q - q_t}{q + q_t} + \frac{\alpha(q - q_t)}{2 + \alpha(q + q_t)} \right] \quad (1.2)$$

Après l'injection de (1.2) dans (1.1), la relation du potentiel et de la charge devient :

$$v = 4q + \ln[q_t(1 + \alpha q_t)] + 2 \frac{q - q_t}{q + q_t} \left(\frac{1 + 2\alpha q_t}{1 + \alpha q_t} \right) \quad (1.3)$$

(1.3) peut être réécrite sous forme d'un polynôme du second degré :

$$4q^2 + (4q_t + a + b - v)q + [q_t(b - a - v)] = 0 \quad (1.4)$$

La solution de (1.4) est alors:

$$q_0 = \frac{1}{2} \left[\left(\frac{v-a-b}{4} - q_t \right) + \sqrt{\left(\frac{v-a-b}{4} - q_t \right)^2 + 2\alpha q_t} \right] \quad (1.5)$$

avec $a = \frac{2(1+2\alpha q_t)}{1+\alpha q_t}$ et $b = \ln[q_t(1+\alpha q_t)]$.

Une fois la solution q_0 obtenue, nous l'introduisons dans le terme logarithmique de (1.1). Après un arrangement mathématique, l'expression finale de la charge dans le cas de forte inversion est la suivante:

$$q = \frac{1}{4} \left\{ v - \ln[q_0(1+\alpha q_0)] \right\} \quad (1.6)$$

Annexe I.2 Faible inversion

La deuxième étape est faite dans le cas où la charge d'inversion est très faible ($q \ll 1$). Comme cela a été dans II.4.1, le terme logarithmique dans (1.1) domine par rapport au premier terme. En définissant une fonction $F_w(\ln q)$, nous réécrivons (1.1) comme suit :

$$v = \ln q + 4e^{\ln q} + \ln(1 + \alpha e^{\ln q}) = \ln q + 1/F_w(\ln q) \quad (1.7)$$

où $F_w(\ln q) = 1/\left[4q_t e^{\Delta \ln q} + \ln(1 + \alpha q_t e^{\Delta \ln q})\right]$ et $\Delta \ln q = \ln q - \ln q_t$.

Ensuite, le développement de $F_w(\ln q)$ en série au premier ordre autour de $\Delta \ln q = 0$ permet d'écrire:

$$F_w(\ln q) = \frac{1}{4q_t + \ln(1 + \alpha q_t)} \left[1 - \frac{q_t [4 + \alpha(1 + 4q_t)]}{(1 + \alpha q_t) \cdot (4q_t + \ln(1 + \alpha q_t))} \cdot \Delta \ln q \right] \quad (1.8)$$

En remplaçant (1.8) dans (1.7), et après un arrangement mathématique, une nouvelle expression en polynôme de $\ln q$ est obtenue:

$$\frac{1}{b} \cdot \ln^2 q + \left(1 + \frac{\ln q_t - v}{b} \right) \cdot \ln q + \left(a - v + \frac{v \cdot \ln q_t}{b} \right) = 0 \quad (1.9)$$

avec $a = 4q_t + \ln[1 + \alpha q_t]$ et $b = \frac{a(1 + \alpha q_t)}{q_t [4(1 + \alpha q_t) + \alpha]}$.

La solution de (1.9) est :

$$\ln q_0 = \frac{1}{2} \left[v + (b + \ln q_t) - \sqrt{[v - (b + \ln q_t)]^2 + 4ab} \right] \quad (1.10)$$

Finalement, en remplaçant (1.10) dans le premier terme de (1.1) et après une manipulation mathématique, l'expression de la relation du potentiel et de la charge dans le cas de la faible inversion est la suivante:

$$q = \frac{e^{(v-4q_0)}}{\frac{1}{2} + \sqrt{\frac{1}{4} + \alpha e^{(v-4q_0)}}} \quad (1.11)$$

Annexe I.3 Solution générale

Dans la troisième et dernière étape, les deux solutions obtenues dans les cas de forte et faible inversion, sont mise ensemble. Le point clef de ce « rassemblement » est l'obtention d'un point de transition. Une tension de transition v_t correspondant à la charge q_t est définie (1.1) peut alors être réécrit comme suit :

$$v_t = 4q_t + \ln[q_t(1 + \alpha q_t)] \quad (1.12)$$

Ensuite, δ est définie comme la différence entre q et sa valeur approximée q_0 sous la forme :

$$\delta = \frac{v - 4q_0 - \ln[q_0(1 + \alpha q_0)]}{4q_0 + \frac{1 + 2\alpha q_0}{1 + \alpha q_0}} \quad (1.13)$$

La relation entre q et sa valeur approximée q_0 peut être alors exprimée comme :

$$q = q_0 [1 + \delta(1 + k\delta)] \quad (1.14)$$

où k est un paramètre qui dépend de la région de fonctionnement du MOSFET double-grille, i.e. la faible inversion ($q \ll 1$) ou la forte inversion ($q \gg 1$). Deux valeurs fixes ($k_w=0.35$ pour la faible inversion et $k_s=0.13$ pour la forte inversion) sont trouvées avec lesquelles les résultats numériques de l'algorithme se sont montrées très satisfaisants (cela découle de l'étude de l'erreur entre la solution « numérique » et la solution exacte). Notons que ces deux valeurs sont fixes (constantes), définitives et indépendantes de la technologie.

La solution explicite de la charge est finalement obtenue :

$$\begin{aligned}
 & \text{if } v > v_t \\
 & q_0 \leftarrow \frac{v - c_{s1}}{8} + \sqrt{\left(\frac{v - c_{s2}}{8}\right)^2 + d_s} \\
 & q_0 \leftarrow \frac{1}{4} \cdot \left\{ v - \ln \left[q_0 (1 + \alpha q_0) \right] \right\} \\
 & \delta \leftarrow \frac{v - 4q_0 - \ln \left[q_0 (1 + \alpha q_0) \right]}{4q_0 + \frac{1 + 2\alpha q_0}{1 + \alpha q_0}} \\
 & q_0 \left[1 + \delta (1 + k_s \delta) \right] \\
 q(v, \alpha, q_t) = & \text{otherwise} \\
 & \ln q_0 \leftarrow \frac{v - c_w}{8} + \sqrt{\left(\frac{v - c_w}{8}\right)^2 + d_w} \\
 & q_0 \leftarrow e^{\ln q_0} \\
 & q_0 \leftarrow \frac{e^{(v-4q_0)}}{\frac{1}{2} + \sqrt{\frac{1}{4} + \alpha e^{(v-4q_0)}}} \\
 & \delta \leftarrow \frac{v - 4q_0 - \ln \left[q_0 (1 + \alpha q_0) \right]}{4q_0 + \frac{1 + 2\alpha q_0}{1 + \alpha q_0}} \\
 & q_0 \left[1 + \delta (1 + k_w \delta) \right]
 \end{aligned} \tag{1.15}$$

avec une définition des paramètres pré-calculés («pré-processing») :

$$\begin{aligned}
 q_t = 0,3; \quad p_t = 1 + \alpha q_t; \quad a_s &= \frac{2(1 + 2\alpha q_t)}{1 + \alpha q_t}; \quad b_s = \ln q_t + \ln p_t; \quad c_s = a_s + b_s; \\
 c_{s1} = c_s + 4q_t; \quad c_{s2} = c_s - 4q_t; \quad d_s &= a_s q_t / 2; \quad a_w = 4q_t + \ln p_t; \\
 b_w = \frac{a_w p_t}{q_t (4p_t + \alpha)}; \quad c_w = b_w + \ln q_t; \quad d_w &= a_w b_w; \quad v_t = 4q_t + b_s.
 \end{aligned} \tag{1.16}$$

Finalement, la solution explicite de la charge est:

$$q_g(v_g, v_{ch}) = q_g(v_g - v_{to} - v_{ch}) \tag{1.17}$$

La charge mobile équivaut à 2 fois la charge de grille (au signe près):

$$q_m(v_g, v_{ch}) = -2q_g(v_g, v_{ch}) \tag{1.18}$$

Le courant de drain peut alors être calculé en remplaçant (1.18) dans (2.50).

Annexe II. Méthode à retrouver les corrections des effets canaux courts

Les corrections des effets DIBL et SCE sont considérées comme un décalage de tension de seuil. Rappelons que l'expression de cette correction est comme suit :

$$\Delta v_{th} = \Delta v_{th_SCE} + \Delta v_{th_DIBL} = 2 \cdot \gamma \cdot (v_{bi} - \phi_F - v_{to}) + \gamma \cdot v_{ds} \quad (3.1)$$

avec

$$\gamma = \frac{1}{2 \cdot \cosh\left(\frac{L}{2 \cdot l}\right) - 2} \quad (3.2)$$

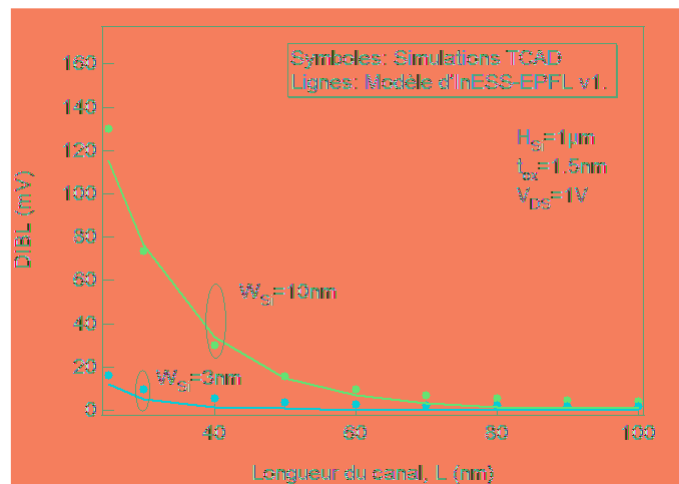


Figure Annexe - III - 1 Effet DIBL en fonction de la longueur du canal : Comparaison entre le modèle d'InESS-EPFL v1. et la simulation classique numérique pour W_{Si}=10nm et 3nm et H_{Si}=1µm.

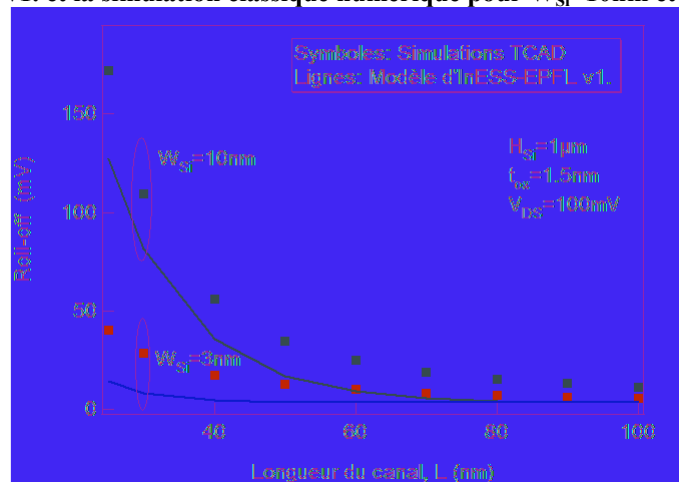


Figure Annexe - III - 2 Effet Roll-off en fonction de la longueur du canal : Comparaison entre le modèle d'InESS-EPFL v1. et la simulation classique numérique pour W_{Si}=10nm et 3nm et H_{Si}=1µm.

Avec ces corrections, nous avons obtenu un résultat comme les Figure Annexe - III - 1 et Figure Annexe - III - 2. Pour l'effet DIBL (Figure Annexe - III - 1), l'erreur est petite mais pour une largeur de silicium (W_{Si}) de 3 nm, l'erreur devient plus importante quand la longueur du canal est inférieure à 60 nm. Pour l'effet SCE (Figure Annexe - III - 2), l'erreur est très importante quelle que soit la largeur de silicium (W_{Si}).

Bien qu'il existe une erreur entre les corrections et les simulations Silvaco, nous voyons la forme de la courbe de notre modèle correspond à peu près la forme des simulations Silvaco. Nous pouvons donc respecter la formule de γ et modifier les constantes dans cette formule.

D'abord, pour l'effet SCE, après la paramétrisation de la formule de γ , nous obtenons une expression de γ comme suit :

$$\gamma_{SCE} = \frac{1}{\alpha_{SCE1} \cdot \cosh\left(\frac{\alpha_{SCE2} \cdot L}{l}\right)} + \alpha_{SCE3} \quad (3.3)$$

Pour une technologie donnée, les trois α_{SCE} dans (3.3) sont les paramètres à extraire dans un logiciel d'extraction des paramètres du modèle, par exemple, IC-CAP (voir Chapitre IV.2).

Pour que γ_{SCE} soit indépendant de la technologie, à l'aide d'un logiciel de calcul mathématique, nous pouvons retrouver une fonction de γ qui prend en compte de l'impact des paramètres technologiques et qui est très proche des symboles pour les simulations Silvaco dans la Figure Annexe - III - 2 avec les paramètres comme suit :

$$\begin{cases} \alpha_{SCE1} = 8.6 - 0.54 \cdot W_{Si} \\ \alpha_{SCE2} = 0.048 + 0.034 \cdot W_{Si} \\ \alpha_{SCE3} = 0.02 \end{cases} \quad (3.4)$$

Cependant, la correction (3.3) cause un problème quand la longueur du canal est supérieur (L) à 100 nm, l'effet SCE doit tendre vers zéro en augmentant la longueur du canal. Puisque nous avons choisis la tension de seuil pour une longueur du canal de 1 μm comme la référence de l'effet SCE, le décalage de la tension de seuil du à l'effet SCE doit être nul pour un FinFET avec une longueur du canal de 1 μm . Mais avec la correction (3.3), à cause de α_{SCE3} qui est une constante, le décalage de tension de seuil du à l'effet SCE pour un FinFET avec une longueur du canal de 1 μm est 7 mV. Afin de corriger cette erreur, nous introduisons une autre fonction comme dessous :

$$f_{\alpha}(L) = 1 - 0.00055 \cdot \left[(L - 100) + \sqrt{(L - 100)^2} \right] \quad (3.5)$$

et l'expression de γ devient :

$$\gamma_{SCE} = \frac{1}{\alpha_{SCE1} \cdot \cosh\left(\frac{\alpha_{SCE2} \cdot L}{l}\right)} + \alpha_{SCE3} \cdot f_{\alpha}(L) \quad (3.6)$$

A l'aide de la fonction $f_{\alpha}(L)$, α_{SCE3} peut être atténué linéairement en augmentant la longueur du canal quand elle est supérieure à 100 nm. Avec (3.6), le décalage de la tension de seuil dû à l'effet SCE est 0,1 mV pour un FinFET avec une longueur du canal de 1 μm .

Pour les décalages de la tension de seuil dus aux effets DIBL et QME, nous utilisons la même méthode que pour l'effet SCE en profitant le logiciel de calcul mathématique.

Références

- [1] F. Prégaldiny, F. Krummenacher, B. Diagne, F. Pêcheux, J. M. Sallese and C. Lallement, "Explicit modeling of the double-gate MOSFET with VHDL-AMS," Int. Journal of Numerical Modeling: Electronic Networks, Device and Fields, vol.19, no.3, pp 239-256, May 2006.

Publications et communications associées à ce travail

Revue internationale

M. Tang, F. Prégaldiny, C. Lallement and J.-M. Sallese, “Explicit compact model for ultranarrow body FinFET,” *IEEE Transaction on Electron Devices*, vol.56, no.7, pp. 1543-1547, July 2009.

Conférences internationales

M. Tang, F. Prégaldiny and C. Lallement, “Compact modeling of both n- and p-type ultra-short FinFETs,” in *Proc. Joint 7th International IEEE Northeast Workshop on Circuits and Systems and TAISA Conference (NEWCAS-TAISA'09)*, pp. 1-4, Toulouse, France, June 28- July 1, 2009.

N. Chevillon, M. Tang, F. Prégaldiny, C. Lallement and M. Madec, “FinFET compact modeling and parameter extraction,” in *Proc. 16th International Conference Mixed Design of Integrated Circuits and Systems (MIXDES'09)*, pp. 55-60, Łódź, Poland, June 25-27, 2009.

M. Tang, F. Prégaldiny, C. Lallement and J.-M. Sallese, “Quantum compact model for ultra-narrow body FinFET,” in *Proc. Ultimate Integration on Silicon Conference (ULIS'09)*, pp. 293-296, Aachen, Germany, March 18-20, 2009.

Conférence francophone

M. Tang, F. Prégaldiny and C. Lallement, “Modélisation des effets de petites géométries du FinFET,” in *Proc. XIIèmes Journées Nationales du Réseau Doctoral de Microélectronique (JNRDM'2009)*, pp. 86, Lyon, France, May 18-20, 2009.

Séminaires internationaux

M. Tang, F. Prégaldiny and C. Lallement, “Quantum compact model for ultra-short and ultra-narrow body FinFET,” *MOS-AK Meeting*, Frankfurt (Oder), Germany, April 2-3, 2009.

M. Tang, F. Prégaldiny, C. Lallement, J.-M. Sallese and F. Krummenacher, “Design-oriented compact model for FinFET,” *MOS-AK Meeting*, Eindhoven, Netherlands, April 4, 2008.

Études et modélisation compacte du transistor FinFET

Nous proposons un modèle compact du transistor FinFET dédié à la conception de circuits. Le modèle est basé sur le modèle du transistor MOSFET à Double-Grille développé en collaboration avec l'EPFL. Ce modèle repose sur une expression analytique et explicite, simple à maîtriser pour le dimensionnement à la main. La dégradation de la pente sous le seuil, l'effet canal court, l'effet DIBL, la tension de saturation, la modulation de la longueur du canal et les effets quantiques sont bien pris en compte. Ce modèle est validé par des comparaisons avec des caractéristiques I_D - V_{GS} , I_D - V_{DS} , g_m - V_{GS} et g_{ds} - V_{DS} obtenues avec le simulateur TCAD de Silvaco. La gamme de validation a été élargie à une longueur minimum du canal de 25 nm, une largeur minimum de 3 nm, une hauteur minimum de silicium de 50 nm et un dopage maximum du silicium de 10^{17} cm^{-3} .

Nous proposons aussi deux méthodes pour développer un modèle dynamique. Ce modèle dynamique n'est validé pour l'instant que pour un FinFET avec un canal long.

Le modèle est implémenté dans VHDL-AMS et Verilog-A. Les paramètres du modèle sont extraits sous IC-CAP. Avec le jeu de paramètres obtenu, le modèle est capable de correctement simuler les circuits.

Mots clés : MOSFET double-grille, FinFET, modélisation compacte, effets canaux courts, tension de saturation, modulation de la longueur du canal, effets quantiques, transcapacité, Atlas/Silvaco, VHDL-AMS/Verilog-A, extraction des paramètres du modèle, IC-CAP.

Study and compact modeling of FinFET

We propose a compact model for FinFET dedicated to circuit design. The model is based on the Double-Gate MOSFET model developed in collaboration with EPFL. This is an analytical and explicit model which is simple to use for device hand calculation. The subthreshold slope degradation, short channel effect, DIBL effect, saturation voltage, channel length modulation and quantum effects are taken into account. This model is validated by comparisons with I_D - V_{GS} , I_D - V_{DS} , g_m - V_{GS} et g_{ds} - V_{DS} characteristics obtained with the Silvaco TCAD simulator. The validation range has been enlarged to a minimum channel length of 25 nm, a minimum width of 3 nm, a minimum height of 50 nm and a silicon doping up to 10^{17} cm^{-3} .

We propose also two methods to develop a dynamic model. This dynamic model is only validated for a long channel FinFET for now.

The model is implemented in VHDL-AMS and Verilog-A. The model parameters are extracted under IC-CAP. With this set of parameters, the model is able to accurately simulate analog and digital circuits.

Keywords: DG MOSFET, FinFET, compact modeling, short channel effects, saturation voltage, channel length modulation, quantum effects, transcapacitance, Atlas/Silvaco, VHDL-AMS/Verilog-A, model parameter extraction, IC-CAP.