

École Doctorale de Physique et Chimie Physique

---

**UDS - IPHC**

# THÈSE

présentée pour obtenir le grade de

**Docteur de l'Université de Strasbourg**

**Discipline : Électronique, Électrotechnique, Automatique**

**Spécialité : Micro-électronique**

par

**Nicolas PILLET**

**Conception et intégration de convertisseurs Analogique/Numérique,  
compacts, à bas bruit, adaptés aux capteurs CMOS destinés à la détection de  
particules chargées**

Soutenue publiquement le 04 juin 2010

**Membres du jury**

- Directeur de thèse* : M. Yann Hu, Professeur, UDS Strasbourg  
*Rapporteur externe* : M. Patrick Garda, Professeur, UPMC Paris  
*Rapporteur externe* : M. Bertrand Granado, Professeur, ENSEA, Cergy Pontoise  
*Examineur* : M. Eric Delagnes, Ingénieur de recherche, CEA, Saclay  
*Examineur* : M. Marc Winter, Directeur de recherche, IPHC, Strasbourg  
*Examineur* : M. Dominique Knittel, Professeur, UDS Strasbourg
-



# Remerciements

Je souhaite remercier avant tout mon directeur de thèse le Professeur Yann Hu pour avoir encadrer mes travaux de thèse. Je remercie également le responsable de l'équipe capteur CMOS de l'IPHC, Marc Winter, qui m'a permis de découvrir le monde fascinant de la physique des hautes énergies, qui m'a également accueilli au sein de son équipe et permis d'effectuer mes recherches dans de très bonnes conditions.

Je souhaite remercier tous mes collègues ingénieurs, Isabelle Valin, Abdelkader Himmi, Claude Colledani, Wojciech Dulinski, Andrei Dorokov, avec une attention plus particulière pour la responsable de l'équipe micro-électronique Christine Hu qui a toujours été de très bon conseil.

J'ai une pensée particulière pour l'équipe de caractérisation, parent pauvre de la microélectronique et pourtant oh combien important. Un grand merci à tous ses membres, Kimo Jaaskelainen, Mathieu Goffe et Matthieu Specht, avec là encore une attention plus particulière pour Gilles Claus pour toute sa contribution dans mes travaux de recherche, pour sa présence ainsi que pour tout le savoir qu'il m'a permis d'acquérir dans ce domaine.

Je souhaite remercier mes anciens collègues devenus amis, Frédéric Morel, Gregory Bertonolone, Sebastien Heini, Nicolas Olivier-Henry, ainsi que « ceux d'en face », Hervé Berviller et Vincent Frick ; pour tout ce qu'ils m'ont permis d'apprendre et bien plus encore. Je n'oublie pas mes compagnons « d'infortune », Awa Ndeye Mbow, Christina Dritsa et Mokrane Dahoumane.

Je remercie mes amis proches pour avoir toujours été là, ma famille bien sûr, mes parents pour la liberté qu'ils m'ont toujours laissé, mes grands-parents pour avoir su me donner le gout d'apprendre, mes sœurs pour leur présences. Enfin pour finir cette longue liste non exhaustive, je remercie celle qui m'a accompagné tout au long de ce chemin tortueux, qui a partagé, par moment malgré elle, les moments de doutes et les succès, celle qui m'a soutenue et supporté pendant toutes ses années.



*“Imagination is more important than knowledge”*

*A. Einstein*



# Sommaire

Introduction générale.....	1
Chapitre 1.....	5
Les détecteurs en technologie CMOS pour la physique des hautes énergies .....	5
Introduction.....	5
1.1 Brève histoire de la physique des particules.....	5
1.2 Les collisionneurs de particules.....	9
1.2.1 Principales caractéristiques des accélérateurs de particules.....	9
1.2.2 Le Large Hadron Collider (LHC).....	10
1.2.3 Le Collisionneur Linéaire International (ILC) .....	11
1.2.4 Les expériences à l'ILC.....	13
1.3 Le détecteur de vertex de l'ILC.....	15
1.4 Le détecteur à base de semi-conducteur .....	17
1.4.1 Le pixel actif CMOS.....	19
1.4.2 Le pixel actif monolithique de type CMOS (MAPS) de l'IPHC.....	20
1.4.3 Chaîne de lecture complète d'un capteur à pixel actif.....	21
1.4.4 Intégration d'un CAN dans la chaîne de lecture du détecteur de vertex de l'ILC .....	23
Chapitre 2.....	27
La conversion analogique numérique .....	27
Introduction.....	27
2.1 Théorie sur la conversion .....	28
2.1.1 Caractéristiques statiques des CANs .....	29
2.1.2 Théorie de traitement du signal.....	32
2.1.3 Caractéristiques dynamiques des CANs .....	32
2.2 Sources de bruit et d'erreur dans les CANs.....	33
2.2.1 La non linéarité de la résistance $R_{on}$ .....	34
2.2.2 Le phénomène d'injection de charges et « clock feedthrough ».....	36
2.2.3 Bruit thermique ou bruit kTC .....	38
2.3 Spécificités des CANs pour les détecteurs de vertex .....	39
2.4 Etat de l'art des CANs.....	43
2.4.1 Architecture Flash .....	43
2.4.2 Architecture semi flash.....	44

2.4.3 Architecture Pipeline .....	45
2.4.4 Architecture Sigma-Delta .....	46
2.4.5 Architecture Wilkinson .....	47
2.4.6 Architecture à approximation successive (SAR) .....	48
2.4.7 Comparaison entre les différentes architectures.....	49
2.4.8 Choix des architectures développées.....	51
2.5 Conclusion .....	52
Chapitre 3 .....	53
Architectures de CANs pour la première couche du détecteur de vertex de l'ILC .....	53
Introduction .....	53
3.1 CAN à double rampe numérique .....	53
3.1.1 Problématique du CAN Wilkinson.....	54
3.1.2 Principe de conversion de l'architecture à double rampe numérique.....	54
3.1.3 Architecture de CNA à capacités pondérées .....	55
3.1.4 Architecture du comparateur .....	58
3.1.5 Bloc de contrôle numérique.....	66
3.1.6 Simulation complète.....	66
3.1.7 Dessin des masques.....	67
3.1.8 Conclusion .....	67
3.2 CAN à Registre à Approximation Successive .....	68
3.2.1 Principe de conversion de l'architecture SAR.....	68
3.2.2 Architecture de CNA à capacités pondérées .....	68
3.2.3 Architecture du comparateur .....	70
3.2.4 Registre à Approximation successive.....	72
3.2.5 Simulation complète.....	72
3.2.6 Dessins des masques .....	73
3.2.7 Conclusion .....	73
3.3 CAN à résolution variable.....	74
3.3.1 Principe de conversion de l'architecture à résolution variable.....	74
3.3.2 Architecture de CNA à capacités pondérées .....	77
3.3.3 Architecture du comparateur .....	78
3.3.4 Machine d'état .....	78
3.3.5 Simulation complète .....	79
3.3.6 Dessin des masques.....	81

3.3.7 Conclusion .....	81
3.4 Conclusion générale .....	82
Chapitre 4 .....	83
Caractérisation de trois architectures de convertisseurs analogiques numériques dédiés à des détecteurs de vertex pour la physique des particules .....	83
Introduction.....	83
4.1 Développement d'un environnement de test spécifique à la caractérisation de CAN.....	84
4.2 Méthode de caractérisation des puces à bases de CAN .....	86
4.3 Caractérisation de la puce WILIAM .....	87
4.3.1 La puce WILIAM.....	87
4.3.2 Le bloc de test .....	88
4.3.3 Les étages échantillonneurs bloqueurs.....	89
4.3.4 Les caractéristiques statiques .....	89
4.3.5 Les caractéristiques dynamiques .....	96
4.3.6 Source d'erreurs dans le CAN à double rampe numérique.....	97
4.3.7 Conclusion .....	98
4.4 Caractérisation de la puce SARA .....	99
4.4.1 Caractéristiques statiques .....	100
4.4.2 Source d'erreur du CAN SAR .....	105
4.4.3 Conclusion .....	106
4.4 Caractérisation de la puce MAD.....	107
4.4.1 Caractéristiques statiques .....	108
4.4.2 Source d'erreur du CAN à résolution variable.....	113
4.4.3 Conclusion .....	113
4.5 Bilan des trois architectures.....	114
Chapitre 5 .....	117
Confrontation des performances des CANs développés pour le détecteur de vertex de l'ILC et perspectives envisageables .....	117
Introduction.....	117
5.1 Bilan sur les différentes architectures de CAN de l'IN2P3 .....	118
5.2 Dimensions des CANs .....	119
5.2.1 Technologies 0,18 $\mu\text{m}$ versus 0,35 $\mu\text{m}$ .....	120
5.3 Architectures alternatives .....	124
A 1. Les circuits échantillonneurs bloqueurs (SH) .....	131
A 2. La chaîne de lecture complète des MAPS. ....	133

Bibliographie ..... 141

## Liste des figures

Figure 1-1 Représentation d'un atome .....	6
Figure 1-2 Les différentes particules du modèle standard .....	8
Figure 1-3 Le Collisionneur Linéaire International .....	12
Figure 1-0-4 Séquencement des faisceaux de l'ILC .....	13
Figure 1-5 a) Vue en coupe d'un quart de l'expérience ILD, b) vue d'artiste de l'expérience complète .....	14
Figure 1-6 Vue d'artiste du détecteur de Vertex de l'ILC .....	16
Figure 1-7 Tranche à base de circuits MIMOSA 5 .....	18
Figure 1-8 Pixel Actif CMOS à base de trois transistors .....	19
Figure 1-9 Architecture du pixel monolithique actif (MAPS) .....	20
Figure 1-10 Organisation générale du capteur avec sa chaîne de lecture .....	21
Figure 1-11 Chaîne de lecture complète d'une colonne de pixels.....	22
Figure 1-12 Lecture d'une matrice en utilisant la méthode dite "rolling shutter" .....	22
Figure 1-13 Schéma simplifié d'une vue en coupe du détecteur de vertex lors du passage d'une particule.....	23
Figure 1-14 Résolution spatiale versus le nombre de bits pour un pitch de pixel de 20 $\mu\text{m}$ .....	24
Figure 1-15 Schéma d'une échelle de capteur du détecteur de vertex de l'ILC .....	25
Figure 2-1 Fonction de transfert d'un CAN 3 bits.....	28
Figure 2-2 a) Erreur d'offset b) Erreur de gain .....	29
Figure 2-3 a) DNL b) INL.....	30
Figure 2-4 Erreur de monotonicité associée à des codes manquants .....	30
Figure 2-5 Effet combiné de l'erreur de transition et de la DNL .....	31
Figure 2-6 Représentation de la fonction de transfert idéale d'un CAN et de son erreur de quantification .....	32
Figure 2-7 Transistor monté en commutateur (a) et son circuit équivalent (b) .....	34
Figure 2-8 Evolution de la résistance $R_{on}$ pour des transistors PMOS, NMOS et CMOS .....	35
Figure 2-9 Montage d'un commutateur de type MOS Complémentaire .....	35
Figure 2-10 Le phénomène d'injection de charges pour un transistor NMOS.....	36
Figure 2-11 Détail de la mise en œuvre de la technique "dummy" transistor.....	37
Figure 2-12 Schéma équivalent d'un transistor MOS .....	38
Figure 2-13 Dépendance des différentes caractéristiques d'un CAN .....	42
Figure 2-14 Architecture CAN Flash 3 bits à échelle de résistance .....	44
Figure 2-15 Architecture semi Flash.....	45
Figure 2-16 Architecture pipeline.....	45
Figure 2-17 Architecture Sigma Delta .....	46
Figure 2-18 Architecture Wilkinson classique .....	47
Figure 2-19 Concept de conversion d'un CAN SAR 3 bits .....	48
Figure 2-20 Détail de l'architecture d'un CAN SAR et chronogramme d'une conversion sur 4 bits.....	48
Figure 2-21 Expression de la puissance dissipée et de la résolution de convertisseur en fonction de la vitesse de conversion .....	50
Figure 3-1 Synoptique et chronogramme du CAN double rampes .....	54
Figure 3-2 Architecture du CNA à capacités pondérées .....	56

Figure 3-3 A) Fonction de transfert d'un comparateur idéal, B) Fonction de transfert d'un comparateur à gain fini, C) Fonction de transfert d'un comparateur à gain fini présentant un offset statique.....	58
Figure 3-4 Schéma du comparateur synchrone .....	59
Figure 3-5 Détail de l'architecture des étages amplificateurs .....	60
Figure 3-6 modèle petit signaux de l'étage amplificateur .....	60
Figure 3-7 Phase et gain de l'étage amplificateur du comparateur latché.....	62
Figure 3-8 Détail de l'architecture du comparateur à commutation .....	64
Figure 3-9 Simulation de l'erreur d'offset du comparateur .....	65
Figure 3-10 Conversion complète du CAN à double rampe numérique.....	67
Figure 3-11 Dessin des masques du CAN à double rampe .....	67
Figure 3-12 Optimisation du dessin des masques du CNA à capacités pondérées .....	69
Figure 3-13 Gain et Phase de l'étage d'amplification du CAN SAR .....	71
Figure 3-14 Etage amplificateur du comparateur du CAN SAR .....	71
Figure 3-15 Détail de l'architecture du comparateur du CAN SAR .....	72
Figure 3-16 Conversion complète pour le CAN SAR .....	73
Figure 3-17 Détail du dessin des masques du CAN SAR .....	73
Figure 3-18 Présentation d'un cluster de pixel .....	74
Figure 3-19 Concept du CAN à résolution variable.....	75
Figure 3-20 Schéma de l'architecture CAN à résolution variable .....	76
Figure 3-21 Schéma du comparateur du CAN à résolution variable .....	78
Figure 3-22 Schéma de la machine d'état du bloc de commande du CAN à résolution variable.....	79
Figure 3-23 Conversion sur toute la gamme dynamique du CAN à résolution variable .....	80
Figure 3-24 Consommation dynamique du CAN à résolution variable .....	81
Figure 3-25 Détail du dessin des masques du CAN à résolution variable .....	81
Figure 4-1 Synoptique de la carte de caractérisation des CANs .....	84
Figure 4-2 Détail du bloc d'activation des CANs.....	86
Figure 4-3 Photo du circuit WILIAM et détail de sa composition .....	88
Figure 4-4 Détail du bloc de test .....	89
Figure 4-5 réponse du CAN double rampe pour une vitesse de conversion de 4 Me/s .....	90
Figure 4-6 Caractéristiques brutes de sortie du CAN.....	91
Figure 4-7 Présentation de l'erreur de DNL pour le CAN double rampe @ 1Me/s.....	93
Figure 4-8 Présentation de l'erreur d'INL pour le CAN double rampe @ 1Me/s.....	93
Figure 4-9 Mise en évidence des erreurs de transition associées à l'erreur de DNL pour le CAN double rampe .....	94
Figure 4-10 Erreur quadratique moyenne.....	95
Figure 4-11 Erreur quadratique moyenne.....	96
Figure 4-12 Post simulation du CNA interne du CAN à double rampe numérique .....	97
Figure 4-13 Photo du circuit SARA et détail de sa composition .....	100
Figure 4-14 Réponse du CAN SAR à une rampe de 300 mV pour une fréquence de conversion de 6MHz et 8 MHz.....	101
Figure 4-15 Erreur de DNL du CAN SAR @6 Me/s.....	103
Figure 4-16 Erreur d'INL du CAN SAR @ 6 Me/s .....	103
Figure 4-17 Mise en évidence des erreurs de transition associées aux erreurs de DNL pour le CAN SAR .....	104

Figure 4-18 Erreur quadratique moyenne du CAN SAR .....	105
Figure 4-19 Photo du circuit MAD et détail de sa composition .....	108
Figure 4-20 Réponse du CAN à résolution variable pour différentes fréquences de fonctionnement .....	109
Figure 4-21 Erreur de DNL pour le CAN à résolution variable.....	110
Figure 4-22 Erreur d'INL pour le CAN à résolution variable.....	111
Figure 4-23 Mise en évidence des erreurs de transition du CAN à résolution variable .....	111
Figure 4-24 Erreur quadratique moyenne du CAN à résolution variable .....	112
Figure 5-1 Détail d'une porte logique inverseur (INVO).....	121
Figure 5-2 Détail d'une capacité poly-poly et d'une capacité MIM.....	123



## Liste des tableaux

Table 1-1 Les fermions du modèle standard.....	7
Table 2-1 Résolution du CAN contre la résolution spatiale sur la matrice.....	40
Table 3-1 Résultats de simulation du CNA à capacités pondérées .....	57
Table 3-2 Performances simulées du CNA à capacités pondérées du CAN SAR.....	70
Table 4-1 Erreurs de gain et d'offset du CAN à double rampes numériques.....	92
Table 4-2 Valeur du palier stable pour chaque code de sortie du CAN.....	94
Table 4-3 Résumé des caractéristiques mesurées du CAN double rampe .....	99
Table 5-1 Comparaison de différentes architectures de CANS.....	118
Table 5-2 Dimension des différents blocs composants les CANS .....	120
Table 5-3 Présentation des différences entre deux technologies submicroniques.....	122
Table 5-4 Estimation de la taille d'un CAN à résolution variable en technologie 0,18 $\mu\text{m}$ .....	124
Table 5-5 Performances du CAN MSSR.....	126



# Introduction

Les bases de la microélectronique moderne remontent aux années cinquante avec l'invention du transistor à effet de champ par les laboratoires Bell. Depuis cette époque le développement de la microélectronique a été déterminé par deux grands domaines : le traitement du signal et l'informatique. Ces deux domaines, et surtout leurs applications commerciales, ont permis une évolution toujours plus rapide des technologies de la microélectronique.

C'est dans les années soixante que la première loi de Moore fut énoncée, prophétisant le fulgurant essor de l'informatique et par la même de la microélectronique. Durant ces mêmes années, les ordinateurs devenant de plus en plus puissants, il devint nécessaire de développer des objets permettant une interface efficace entre le monde des ordinateurs et le monde des hommes. Ces années virent ainsi l'apparition des premières solutions commerciales de convertisseur analogique numérique (CAN). La deuxième loi de Moore fut énoncée dans les années soixante-dix, définissant que le nombre de transistors intégrés sur un microprocesseur doublait tous les dix huit mois. Les années quatre-vingt signèrent l'époque de la micro-informatique à destination des particuliers et permirent, grâce à ce nouveau marché, son explosion dans les années quatre-vingt-dix. Enfin c'est dans les années deux mille que le cap du milliard de transistors intégrés sur un même substrat a été dépassé par la société Nvidia©.

C'est bien l'évolution des technologies de fabrication des transistors MOS qui est à l'origine de cette fulgurante ascension. En réduisant toujours plus la taille minimale de la grille d'un transistor, les processus de fabrication permettent à présent de fabriquer des transistors MOS dont la largeur de grille est de 32 nm[1]. Même si le marché des processeurs a profité le plus de cette évolution en baissant le coût de fabrication des circuits de microélectronique, de nombreux domaines ont pu bénéficier de cette technologie.

Les années deux mille ont vu l'émergence de systèmes complets sur puce (SoC pour System on Chip) permettant d'intégrer sur un même substrat un microprocesseur, un capteur analogique, un système de conversion analogique numérique et des circuits d'alimentation pour le système complet. L'exemple le plus représentatif peut sans doute se trouver dans le projet « smartdust » [2] développé à l'université de Berkeley en 2001. Il s'agissait de développer au sein d'un cube de 1 à 2 mm de côté un ensemble de fonctions de surveillance de l'environnement (pression de l'air, température etc.), mais aussi d'assurer un fonctionnement en réseau de centaines voire de milliers de ces cubes, les cubes étant connectés les uns aux autres. Le projet « smartdust », bien qu'extrêmement ambitieux pour son époque, montre bien le chemin qu'a pris la microélectronique ces dernières années. L'objectif est à présent d'intégrer un maximum de fonctions sur un même substrat.

La physique des particules a elle aussi profité des avancées technologiques en microélectronique afin d'équiper ses expériences de détecteurs de plus en plus performants. Les accélérateurs de particules, gigantesques structures permettant l'exploration de l'infiniment petit, intègrent à l'endroit de l'impact entre les particules des complexes de capteurs atteignant souvent la taille d'un immeuble afin d'observer les phénomènes produits par la collision. Ces structures mettent en œuvre des énergies de plus en plus grandes atteignant, pour les plus puissantes d'entre elles, des énergies de l'ordre du TeV. Les informations que doivent récolter ces détecteurs sont principalement le passage de la trajectoire des différentes particules ainsi que leurs énergies. A partir de ces informations, il est possible d'identifier les différentes particules produites lors de la collision et de mesurer leurs caractéristiques. Ces observations permettent ensuite de valider et compléter les modèles théoriques développés pour la physique des hautes énergies. Ces détecteurs sont organisés en couches successives. Chaque couche constitue un détecteur ayant sa fonction propre et de part là même, son architecture. Au cœur de ces détecteurs se trouve le détecteur de vertex dédié à la trajectométrie. Ce détecteur étant le plus proche du point d'interaction des particules accélérées, il présente un grand nombre de défis pour sa réalisation (tolérance aux radiations, précision, encombrement, puissance dissipée, etc.). Les technologies utilisées pour ces détecteurs se sont succédées au fil des années et des évolutions des différentes technologies. Actuellement les technologies les plus conventionnelles sont les micro-pistes de silicium, les pixels CCD ou encore les pixels hybrides.

Les accélérateurs du futur, tel que le Collisionneur Linéaire International (ILC), ont des besoins en termes de performances que ces technologies peinent à satisfaire. Après avoir

connu un développement discret, les matrices de pixels en technologie CMOS font maintenant figure de référence dans le domaine des capteurs pour la photographie. Les performances de cette technologie en font un candidat très intéressant pour le développement des futurs détecteurs de vertex pour la physique des particules. Dans la technologie CMOS, il est possible de développer sur le même substrat un capteur (tel un pixel), ainsi que toute sa chaîne de lecture (amplificateur, convertisseur analogique numérique, traitement numérique) et cela dans une technologie industrielle standard. L'équipe CMOS-ILC de l'IPHC développe des matrices de pixels en technologie CMOS pour la physique des particules depuis maintenant dix ans et à mesure que les performances de ces matrices évoluent, il est devenu possible d'intégrer des fonctionnalités supplémentaires en périphérie de la matrice. Le circuit Mimosa 6 développé en 2006 à l'IPHC fut le premier du genre.

Les convertisseurs analogiques numériques représentent le cœur de tout SoC. En transformant l'information analogique délivrée par le capteur en données numériques, ils ouvrent de nouvelles perspectives en termes d'intégration de circuit. Afin de répondre aux contraintes particulièrement fortes posées par les spécifications des expériences prévues au sein de l'ILC, il devient nécessaire d'associer aux matrices de pixels proposées pour le détecteur de vertex, un système de conversion analogique numérique. Les travaux présentés dans ce manuscrit se sont employés à développer des architectures de CANs pouvant répondre à ces contraintes.

Après une introduction portant sur la physique des hautes énergies, les grandes expériences de collisionneurs pour la physique des particules seront brièvement présentées. Les matrices de pixels développées au sein de l'équipe CMOS-ILC de l'IPHC seront alors détaillées. La dernière partie du premier chapitre se terminera sur les caractéristiques spécifiques de la première couche du détecteur de vertex pour le projet ILC.

Le deuxième chapitre se concentrera sur le monde de la conversion analogique numérique avec tout d'abord l'ensemble des caractéristiques spécifiques définies par la norme IEEE « *IEEE Standard for terminology and test methods for analog to digital converters* » [3], qui a permis la définition de standards permettant la comparaison des caractéristiques des CANs entre eux. Ensuite une explication détaillée des différentes sources de bruits présents dans les CANs sera effectuée. Une troisième partie présentera l'état de l'art des CANs afin de bien saisir tous les enjeux de la dernière partie concernant les spécificités d'un CAN pour ce détecteur dans le cadre du projet ILC.

Le troisième chapitre détaillera les trois différentes architectures de CANs qui ont été développées pour la première couche de détecteur de vertex. Le premier prototype peut être considéré comme étant inspiré pour une part d'une architecture Wilkinson et pour l'autre part d'une architecture à approximations successives (SAR). Le deuxième prototype reprend l'architecture classique de CAN SAR en l'adaptant aux spécifications complexes d'un détecteur de vertex. Enfin la troisième architecture est un CAN à résolution progressive afin de se rapprocher au maximum des besoins (et des contraintes) générés par les matrices de pixels MOS dans le cadre de la trajectométrie. Cette dernière architecture se veut représentative du développement de la microélectronique de ces dernières années en proposant une solution exclusivement dédiée à son application. Les composants principaux de ces trois architectures seront présentés en détail au moyen de l'ensemble des simulations réalisées lors de leurs développements.

Le quatrième chapitre se propose de présenter l'environnement de caractérisations développé spécifiquement pour ces trois circuits. Les performances statiques des trois puces issues des trois architectures du chapitre précédent seront détaillées.

Un cinquième et dernier chapitre confrontera les performances des trois circuits aux spécifications de la première couche de détecteur de vertex et mettra en perspective les solutions envisageables dans l'avenir afin de faire évoluer ces trois prototypes au vue des technologies disponibles dans un avenir proche pour la microélectronique.

Enfin une conclusion permettra d'effectuer le bilan du travail réalisé et d'évoquer des développements futurs.

# Chapitre 1

## Les détecteurs en technologie CMOS pour la physique des hautes énergies

### Introduction

Comme l'ensemble des domaines des sciences physiques, l'évolution de la physique des particules est étroitement liée à celle de l'électronique moderne. Au fur à mesure que ses théories se complexifient, les expériences elles aussi requièrent des systèmes de plus en plus performants, et donc innovants. Ce chapitre se propose de se concentrer sur la physique des hautes énergies et les détecteurs spécifiquement dédiés à ce domaine. Après un aperçu de l'historique de la physique des particules, deux grandes expériences de collisionneur seront présentées. La deuxième partie de ce chapitre se concentrera sur la première couche de détecteurs composant ces grandes expériences en détaillant plus particulièrement les détecteurs de vertex.

### 1.1 Brève histoire de la physique des particules

La physique des particules a pour objectifs d'observer, d'identifier et de comprendre les composantes élémentaires de la matière ainsi que leurs interactions. Elle procède d'une approche conceptuelle de type atomiste, dont les origines remontent à l'Antiquité et dont une première évidence expérimentale s'est forgée au courant du 19<sup>ème</sup> siècle, pour aboutir en

1869, à la création de la table périodique des éléments par Mendeleïev. La matière y est représentée composée d'atomes de différentes natures. Quelques années plus tard, en 1896, Henri Becquerel découvre la radioactivité [4]. Dans le même temps (1897), Joseph John Thomson fut le premier à observer l'existence des électrons, découvrant par la même la première particule élémentaire. Il faudra cependant attendre le début du siècle suivant pour voir à nouveau une évolution rapide dans ce domaine de la physique, avec successivement la découverte du noyau en 1911 par Ernest Rutherford, puis celles du neutron et du positon en 1932 par respectivement James Chadwick et Carl Anderson [5]. Puis arrivent les années cinquante et la découverte d'une très grande variété de particules lors des premières grandes expériences utilisant des accélérateurs de particules. A partir des années 1970, toujours grâce aux expériences installées auprès des accélérateurs, un modèle commence à se développer, qui deviendra le Modèle Standard des particules élémentaires (MS), offrant une vision complète et cohérente du monde profondément subatomique [6].

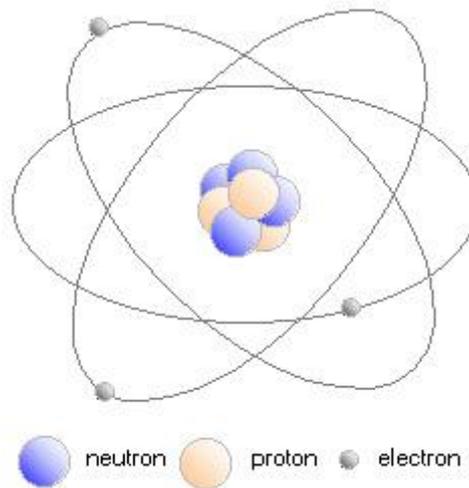


Figure 1-1 Représentation d'un atome

Le MS définit la matière comme suit : les atomes sont composés d'un noyau autour duquel gravitent des électrons. Ce noyau est composé de protons et de neutrons. Ces derniers sont eux-mêmes composés de quarks.

Il existe douze particules de matière, associées à leurs anti-particules. Ces douze particules sont des fermions de spin  $\frac{1}{2}$  que l'on qualifie d'élémentaire. Ils se répartissent en deux catégories : les quarks et les leptons, comme le présente la table 1-1.

	Quarks		Leptons	
Famille 1	Quark haut	Quark bas	Electrons	Neutrino électronique
Famille 2	Quark charmé	Quark étrange	Muon	Neutrino muonique
Famille 3	Quark top	Quark beauté	Tau	Neutrino tau

Table 1-1 Les fermions du Modèle Standard

Les fermions sont classés en trois familles. Ils sont définis notamment par leur charge électrique, leur masse ainsi que leur spin. Les fermions de la famille 1 forment la matière « stable » que nous percevons autour de nous. Les fermions des familles 2 et 3 ont une durée de vie très courte à l'échelle humaine. Ils peuvent néanmoins être communs dès lors qu'ils font partie des gerbes produites par l'interaction des rayons cosmiques dans la haute atmosphère.

Le MS décrit également trois forces élémentaires agissant sur ces particules : l'interaction électromagnétique, l'interaction nucléaire forte et l'interaction nucléaire faible. La physique quantique associe à chacune d'elles une ou plusieurs particules médiatrices. Ces particules sont des bosons de spin 1.

- L'interaction électromagnétique [7], dont le boson intermédiaire est le photon, est à l'origine de la quasi totalité des forces observables à l'échelle humaine (excepté la gravité). Cette force est à l'origine de l'attraction ou de la répulsion des objets ayant une charge électrique. Elle est en partie responsable de la cohésion des atomes, mais aussi de l'intégralité des phénomènes électriques et magnétiques.
- L'interaction forte est à l'origine de la cohésion du noyau des atomes [8]. Ses bosons sont des gluons, au nombre de huit.
- L'interaction faible est à l'origine de la radioactivité  $\beta$ . Ses médiateurs sont trois bosons intermédiaires ( $z^0$ ,  $w^+$ ,  $w^-$ ), appelés aussi bosons faibles.

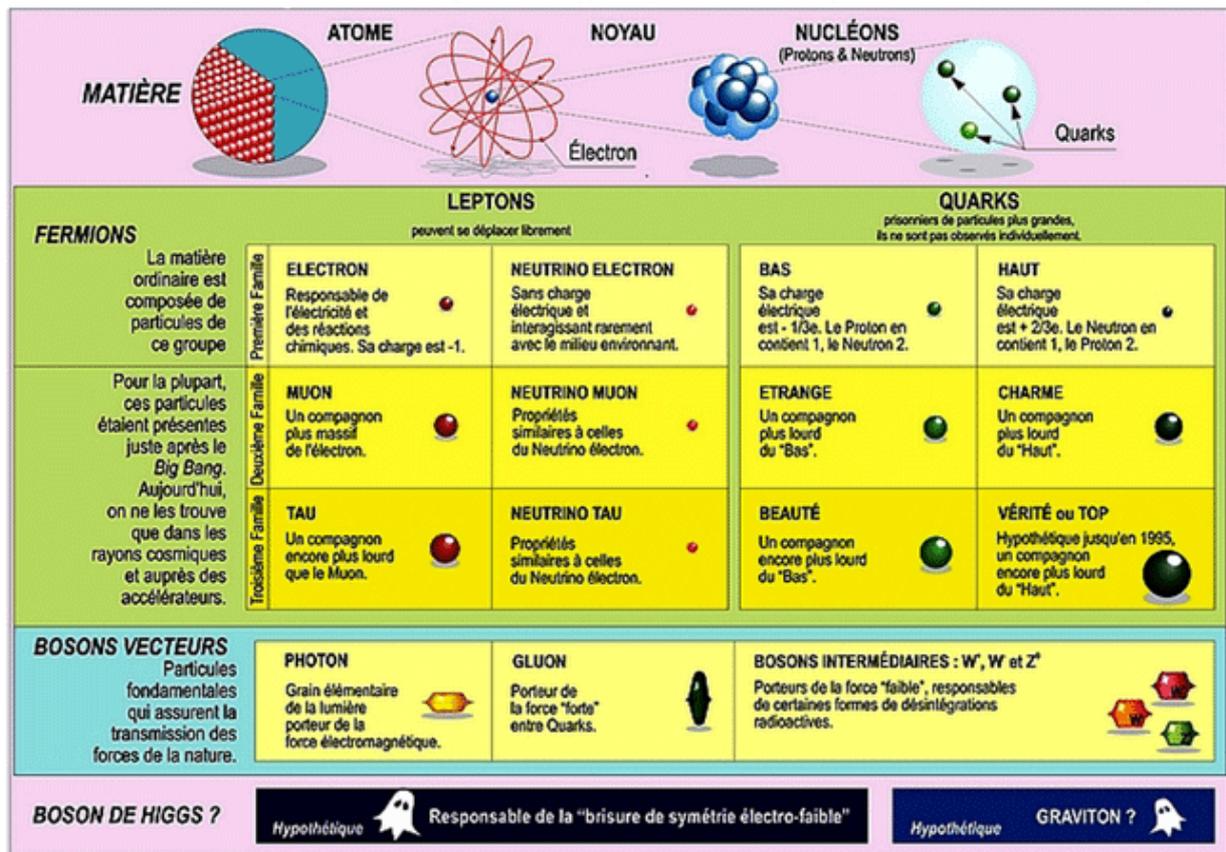


Figure 1-2 Les différentes particules du Modèle Standard

La figure 1-2 résume les principales caractéristiques du MS.

L'un des mérites principaux du MS est de proposer une description unifiée des trois forces décrites précédemment agissant sur les particules élémentaires, ainsi que l'organisation en familles des différentes particules élémentaires.

Afin de compléter le MS et de garder sa cohérence, ce dernier se doit d'intégrer un mécanisme pour la génération des masses des particules élémentaires. Ce mécanisme, appelé mécanisme de Higgs, s'exprime au travers d'un boson ayant les nombres quantiques du vide, appelé boson de Higgs [9][10][11].

Les bases du MS ont été posées à partir de résultats d'expériences provenant des premiers accélérateurs de particules. Elles ont permis de développer un modèle complet dans lequel est apparu un certain nombre de particules élémentaires sans que celles-ci n'aient alors toutes été observées. La grande force du MS est que justement ces particules élémentaires aient pu être observées des années plus tard lors de nouvelles expériences (comme auprès du collisionneur

$p - \bar{p}$  Tevatron du laboratoire Fermi (Chicago, USA) qui a permis la découverte du quark top), confirmant par là même l'exactitude des principes inhérents au modèle. Ainsi ont notamment été observés les quarks  $c$  et  $t$ . Bien que le MS ne détermine pas le nombre de particules élémentaires présent dans la nature, il définit cependant leur organisation. Actuellement trois familles ont été observées mais le MS n'exclut pas qu'il en existe d'autres. Cependant chaque nouvelle famille devrait comprendre deux leptons et de deux quarks.

Seul le boson de Higgs n'a jusqu'alors pu être observé. Sa découverte et son étude permettront de compléter le MS et sont susceptibles d'ouvrir de nouveaux horizons à la physique des particules.

Le boson de Higgs a tout d'abord été recherché au LEP (Large Electron Positron collider). Il n'y a pas été observé, mais une contrainte forte a été posée sur sa masse, les observations n'étant compatibles avec l'hypothèse de son existence que si sa masse est comprise entre  $114 \text{ GeV}/c^2$  et  $200 \text{ GeV}/c^2$  environ. Il est à présent recherché à la fois au collisionneur Tevatron du Fermilab et par deux des expériences installées auprès du LHC (Large Hadron Collider). Si ces expériences le mettaient en évidence, il resterait à déterminer ses caractéristiques avec précision pour en comprendre la nature profonde. Le projet du futur collisionneur linéaire international (ILC) devrait offrir une sensibilité suffisante, de par les expériences qui y seront installées, pour lever définitivement le voile qui planerait encore sur le mécanisme de Higgs.

Le paragraphe suivant se propose de présenter les détails du fonctionnement des collisionneurs de particules.

## 1.2 Les collisionneurs de particules

### 1.2.1 Principales caractéristiques des accélérateurs de particules

Les accélérateurs de particules utilisés en physique des hautes énergies sont des dispositifs qui permettent d'effectuer plusieurs opérations amenant à la production de particules élémentaires. Dans un premier temps, ils génèrent des particules électriquement chargées (protons, électrons, etc.). Une fois ces particules créées, il faut les accélérer afin qu'elles atteignent l'énergie de collision souhaitée. Lorsqu'elle est atteinte, les particules accélérées sont introduites dans la partie du dispositif où aura lieu la collision. C'est à cet endroit que sont installés les détecteurs de l'expérience afin de pouvoir observer les particules

élémentaires résultantes de cette collision. En mesurant un certain nombre de paramètres très précisément à l'endroit de la collision, telles que les trajectoires des particules créées, leurs durées de vie ou encore leurs énergies, il est possible de déduire quels types de particules ont été créés et de les étudier (masse, durée de vie, et plus généralement, de reconstituer le phénomène qui les a produites) [12].

Trois grands paramètres permettent de distinguer les accélérateurs de particules pour la physique des hautes énergies entre eux : le type de particule accélérée, l'énergie maximale fournie à ces particules et le taux d'interaction des faisceaux (appelé luminosité) à l'endroit des collisions.

### 1.2.2 Le Large Hadron Collider (LHC)

Le LHC est un collisionneur construit au CERN (Organisation européenne pour la recherche nucléaire) sur la frontière franco-suisse et qui succède au collisionneur LEP. L'accélérateur a été construit dans le tunnel circulaire de son prédécesseur et possède une circonférence d'environ 27 km. Le LHC va mettre en œuvre des collisions proton-proton. C'est à ce jour l'accélérateur proposant la plus grande énergie, les particules atteignant 7 TeV (soit 8000 fois leur énergie de masse) au moment de la collision. Quatre expériences ont été installées le long de l'accélérateur. Les deux plus imposantes, à savoir les expériences ATLAS (pour A Toroidal LHC ApparatuS) et CMS (pour Compact Muons Solenoid), sont aussi les plus polyvalentes. Les autres expériences sont plus particulièrement dédiées à l'étude de phénomènes spécifiques.

ATLAS et CMS, bien qu'ayant la même finalité, présentent un certain nombre de choix technologiques différents quant à la conception des capteurs qu'elles intègrent. Ces deux expériences permettront de se valider l'une l'autre dans le cas d'une découverte majeure comme l'observation de phénomènes nouveaux (tels que la découverte du boson de Higgs).

Les couches de détecteurs les plus proches du point d'interaction sont destinées à la trajectométrie. Même si elles restent à base de technologies semblables, elles diffèrent quelque peu entre les expériences ATLAS et CMS. Les deux expériences présentent une résolution minimale assez proche (de l'ordre de la dizaine de micromètre) pour des dimensions de pixels très différentes (pour l'expérience CMS la taille de pixel de  $100\ \mu\text{m} \times 150\ \mu\text{m}$  alors que la taille des pixels de l'expérience ATLAS est de

50  $\mu\text{m}$   $\times$  400  $\mu\text{m}$ ). De nombreuses informations complémentaires sur ces expériences peuvent être trouvées en références [13] et [14].

La réalisation du LHC et de ses expériences associées a nécessité 20 ans de développement conjoint par une centaine de laboratoires dans le monde entier. Alors que le LHC vient d'être mis en service, il est déjà temps de se tourner vers le futur grand collisionneur pour la physique des particules : le Collisionneur Linéaire International.

### 1.2.3 Le Collisionneur Linéaire International (ILC)

L'ILC (pour International Linear Collider) est un projet de collisionneur linéaire dont le développement a commencé dans les années 1990 et qui est susceptible de mener aux premières collisions dans les années 2020 [15]. Il va permettre d'approfondir les avancées du LHC, tout en offrant par lui-même une sensibilité accrue à des phénomènes nouveaux inaccessibles au LHC. Les apports de l'ILC proviennent à la fois de ses faisceaux et des expériences de sensibilité élevée qui peuvent s'y dérouler.

Les faisceaux de l'ILC sont composés d'électrons et de positons « polarisés » entrant en collision à une énergie modulable pouvant avoisiner 1 TeV. Les particules accélérées étant élémentaires, toute leur énergie est mise en jeu dans les interactions, et ces dernières se déroulent dans des conditions cinématiques connues précisément et ajustables (énergie, polarisation). La situation est très différente au LHC, les protons accélérés étant composites (constitués de quarks et de gluons). Seule une fraction de l'énergie des faisceaux est mise en jeu dans les interactions élémentaires étudiées. De l'ordre de 10%, cette fraction varie beaucoup d'une interaction à l'autre, et n'est pas connue. Par ailleurs, l'énergie restante intervient dans des processus parasites qui contaminent les observations expérimentales et imposent des contraintes sévères sur les détecteurs en termes de rapidité et de tolérance aux rayonnements, au détriment de leur précision. Ces contraintes étant très atténuées à l'ILC, les détecteurs peuvent être conçus en privilégiant les paramètres régissant leur sensibilité (e.g. la granularité pour une résolution spatiale poussée).

La structure de l'ILC sera composée de deux accélérateurs linéaires se faisant face, l'un projetant des électrons, l'autre des positons. Les faisceaux présenteront une énergie modulable comprise entre 45 GeV et 0.5 TeV. Une vue schématique de l'ILC est représentée sur la figure 1-3.

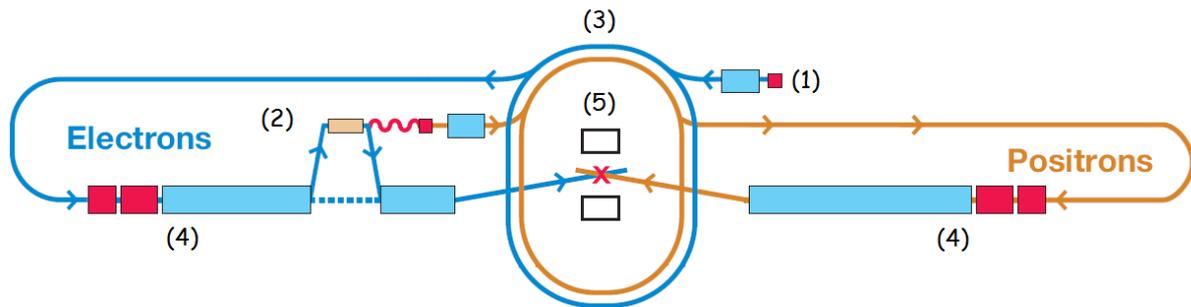


Figure 1-3 Le Collisionneur Linéaire International

Dans un premier temps (1), les électrons seront générés en tirant sur une cible avec un laser de haute énergie. Chaque tir successif permettra de libérer des milliards d'électrons, qui seront ensuite accélérés dans un accélérateur linéaire long de 250 m afin de leur fournir une énergie de 5 GeV. Les positons seront créés à partir du faisceau d'électrons (2). Les faisceaux d'électrons et de positons ainsi produits vont être ensuite être stockés dans un anneau (3) qui va permettre d'harmoniser les énergies des particules d'un même tir. Les faisceaux entrent ensuite dans les accélérateurs linéaires (linac) afin d'être accélérés à 250 GeV (4). Deux expériences seront installées à l'endroit de la collision (5) afin de permettre un recoupement des observations par chacune d'elles. Une seule expérience sera montée sur le faisceau à la fois, le point d'interaction n'étant pas dupliqué pour des raisons économiques. Un système mécanique permettra de les intervertir suivant la configuration souhaitée.

La structure en temps des faisceaux est présentée sur la figure 1-4. Deux trains de paquets de particules (un pour chaque type de particule) d'une durée de 1 ms entrèrent en collision toutes les 200 ms. La fréquence des collisions est un paramètre clef de l'ILC, il détermine en effet le taux d'occupation de toutes les couches du détecteur de vertex, sur lequel porte cette thèse. Ce taux, occasionné par le bruit de fond associé aux faisceaux, est plus élevé pour les couches les plus internes et diminue au fur et à mesure que l'on s'éloigne du point d'interaction. La raison en est que les particules de bruit de fond sont essentiellement des électrons et des positons de faible énergie, dont la trajectoire est fortement courbée par le champ magnétique expérimental.

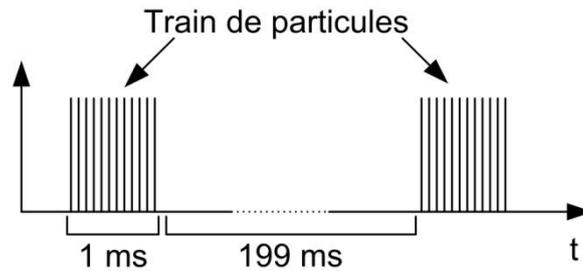


Figure 1-4 Séquençage des faisceaux de l'ILC

### 1.2.4 Les expériences à l'ILC

Les expériences réalisées dans le cadre de l'ILC présentent une architecture générale assez classique en forme de cylindre fermé. Il est possible de distinguer deux parties : la première, appelée le tonneau, est la partie enveloppant le tube à vide dans lequel se déroule la collision ; la deuxième partie est composée de deux bouchons permettant de fermer le cylindre afin d'obtenir un recouvrement quasi complet du point de collision de l'expérience. Dans chacune de ces deux parties, différentes couches de détecteurs permettent de reconstituer la trajectoire des particules ainsi que l'énergie déposée par ces dernières en les traversant.

Les deux expériences réalisées pour l'ILC seront le résultat de deux développements adossés à des choix technologiques très différents mais suivant une philosophie de constitution de l'expérience assez proche. Nous nous intéresserons plus particulièrement à l'expérience ILD [17] (pour International Large Detector), des informations complémentaires sur l'expérience SiD (pour Silicon Detector) peuvent être trouvées en référence [18].

L'expérience ILD, pour laquelle l'ensemble des travaux présentés ici ont été développés, est représentée sur la figure 1-5. Elle est composée des détecteurs suivants :

- Un détecteur de vertex composé de cinq couches de capteur à pixels, chacune montée en barillet. La première couche présentera un rayon de 1,5 cm alors que la dernière en fera 6. Le choix de la technologie utilisée pour cette couche n'est pas encore défini.
- Au niveau du tonneau, un système de micropistes à silicium afin d'assurer une continuité dans la détection entre le détecteur de vertex et la chambre à projection temporelle (voir plus loin). Au niveau des bouchons un système mixte de pixels et de micropistes à silicium.

- Une chambre à projection temporelle, TPC (pour Time Projection Chamber), permettra de retracer les trajectoires des particules avec une précision de plus de 200 points par piste.
- Deux couches additionnelles de micropistes à silicium assurent la liaison entre la TPC et les couches suivantes : une première directement collée sur la TPC, une seconde entre la TPC et les calorimètres.
- Les couches suivantes comportent les calorimètres électromagnétiques et hadroniques ainsi que les chambres à muons.
- Un solénoïde disposé entre le calorimètre hadronique et les chambres à muons produit un champ magnétique homogène permettant de déterminer l'impulsion des particules chargées détectées à partir du rayon de courbure mesuré de leur trajectoire.

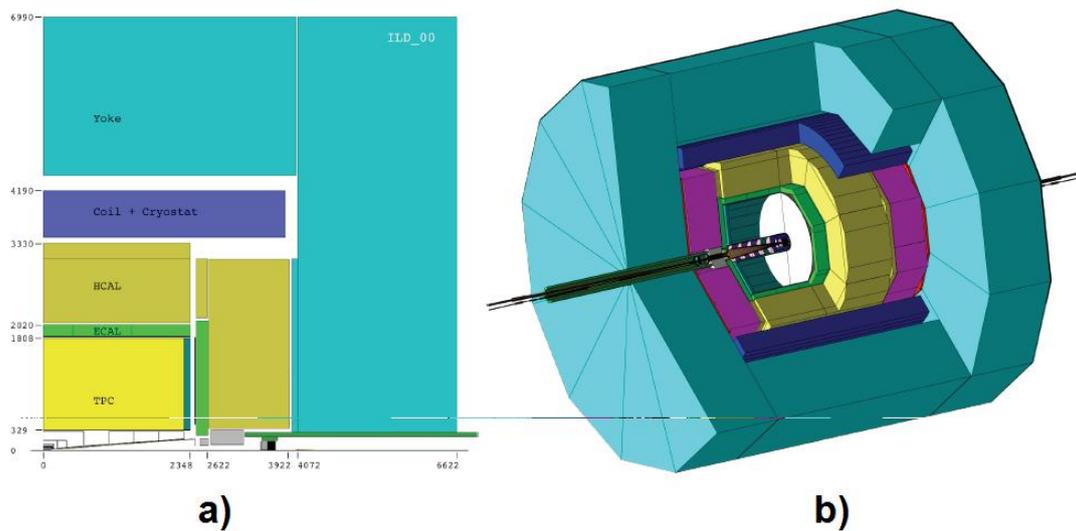


Figure 1-5 a) Vue en coupe d'un quart de l'expérience ILD, b) vue d'artiste de l'expérience complète

Le détecteur complet, avec ses vingt mètres de longueur et ses quatorze mètres de hauteur, aura la dimension d'un petit immeuble.

## 1.3 Le détecteur de vertex de l'ILC

Le détecteur de vertex, représenté par une vue d'artiste sur la figure 1-6, est destiné à la trajectométrie. Il possède deux fonctions principales : reconstruire la trajectoire des particules observées afin de trouver leurs points d'origine et déterminer si ces particules sont issues de la collision primaire ou d'un vertex secondaire. En effet, un certain nombre de particules créées lors des collisions électrons/positons n'ont qu'une très courte durée de vie. Elles finissent très rapidement par se désintégrer en deux ou trois particules secondaires. Leur durée de vie est tellement courte (de l'ordre de la picoseconde) qu'elles se désintègrent à l'intérieur du tube à vide dans lequel circulent les faisceaux, ce qui empêche de les détecter. En reconstruisant la trajectoire des particules secondaires résultantes du vertex secondaire, il est possible de retrouver la trajectoire initiale des particules issues de la collision primaire et d'en inférer leurs caractéristiques principales.

Les interactions donnent lieu à des états finals souvent composés de quelques « jets » de plusieurs dizaines de particules émises dans des directions très voisines. Grâce à la résolution élevée du détecteur de vertex, sa deuxième fonction va être de discerner les différentes particules d'un même jet.

L'équipe CMOS-ILC de l'IPHC développe une géométrie de détecteur de vertex à base de matrices de pixels actifs CMOS [19]. Le détecteur de vertex sera constitué de cinq couches cylindriques concentriques de capteurs. Chaque couche sera constituée d'échelles de capteurs disposés de manière jointive afin d'obtenir un recouvrement maximal du tube dans lequel se dérouleront les collisions. Sur la figure 1-6, les parties rouges représentent la partie active des capteurs (les pixels), les parties vertes les micro-circuits de traitement du signal incorporés dans les capteurs (amplificateur, convertisseur, traitement numérique), les parties bleues le support mécanique des capteurs. Au total, environ 300 millions de pixels composeront ce détecteur.

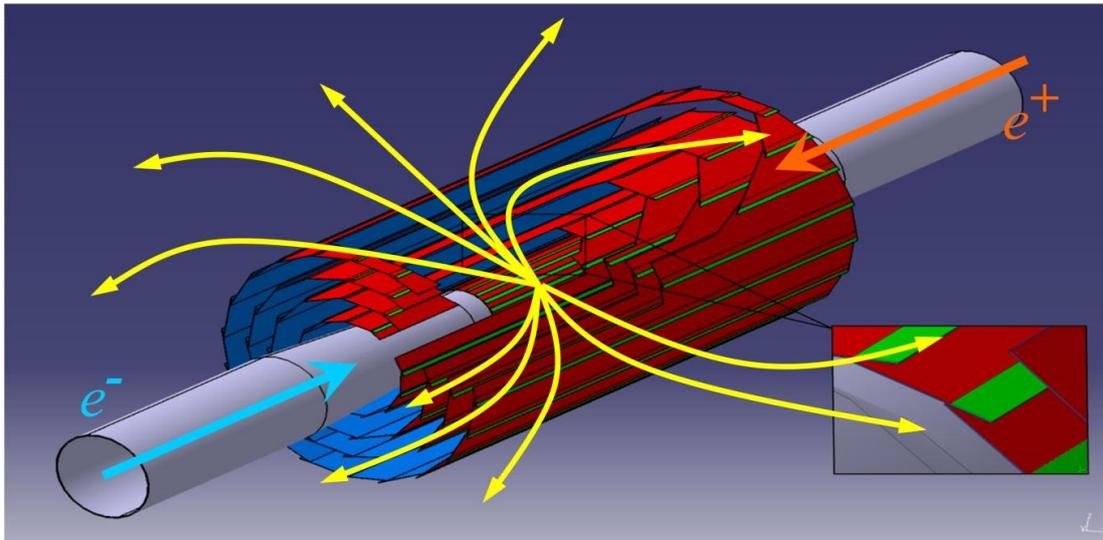


Figure 1-6 Vue d'artiste du détecteur de Vertex de l'ILC

Afin de répondre aux objectifs fixés par les futures expériences de l'ILC, un cahier des charges précis a été défini, mettant en avant un certain nombre de points critiques :

- Pour une reconstitution précise de la trajectoire de chaque particule et de leur origine, une résolution voisine de  $2 \mu\text{m}$  est nécessaire.
- Afin d'atteindre la résolution spatiale voulue, la dimension des pixels de la première couche du détecteur sera aux alentours de  $25 \mu\text{m} \times 25 \mu\text{m}$  (taille non définitive).
- Pour pouvoir distinguer le passage successif de deux particules au même endroit du détecteur, le taux d'occupation des différentes couches doit rester suffisamment faible. Ce taux est le plus élevé sur les couches internes, qui sont les plus exposées aux bruits de fond de l'accélérateur. Un temps de lecture de  $25 \mu\text{s}$ , pour la couche la plus interne, permet de garder le taux d'occupation à un niveau acceptable.
- Les capteurs constituant le détecteur de vertex seront amincis à  $50 \mu\text{m}$  afin de limiter la perturbation des trajectoires des particules causée par la matière du détecteur.
- Le faible budget de matière du détecteur de vertex interdit toute implantation d'un système de refroidissement complexe. Celui-ci se limitera à un flux d'air froid laminaire circulant à vitesse modérée afin de limiter les vibrations des échelles de capteurs. En conséquence, la puissance dissipée doit rester extrêmement faible (inférieure à  $5 \text{W}$  en moyenne pour l'ensemble de la première couche) afin de respecter les capacités d'extraction du flux d'air.

- Le détecteur de vertex étant le détecteur le plus proche du point d'interaction, il sera exposé à un rayonnement intense. Le rapport signal-à-bruit des capteurs (SNR pour Signal-to-Noise Ratio) va se dégrader au fur et à mesure des collisions, le bruit ayant tendance à augmenter en fonction de la dose de rayonnement ionisant à laquelle les capteurs auront été exposés [20]. Le détecteur doit donc présenter un SNR suffisamment grand au départ pour que ce dernier une fois dégradé réponde encore aux spécifications de l'expérience. Les performances de la technologie CMOS dans ce domaine en font une très bonne candidate pour le développement de capteurs tolérants aux radiations.

L'optimisation des performances des capteurs et le rayon de chaque couche conduisent à des dimensions des pixels, un temps de lecture, un nombre d'échelles et une puissance dissipée particuliers à chaque couche, comme le montre le tableau 1-2.

Couche	Diamètre de la couche	Vitesse de lecture	Nombre de pixels	Puissance instantanée	Puissance moyenne
L4	60 mm	100 $\mu$ s	100 M	< 150 W	< 8 W
L3	48 mm	100 $\mu$ s	80 M	< 120 W	< 6 W
L2	37 mm	100 $\mu$ s	50 M	< 90 W	< 5 W
L1	25 mm	50 $\mu$ s	65 M	< 130 W	< 7 W
L0	15 mm	25 $\mu$ s	25 M	< 100 W	< 5 W

Table 1-2 Caractéristiques des différentes couches du détecteur de vertex pour l'ILC

## 1.4 Le détecteur à base de semi-conducteur

Il existe de nombreuses solutions pour développer des détecteurs à base de semi-conducteur. Ces dernières décades ont vu la confrontation de nombreuses technologies « concurrentes » dans le domaine de l'imagerie du visible [21], [22]. Les capteurs CMOS issus de ce développement ont vu leur champ d'application s'étendre peu à peu à d'autres domaines comme la microscopie électronique, l'imagerie médicale ou la détection de particules pour la physique des hautes énergies. Ce dernier domaine a lui aussi vu le développement de nombreuses technologies concurrentes comme les capteurs CCD [23], les détecteurs à

micropistes [24] ou encore les pixels hybrides [25]. Une étude extrêmement complète sur l'état de l'art des différents détecteurs à base de silicium peut être trouvée en [26].

La figure 1-7 représente une photo d'une tranche composée de matrices de pixels en technologie CMOS (le circuit MIMOSA-5). L'utilisation de cette technologie présente de nombreux avantages pour une application à des détecteurs pour la physique des particules. Tout d'abord étant une technologie industrielle, elle est assez disponible et peu coûteuse comparée aux technologies concurrentes. Deux points complètent ses avantages : la minceur du volume sensible associée à la possibilité d'intégrer les premiers éléments d'électronique de lecture permet le développement de détecteurs particulièrement peu perturbants pour les particules détectées ; en jouant sur la surface des pixels il est possible de modifier la granularité du détecteur, de petits pixels permettant d'obtenir une résolution spatiale poussée (de l'ordre du micromètre).

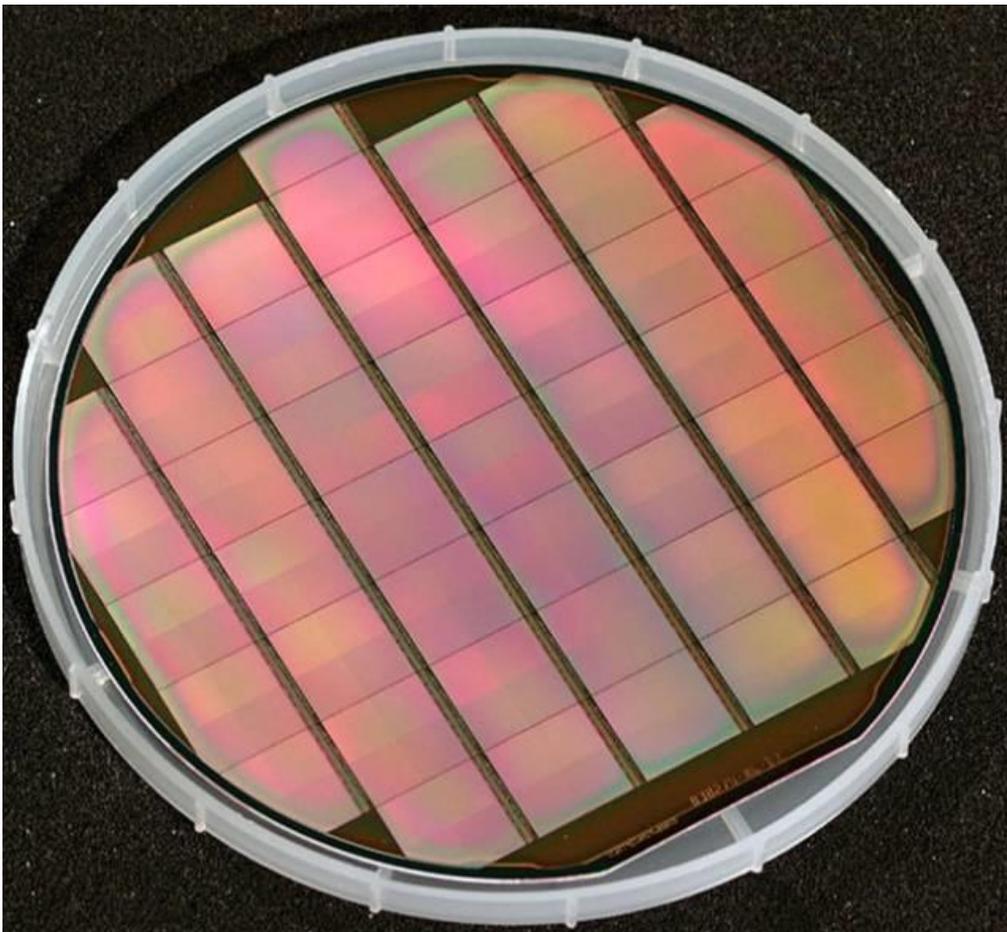


Figure 1-7 Tranche à base de circuits MIMOSA 5

### 1.4.1 Le pixel actif CMOS

L'élément sensible dans un capteur CMOS, appelé pixel, utilise les propriétés de la diode créée par la jonction P-N du silicium pour détecter le passage des particules. La figure 1-8 présente une vue en coupe d'un pixel utilisant 3 transistors (appelé pixel 3T) en technologie CMOS. Le pixel est constitué de trois couches distinctes : un substrat P fortement dopé (noté P<sup>++</sup>), une couche épitaxiée de faible dopage P (notée P<sup>-</sup>/epi), et une couche intégrant des caissons N et P (noté P<sup>+</sup>well et Nwell). Plusieurs facteurs ont un impact déterminant sur la conversion de l'information par le pixel. L'épaisseur de la couche épitaxiée va déterminer le nombre de charges libérées lors du passage d'une particule, typiquement 80 paires électrons-trous par micromètre [27]. Le facteur de conversion du pixel va déterminer la tension présente à la sortie de ce dernier. Suivant la surface du pixel, plusieurs unités de prétraitement peuvent être intégrées directement au sein du pixel dans les caissons N<sub>well</sub> et P<sub>well</sub>.

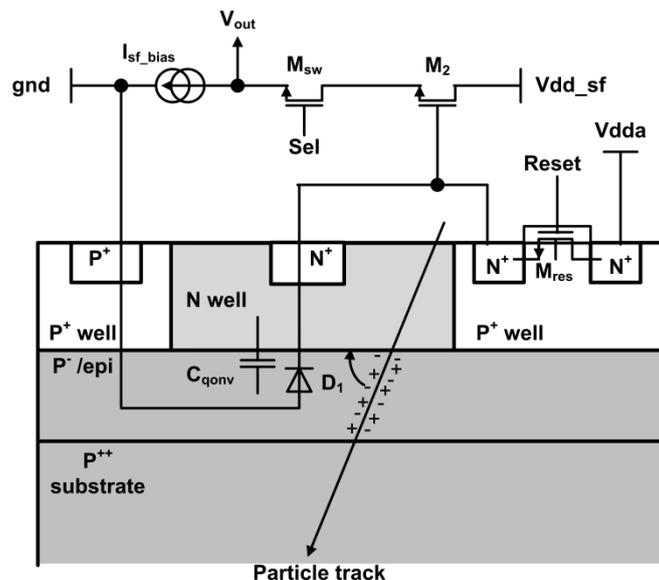


Figure 1-8 Pixel Actif CMOS à base de trois transistors

Lorsqu'une particule électriquement chargée traverse la couche épitaxiée, elle libère des centaines de porteurs de charge électrique. La diode D<sub>1</sub> créée par le contact N<sub>well</sub>-P<sub>epi</sub> va alors collecter ces charges par diffusion thermique. Le signal électrique généré est égal au nombre d'électrons collectés multiplié par le facteur de conversion de la diode D<sub>1</sub>. La capacité C<sub>qonv</sub> va transformer les charges collectées en tension. Cette relation peut s'écrire :

$$v = \frac{Q}{C} \quad (1-1)$$

où  $Q$  représente le nombre de charges collectées,  $C$  la capacité  $C_{qonv}$  et  $v$  la tension générée.

### 1.4.2 Le pixel actif monolithique de type CMOS (MAPS) de l'IPHC

L'équipe Capteur CMOS de l'Institut Pluridisciplinaire Hubert Curien développe des capteurs à base de pixel CMOS depuis maintenant dix ans. De nombreux prototypes ont vu le jour et ont permis à l'équipe d'acquérir une expertise dans le développement de matrice de pixels pour la physique subatomique [28]. L'architecture du pixel monolithique actif, appelé MAPS, étudié au sein de l'IPHC est présenté sur la figure 1-9.

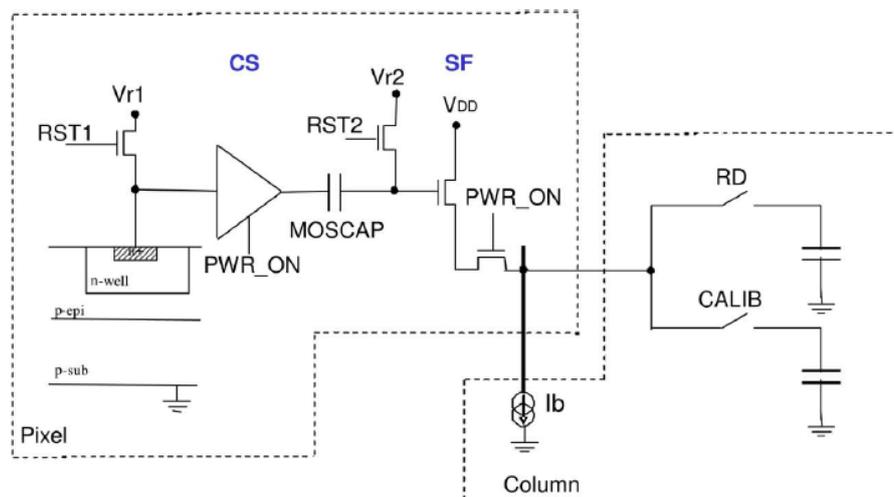


Figure 1-9 Architecture du pixel monolithique actif (MAPS)

Les MAPS intègrent tout d'abord un pré-amplificateur, situé au plus près de la diode de collection, un système de « clamping » composé d'une capacité montée en série (MOSCAP), de deux interrupteurs (RST1 et RST2) et d'un transistor monté en suiveur. L'interrupteur RST1 va effectuer une remise à zéro de la diode de collection alors que l'interrupteur RST2 va permettre de stocker dans la capacité l'offset de l'étage d'amplification ainsi que le niveau de remise à zéro [29]. L'étage suiveur ainsi que les deux commandes de ligne RD et CALIB vont permettre de mémoriser respectivement soit le signal amplifié de la diode combiné à l'offset de l'étage suiveur, soit uniquement l'offset de l'étage suiveur. Une soustraction de ces deux signaux permet de retrouver le signal débarrassé de l'offset du suiveur.

L'information collectée par un pixel MAPS est perturbée par les différents bruits (le plus important étant le bruit kTC). Cela peut engendrer un grand nombre de perturbations lorsqu'il est nécessaire de détecter des particules générant une très faible tension (de l'ordre du millivolt). Le « clamping » associé à un double échantillonnage corrélé (CDS) (le premier

dans le pixel, le second plus en aval de la chaîne de lecture, qui sera présenté dans le paragraphe suivant) permettent de réduire ces différents bruits. Le détail du séquençement de la lecture d'un pixel peut être trouvé dans l'annexe A.

### 1.4.3 Chaîne de lecture complète d'un capteur à pixel actif

La chaîne de lecture complète pour un détecteur à pixel actif est présentée sur la figure 1-10. Aux pixels qui composent la matrice, s'ajoutent des circuits de lecture et de traitement en bas de colonne. Ces circuits sont communs à tous les pixels d'une même colonne.

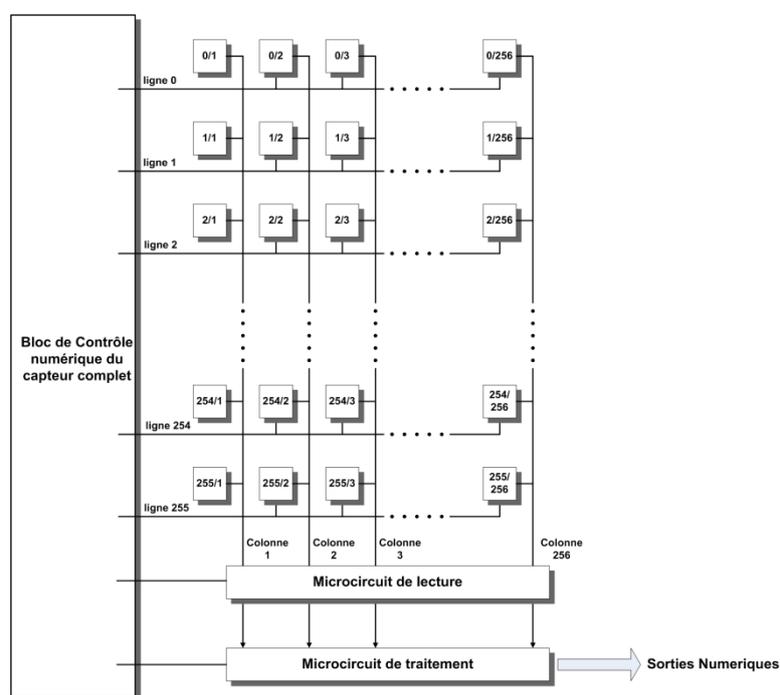


Figure 1-10 Organisation générale du capteur avec sa chaîne de lecture

Les circuits de lecture sont composés de structure de CDS ainsi que de structures d'amplification. Les circuits de double échantillonnage permettent, comme il l'a été précédemment évoqué, une réduction des différents bruits générés dans le pixel, alors que les circuits d'amplification facilitent le traitement de l'information délivrée par le pixel, et autorisent donc une définition plus précise du point d'impact d'une particule sur la matrice.

Dans le cadre du détecteur de vertex de l'ILC, la chaîne de lecture complète se présente comme sur la figure 1-11.

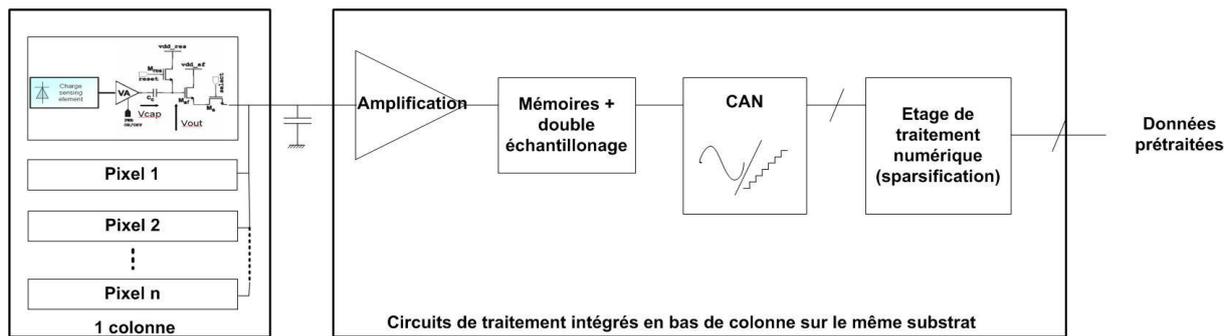


Figure 1-11 Chaîne de lecture complète d'une colonne de pixels

- Un premier étage en bas de colonne permet d'amplifier le signal de sortie des pixels
- Un étage mémorise le signal et effectue un premier traitement analogique (double échantillonnage)
- Un étage numérise l'information transmise par la matrice
- Un étage de traitement numérique appelé « sparsification » permet un premier tamisage des données pour ne conserver que celles intéressantes à traiter.

Le système de lecture retenu pour lire la matrice est appelé « rolling shutter ». Toutes les colonnes de la matrice de pixels seront lues simultanément, une ligne après l'autre comme le suggère la figure 1-12.

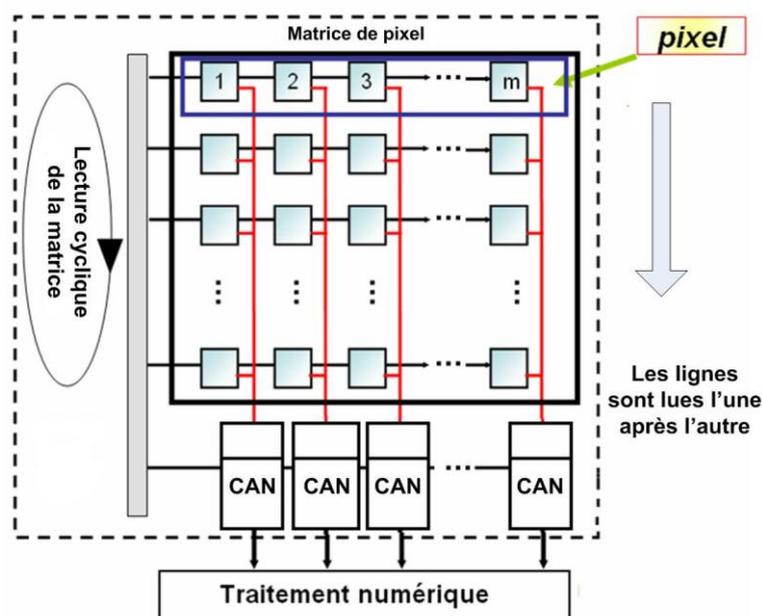


Figure 1-12 Lecture d'une matrice en utilisant la méthode dite "rolling shutter"

### 1.4.4 Intégration d'un CAN dans la chaîne de lecture du détecteur de vertex de l'ILC

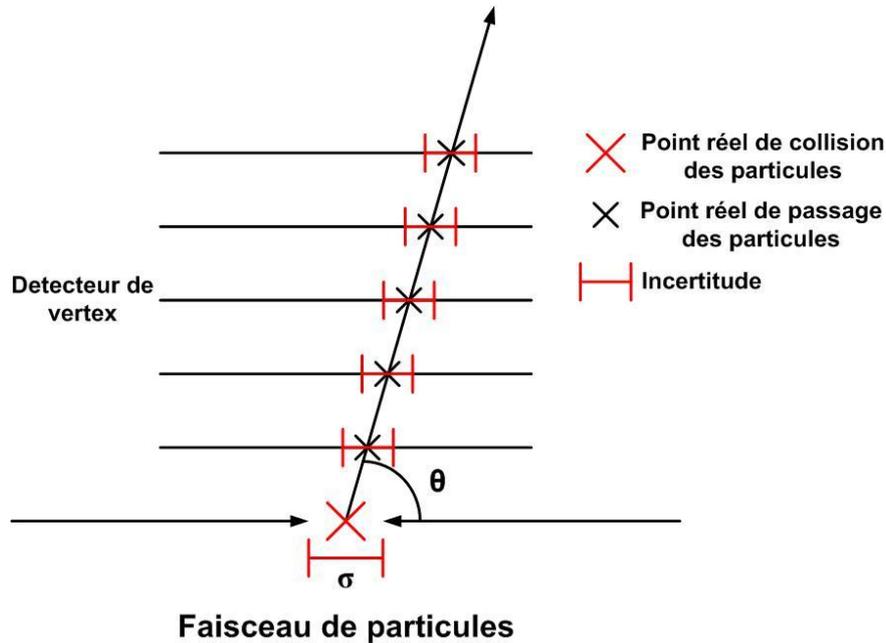


Figure 1-13 Schéma simplifié d'une vue en coupe du détecteur de vertex lors du passage d'une particule

Comme évoqué précédemment, le but principal d'un détecteur de vertex est de déterminer le point d'origine des particules à partir de la reconstruction de leur trajectoire en fonction de leur point de passage sur les différentes couches. Ces trajectoires permettent de définir si la particule observée provient de la collision primaire de particules du faisceau ou s'il s'agit d'une particule générée par un vertex secondaire. Pour le savoir, le paramètre clef est l'incertitude sur le point d'origine de la particule observée (noté  $\sigma$  sur la figure 1-13). Des simulations de physique ont permis de définir la valeur de  $\sigma$  permettant de distinguer si une particule est issue d'un vertex secondaire ou de la collision primaire. Ce dernier s'exprime comme suit :

$$\sigma \leq 5 \mu m \oplus \frac{10 \mu m \cdot GeV/c}{p \times \sin^{3/2} \vartheta} \quad (1-2)$$

où  $p$  représente l'impulsion de la particule observée et  $\vartheta$  l'angle que fait sa trajectoire avec l'axe des faisceaux. Le paramètre  $\sigma$  dépend de la géométrie des différentes couches du détecteur de vertex, de leur épaisseur ainsi que de la résolution spatiale que fournit chacune

d'elles. Une résolution spatiale de  $\sim 2 \mu\text{m}$  sur la première couche du détecteur de vertex permet de satisfaire les contraintes de la relation 1-2.

Lors des premières caractérisations des matrices CMOS de l'IPHC, les données de sortie de la matrice étaient traitées hors ligne. Ces données étaient converties à l'aide d'un CAN 12 bits. La résolution en bits du convertisseur déterminant la résolution sur la tension en sortie du pixel, il est très vite apparu que la résolution spatiale sur la matrice dépendait de la résolution du convertisseur [30]. Une résolution de 12 bits n'étant pas nécessaire pour satisfaire aux spécifications de l'expérience, il s'est révélé intéressant d'intégrer un CAN de résolution plus modeste et compact directement en bas de la matrice de pixels.

Une conversion par traitement logiciel a été réalisée afin de déterminer l'évolution de la résolution spatiale sur la matrice en fonction de la résolution du convertisseur utilisé. Différentes conversions ont été extrapolées à partir des mêmes données brutes, pour une résolution de convertisseur de 1 à 5 bits. La résolution spatiale pour chaque résolution de convertisseur a été calculée à partir de ces données numérisées. La courbe présentée sur la figure 1-14 a pu être tracée à partir de ces résultats (pour un pitch de pixel de  $20 \mu\text{m}$ ). Pour atteindre la résolution spatiale voulue de  $2 \mu\text{m}$  sur la matrice, un convertisseur 4 bits sera nécessaire. La résolution spatiale obtenue pour un CAN de 4 bits laisse une liberté quant au pitch du pixel. En augmentant le pitch de  $20 \mu\text{m}$  à  $25 \mu\text{m}$ , la résolution spatiale reste dans les spécifications de l'expérience.

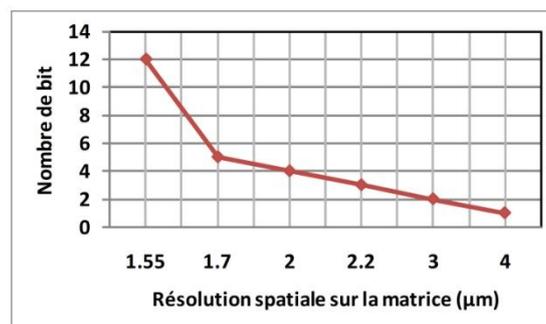


Figure 1-14 Résolution spatiale versus le nombre de bits pour un pitch de pixel de  $20 \mu\text{m}$

L'intégration d'un étage de conversion analogique-numérique au sein d'une matrice est aussi motivée par le flot de données générées par l'expérience. Sans traitement intégré, le flot de

données à extraire du détecteur limiterait sensiblement l'utilisation du détecteur de vertex. L'intégration d'un CAN permettra ensuite celle d'un étage de traitement numérique sur le même substrat que la matrice. L'intégration d'un étage de sparsification (étage permettant la différenciation des informations utiles, un pixel touché, et inutiles, un pixel non touché), associé au faible taux d'occupation de la matrice (une valeur maximale de 1% pour la première couche du détecteur de vertex) permettra de réduire considérablement le flot de données en sortie du détecteur.

La figure 1-15 présente le schéma d'un capteur de la première couche du détecteur de vertex, avec la répartition des différents blocs.

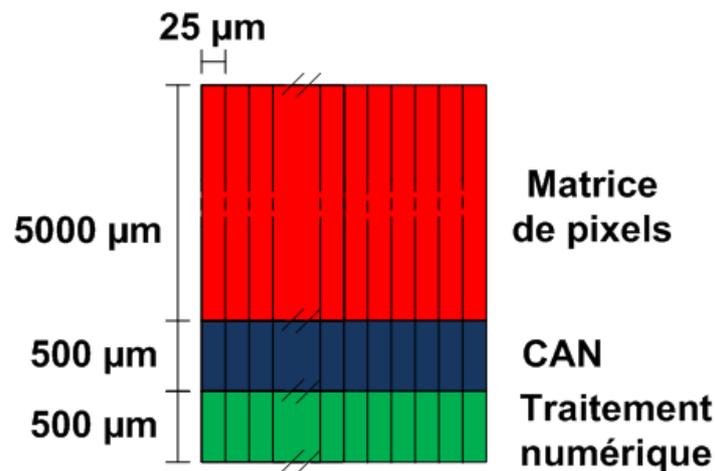


Figure 1-15 Schéma d'une échelle de capteur du détecteur de vertex de l'ILC

Au fur et à mesure du développement des différents prototypes de circuit de matrice de pixels de l'IPHC, de nouvelles fonctionnalités ont été implantées afin de se rapprocher de plus en plus des caractéristiques du détecteur de vertex de l'ILC. Les premiers prototypes ont tout d'abord présenté des sorties analogiques afin d'éprouver les performances brutes du capteur [31] et de le caractériser. Au vu de leurs résultats performants, des prototypes à sorties numérisées ont vu le jour, intégrant un discriminateur en bas de chaque colonne de la matrice [32],[29]. Dernièrement, un prototype intégrant en plus de la sortie numérique sur 1 bit, un circuit de sparsification des données a été développé et les résultats de test de ce dernier ont permis de valider la chaîne de lecture complète [33]. La dernière pièce du puzzle à mettre en

place est donc l'intégration d'un convertisseur analogique numérique en lieu et place du discriminateur afin d'augmenter la résolution spatiale sur la matrice.

Le chapitre suivant va présenter en détail le fonctionnement et les spécificités des CANs ainsi que les contraintes de conception liées à leur application à un détecteur de vertex comme celui de l'ILC.

## Chapitre 2

# La conversion analogique numérique

### Introduction

Le monde de la conversion de données analogiques –numériques est véritablement apparu avec le développement des télécommunications au début du 20<sup>ème</sup> siècle. Cependant, il aura fallu attendre les années cinquante pour voir apparaître les premières offres commerciales de convertisseur analogique numérique (CAN). Cette commercialisation suivait de très près la première offre commerciale d'ordinateur digital, l'UNIVAC en 1951. Le développement des CANs a dès lors suivi étroitement le développement de la micro informatique. Jusque dans les années quatre-vingt-dix les CANs sont devenus de plus en plus rapides, de moins en moins encombrants, de nouvelles architectures sont apparues, il est alors devenu possible de classer les architectures en fonction de leur domaine d'application. A partir des années quatre-vingt-dix, la microélectronique, grâce au développement de l'informatique, a connu une évolution exceptionnelle en termes d'intégration. Il existe à présent des centaines de modèles commerciaux différents, classés selon leur résolution en bit, leur vitesse de conversion et leur consommation. La cause de cette abondance d'offres repose sur la place qu'occupent les CANs dans les systèmes électroniques actuels. Les CANs sont littéralement au cœur de tout système mixte, ils se doivent d'être les plus près possibles des besoins des systèmes dans lesquels ils sont implantés. Cette dernière décade a vu une autre évolution. Le développement, pour un coût de production raisonnable, de véritables systèmes complets sur puces (appelé SoC pour System on Chip) regroupant sur un même substrat un élément sensible comme un capteur, des circuits analogiques de conditionnement du signal et des

circuits numériques permettant un interfaçage avec un ordinateur voire même un traitement numérique direct avec un processeur implanté sur ce même substrat.

Afin de pouvoir comparer de manière efficace les différentes performances des CANs, une norme IEEE a vu le jour en 2001 sous l'intitulé *IEEE Standard for terminology and test methods for analog to digital converters* [3]. L'ensemble des généralités sur les CANs qui vont être présentées repose sur ce standard.

## 2.1 Théorie sur la conversion

Un convertisseur analogique numérique a pour fonction de transformer un signal continu (bien souvent une tension ou un courant), en un signal discret numérique codé sur un nombre de valeurs données. Trois critères principaux caractérisent les CANs :

- La résolution du CAN en bit qui détermine le nombre de valeurs disponibles pour coder le signal d'entrée.
- Le nombre d'échantillons convertis par seconde qui définit la fréquence de conversion du CAN et donc son domaine d'application.
- La dynamique du signal analogique d'entrée convertible par le CAN qui détermine le pas minimum du convertisseur appelé bit de poids faible (LSB). Le LSB représente l'intervalle de valeur analogique comprise dans une valeur numérique (appelé aussi quantum).

La fonction de transfert idéale d'un CAN 3 bits est présentée sur la figure 2-1.

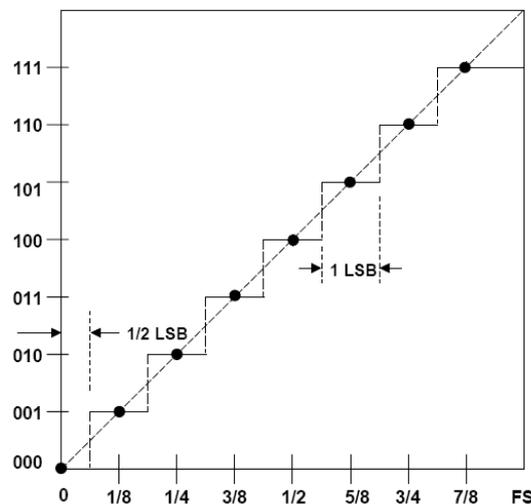


Figure 2-1 Fonction de transfert d'un CAN 3 bits

Un CAN est cependant aussi défini par une liste d'erreurs caractérisant ses performances statiques et dynamiques.

### 2.1.1 Caractéristiques statiques des CANs [34]

En se basant sur la figure 2-1, on peut définir la fonction de transfert d'un CAN comme étant égale à :

$$N = Y + XA \quad (2-1)$$

où N représente la valeur numérique de sortie du CAN, Y représente l'offset de la fonction de transfert du CAN et X le gain du CAN. Idéalement Y est égal à 0 et X est égal à 1. L'erreur d'offset représente donc la différence entre la valeur de Y et 0. L'erreur de gain représente la différence entre la valeur de X et 1. Ces types d'erreurs, si elles sont systématiques peuvent être corrigées par l'utilisateur. Ces deux erreurs sont présentées sur la figure 2-2.

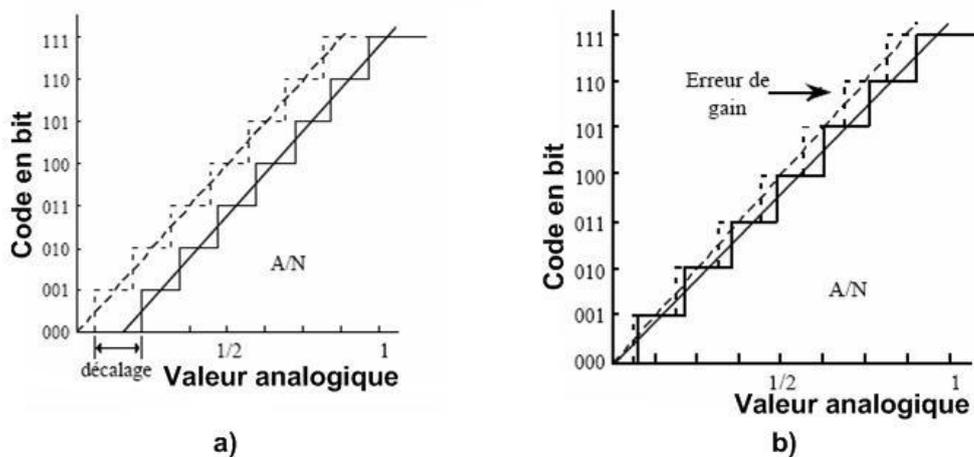


Figure 2-2 a) Erreur d'offset b) Erreur de gain

L'erreur de non linéarité différentielle (DNL) est définie pour chaque code. Dans le cas d'une fonction de transfert idéale, chaque code de sortie est associé à un certain intervalle de valeur analogique, définissant le LSB. Cependant pour une caractéristique de transfert réelle il se peut que certaines valeurs numériques contiennent plus (ou moins) qu'un LSB. La DNL représente donc la différence entre le LSB et la largeur de chaque palier. Pour un CAN les valeurs minimum et maximum de la DNL sont souvent données. La DNL représente la précision de la conversion pour chaque bit.

Pour une caractéristique de transfert de CAN sans erreur d'offset ni erreur de gain, l'erreur de non linéarité intégrale (INL) peut être définie comme :

$$INL_n = \sum_{i=1}^n DNL_i \quad (2-2)$$

Pratiquement, l'INL peut être mesurée en calculant la différence entre le seuil de basculement idéal et le seuil de basculement réel de chaque code de la fonction de transfert d'un CAN. L'INL représente l'erreur de précision de conversion globale du CAN, alors que la DNL représente l'erreur de précision, code par code du CAN. Ces deux erreurs sont représentées sur la figure 2-3.

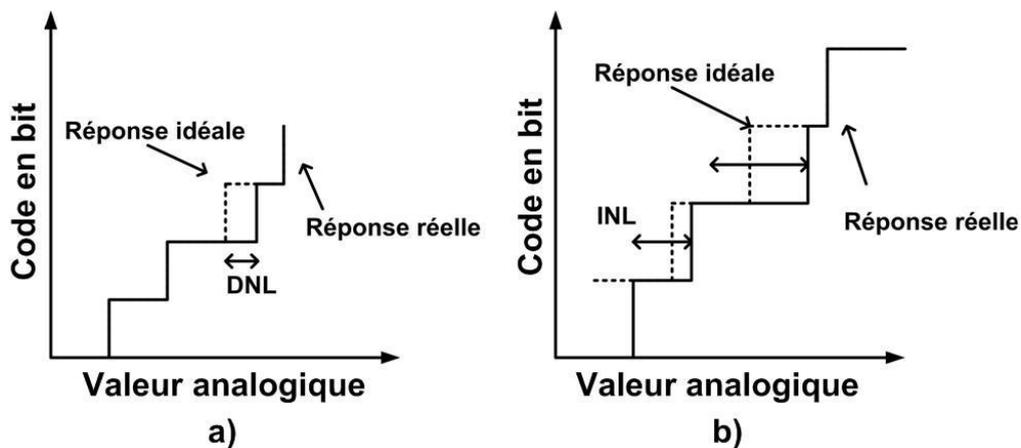


Figure 2-3 a) Erreur de DNL b) Erreur d'INL

L'erreur de DNL peut entraîner un code manquant. Une erreur de monotonicité indique que lors de l'évolution de la fonction de transfert d'un CAN au lieu du code attendu, le CAN fournit un autre code (généralement plus petit). La figure 2-4 montre les effets combinés d'un code manquant associé à une erreur de monotonicité.

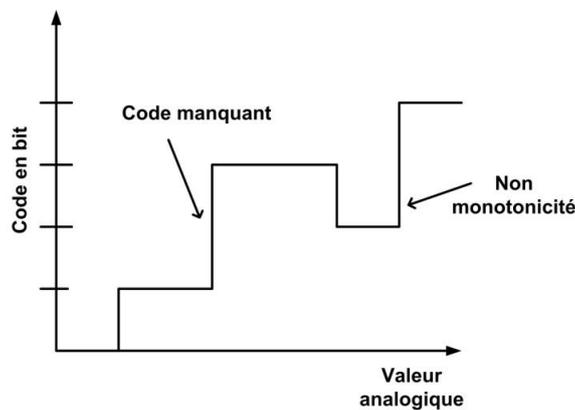


Figure 2-4 Erreur de monotonicité associée à des codes manquants

Le passage d'un code à l'autre n'est dans la réalité jamais parfait. Il existe une zone de basculement durant laquelle le code de sortie oscille entre l'ancien code et la nouvelle valeur comme représenté sur la figure 2-5.

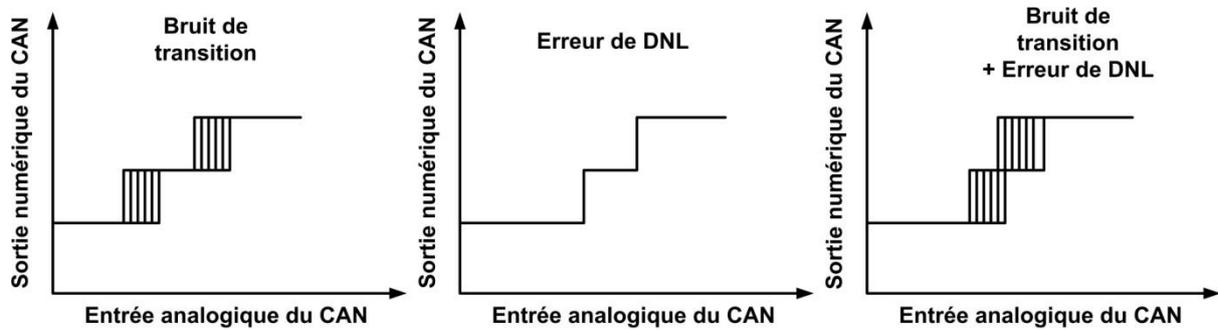


Figure 2-5 Effet combiné de l'erreur de transition et de la DNL

Cette zone de basculement est appelée bruit de transition. Associé à la DNL, il se peut que pour certaines valeurs analogiques il n'y ait aucune zone où le CAN présentera systématiquement la même valeur en sortie, mais simplement des probabilités pour qu'un code apparaisse. Il est vital pour un CAN à faible résolution de présenter la combinaison de l'erreur de transition associée à la DNL afin de présenter les performances réelles du CAN.

A partir de l'erreur de transition associée à l'erreur de DNL il est possible de calculer l'erreur quadratique moyenne (MSE) pour la réponse d'un CAN. Cette dernière s'exprime comme :

$$MSE = \sqrt{(code\ idéal)^2 - (code\ mesuré)^2} \quad (2-3)$$

Le bruit de transition va mettre en relief la valeur maximum de l'erreur de conversion d'un CAN mais sans pour autant permettre de déterminer la fréquence de cette erreur. La MSE va permettre de restituer cette erreur par rapport à un ensemble de conversion et ainsi déterminer si cette erreur de conversion maximum est probable ou alors rare.

### 2.1.2 Théorie de traitement du signal

Un CAN est caractérisé par sa fréquence de conversion, cela induit donc que la conversion n'est pas une opération instantanée. Si le signal analogique varie pendant la conversion cela peut entraîner des erreurs de conversion. La formule suivante présente la relation entre le temps de conversion d'un CAN et la fréquence maximale d'un signal à convertir :

$$f_{max} = \frac{1}{2^{n+1}\pi\tau} \quad (2-4)$$

où  $f_{max}$  représente la fréquence maximale admissible, n le nombre de bits du CAN et  $\tau$  la durée de la conversion.

Il peut être intéressant d'intégrer en amont du CAN un circuit échantillonneur-bloqueur afin de présenter en entrée du CAN un signal stable sur toute la durée de la conversion.

### 2.1.3 Caractéristiques dynamiques des CANs [35]

Pour un convertisseur N bits parfait la seule erreur existante est comprise entre  $\pm \frac{1}{2} LSB$ , soit un quantum (q). Cette dernière, appelée erreur de quantification peut être représentée par une fonction en dent de scie comme sur la figure 2-6.

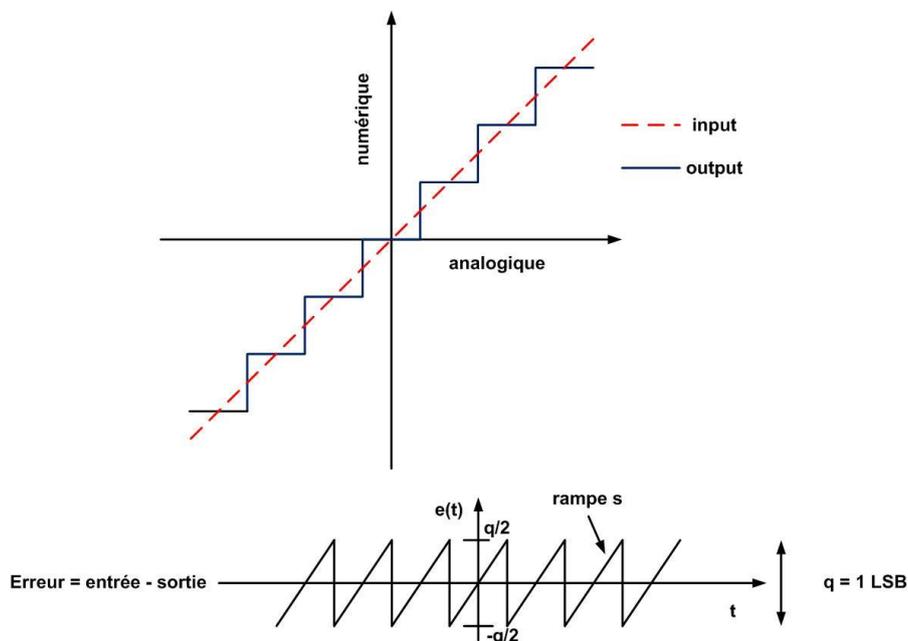


Figure 2-6 Représentation de la fonction de transfert idéale d'un CAN et de son erreur de quantification

La fonction  $e(t)$  définit l'erreur de quantification comme :

$$e(t) = st, -\frac{q}{2s} < t < +\frac{q}{2s} \quad (2-4)$$

Le bruit RMS de quantification est égal à :

$$\sqrt{e^2(t)} = \frac{q}{\sqrt{12}} \quad (2-5)$$

Le bruit de quantification RMS permet de déduire la valeur théorique du niveau signal à bruit (SNR pour Signal to Noise Ratio) comme valant :

$$SNR = 6.02N + 1.76dB \quad (2-6)$$

$N$  étant le nombre de bits du CAN.

La mesure du SNR peut se faire en effectuant une transformation de Fourier discrète (FFT) sur la réponse du CAN à un signal sinusoïdal ayant pour amplitude la dynamique maximum du CAN. Le SNR réel correspond à la différence entre l'amplitude de l'harmonique principale et le niveau moyen du bruit.

Il peut être intéressant de mesurer le rapport signal à bruit et distorsion (SINAD pour Signal to Noise And Distorsion ratio). En effet le SINAD permet de prendre en compte l'intégralité des bruits et distorsions de la réponse d'un CAN. Le SINAD est le ratio de la puissance de l'harmonique fondamentale de la sinusoïde sur la puissance résiduelle du signal une fois la sinusoïde soustraite.

$$SINAD = 10 \log \left( \frac{P_S}{P_B + P_D} \right) \quad (2-7)$$

où  $P_S$  est la puissance de l'harmonique fondamentale,  $P_B$  celle de toutes les composantes spectrales de bruits et  $P_D$  celle de toutes les composantes spectrales de distorsions.

Le SINAD permet alors de calculer le nombre effectif de bit du CAN (ENOB pour Effective Number Of Bit), il se définit par :

$$ENOB = \frac{SINAD - 1.76 \text{ dB}}{6.02} \quad (2-8)$$

Ces deux calculs d'erreur permettent d'avoir un aperçu complet des caractéristiques dynamiques d'un CAN.

## 2.2 Sources de bruit et d'erreur dans les CANs

Une des grandes forces du transistor MOS est son vaste champ d'utilisation. En effet un transistor MOS peut servir de résistance, de condensateur ou de commutateur suivant la connexion réalisée entre ses trois bornes. Lors de son utilisation en commutateur analogique, le transistor MOS fonctionne dans la région linéaire, ramenant son circuit équivalent à une

résistance contrôlée par la tension de grille du transistor. Cependant les transistors MOS lorsqu'ils sont utilisés comme commutateurs peuvent être la source de nombreux bruits. La résistance présentée par le transistor MOS lorsqu'il est en mode « commutateur fermé » n'est en réalité ni nulle ni linéaire. Il faut en réalité considérer le modèle équivalent présenté sur la figure 2-7. Les capacités  $C_{gs}$  et  $C_{gd}$  sont respectivement les capacités parasites entre la grille et la source et entre la grille et le drain. Les capacités  $C_{j1}$  et  $C_{j2}$ , quant à elles, sont dues aux capacités de jonction de la source et du drain et à la capacité existante entre le canal et le substrat du transistor.

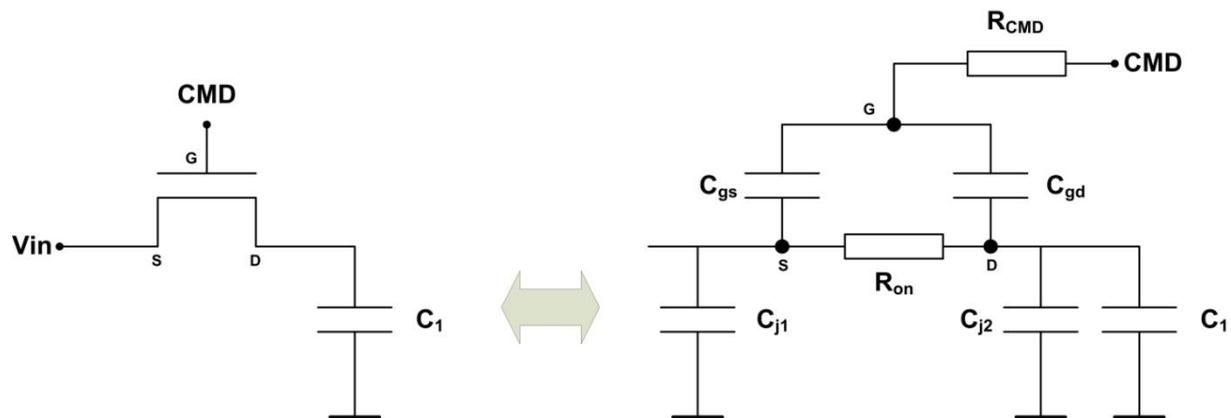


Figure 2-7 Transistor monté en commutateur (a) et son circuit équivalent (b)

### 2.2.1 La non linéarité de la résistance $R_{on}$

La résistance  $R_{on}$  n'est en réalité pas nulle lorsque le transistor est en mode « commutateur fermé ». Sa valeur dépend de la tension appliquée à son entrée. Dans certain cas si cette valeur devient trop grande cela peut limiter la vitesse de fonctionnement du circuit. De nombreuses études ont été conduites sur ce phénomène comme [36] ou encore [37]. La valeur de la résistance  $R_{on}$  pour un transistor NMOS est donnée par la relation suivante :

$$R_{on} = \frac{1}{\mu C_{ox} \left(\frac{W}{L}\right) (V_{gs} - V_T)} \quad (2-9)$$

avec  $\mu$  la mobilité des électrons,  $C_{ox}$  la capacité d'oxyde de grille,  $W$  et  $L$ , respectivement la largeur et la longueur du transistor,  $V_{gs}$  la tension entre la grille et la source du transistor et  $V_T$  la tension de seuil du transistor.

En augmentant le rapport entre  $W$  et  $L$ , il est possible de minimiser la résistance  $R_{on}$ , cependant lorsque le rapport entre  $W$  et  $L$  augmente, les capacités parasites de jonction de source et du drain augmentent elles aussi. Ainsi un compromis s'impose donc entre les grandeurs de  $R_{on}$  et de ces capacités.

La figure 2-8 présente l'évolution de la valeur de la résistance  $R_{on}$  en fonction de la tension  $V_{in}$  pour des transistors NMOS, PMOS et CMOS (Complementary MOS).

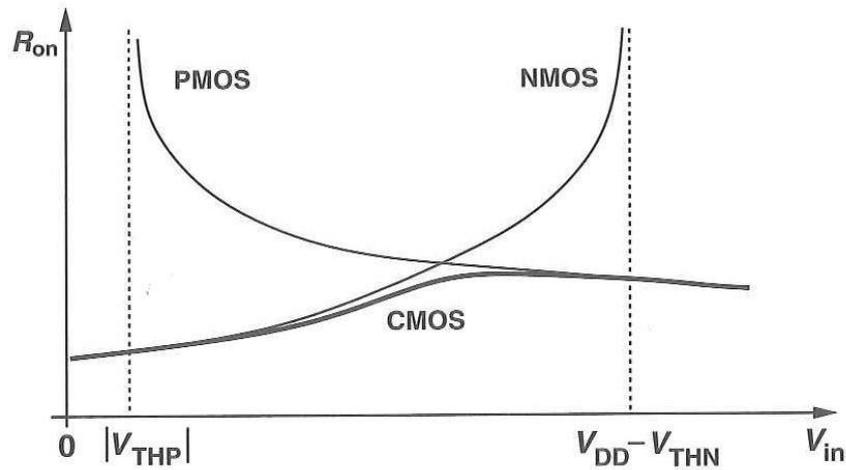


Figure 2-8 Evolution de la résistance  $R_{on}$  pour des transistors PMOS, NMOS et CMOS

Afin d'améliorer la linéarité de la résistance  $R_{on}$  il est possible d'utiliser la technique du commutateur CMOS. Cette technique consiste à monter en parallèle un transistor NMOS et un transistor PMOS comme le montre la figure 2-9.

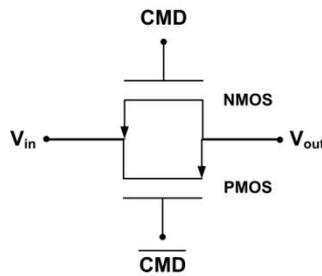


Figure 2-9 Montage d'un commutateur de type MOS Complémentaire

Cette technique permet une plus grande stabilité de la résistance  $R_{on}$  suivant la variation de la tension d'entrée  $V_{in}$  comme le montre la figure 2-8.

### 2.2.2 Le phénomène d'injection de charges et « clock feedthrough »

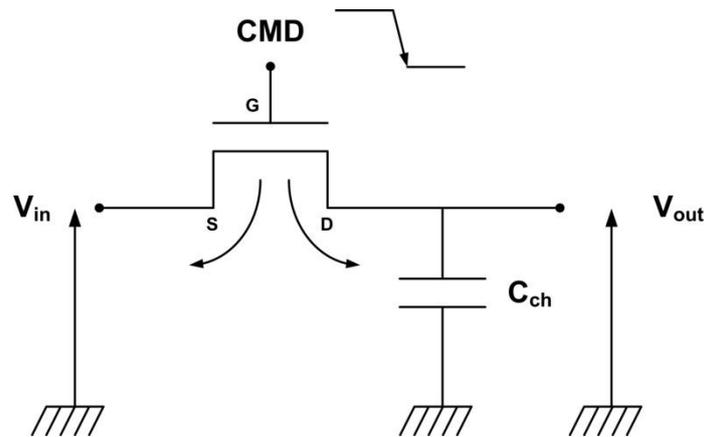


Figure 2-10 Le phénomène d'injection de charges pour un transistor NMOS

Lorsque le commutateur est en mode « fermé », un canal au niveau de l'interface entre la grille et le substrat se crée. La capacité  $C_{ch}$  va se charger faisant tendre petit à petit la tension source drain vers zéro. La charge alors accumulée dans le canal peut s'exprimer par la relation suivante :

$$Q_{ch} = -WLC_{ox}(V_{gs} - V_T) \quad (2-10)$$

Lorsque le commutateur change d'état et s'ouvre, ce dernier va ramener la tension  $V_{gs}$  en dessous de la valeur de  $V_T$ , les charges alors accumulées dans le canal vont se réinjecter dans le circuit via le drain et la source du transistor. Ce phénomène est appelé injection de charges du canal. Les charges injectées dans la source n'introduiront pas d'erreur dans le circuit contrairement aux charges injectées dans le drain. Une partie de ces charges vont venir s'ajouter aux charges du signal  $V_{out}$  entraînant une erreur  $\Delta V$  dont la valeur vaut :

$$\Delta V_1 = \frac{-WLC_{ox}(V_{gs} - V_T)}{2C_{ch}} \quad (2-11)$$

avec  $W$  et  $L$  respectivement la largeur et la longueur du transistor,  $V_{gs}$  la tension entre la source et la grille,  $C_{ox}$  la capacité de l'oxyde de grille et  $V_T$  la tension de seuil du transistor. Le même raisonnement s'applique lors du changement d'état lors de la fermeture du commutateur.

Il faut en plus de cette erreur, considérer que le transistor MOS va aussi coupler la tension du signal de commande à la capacité de charge aux travers des capacités parasites de recouvrement entre la grille et la source et entre la grille et le drain. Lors d'une commutation

rapide les charges accumulées dans ces capacités vont venir s'ajouter à l'erreur précédente. La valeur de cette nouvelle erreur vaut :

$$\Delta V_2 = -V_{CMD} \times \frac{C_{re}}{C_{re} + C_{ch}} \quad (2-12)$$

avec  $V_{CMD}$  la tension de la commande,  $C_{re}$  la capacité parasite et  $C_{ch}$  la capacité de charge du circuit.

Afin de minimiser cette erreur il est possible d'utiliser la méthode du transistor fantôme (aussi appelé « dummy transistor »).

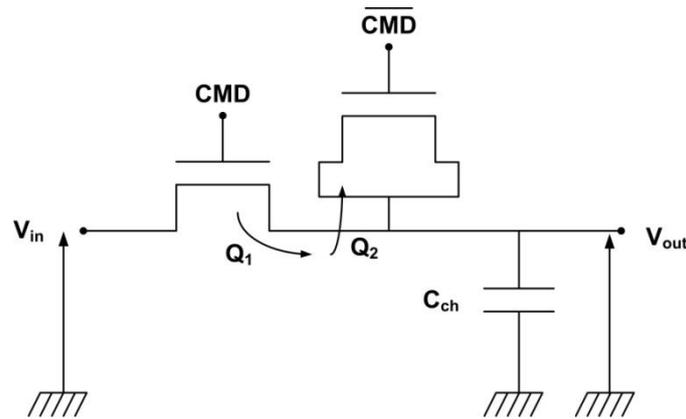


Figure 2-11 Détail de la mise en œuvre de la technique "dummy" transistor

La figure 2-11 montre la mise en œuvre de la technique du transistor fantôme qui consiste à placer à côté du transistor monté en commutateur un transistor dont le drain et la source ont été connectés ensemble. Un signal complémentaire ( $\overline{CMD}$ ) au signal de fermeture du commutateur ( $CMD$ ) est connecté à la grille du transistor fantôme. Cette technique permet de faire absorber la quantité de charges ( $Q1$ ) libérées par le commutateur par le transistor fantôme. Cela suppose donc que la charge  $Q2$  absorbée par le transistor fantôme soit égale à l'inverse de la charge libérée  $Q1$ . Ces deux charges peuvent s'exprimer de la manière suivante :

$$Q1 = \frac{-W_1 L_1 C_{ox} (V_{gs} - V_{T1})}{2} \quad (2-13)$$

$$Q2 = W_2 L_2 C_{ox} (V_{gs} - V_{T2}) \quad (2-14)$$

En observant les deux équations il paraît clair que cette technique n'est optimum que si les deux transistors ont la même longueur et que le transistor fantôme a une largeur deux fois plus petite que le commutateur.

Cette technique permet aussi de compenser l'injection de charge. Si l'on considère les capacités de recouvrement de chacun des deux transistors (respectivement  $C_1$  pour le

commutateur et  $C_2$  pour le transistor fantôme) on peut exprimer l'erreur totale liée au phénomène de « clock feedthrough » à partir de l'équation :

$$\Delta V = -V_{CMD} \times \frac{C_1}{2 \times C_2 + C_1 + C_{ch}} + V_{CMD} \frac{2 \times C_2}{2 \times C_2 + C_1 + C_{ch}} \quad (2-15)$$

Pour que cette erreur soit nulle, il faut que les deux transistors aient la même longueur mais que le transistor fantôme ait une largeur deux fois plus petite que celle du commutateur.

Cependant pour que les charges soient parfaitement compensées il faudrait que les quantités libérées par le commutateur dans le drain et la source soient parfaitement identiques ce qui dans la réalité n'est pas le cas. La technique du transistor fantôme permet cependant de fortement minimiser le phénomène du « clock feedthrough » ainsi que celui des charges injectées.

Cependant il ne faut jamais perdre de vue que chacune des techniques pouvant être mises en œuvre a un coût et qu'il est bien question ici de minimiser les erreurs et non de les supprimer. Toute la problématique réside à nouveau dans les compromis et l'équilibre à trouver afin de garantir un bon fonctionnement du convertisseur dans son domaine d'application.

### 2.2.3 Bruit thermique ou bruit kTC

Comme il l'a été présenté dans le paragraphe précédent, un transistor MOS présente toujours une résistance parasite non nulle. Dans cette dernière l'agitation thermique aléatoire des électrons crée un bruit blanc appelé bruit thermique dont la densité spectrale de bruit vaut :

$$\overline{v^2} = 4kTR [V^2/Hz] \quad (2-16)$$

où  $R$  est la résistance,  $k$  la constante de Boltzmann et  $T$  la température absolue en Kelvin.

Si l'on considère un circuit formé d'un commutateur MOS connecté en série avec une capacité ce circuit peut être considéré comme un filtre RC comme le montre la figure 2-12. La résistance ici considérée étant la résistance  $R_{on}$  du transistor MOS.

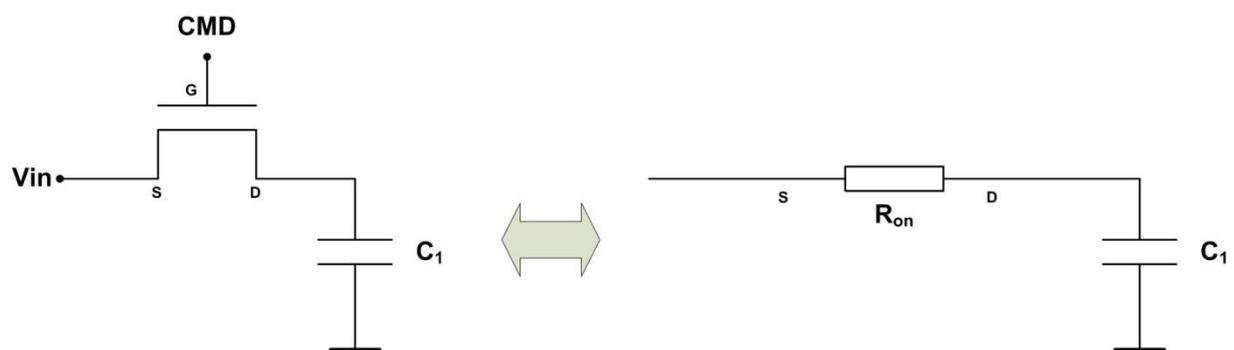


Figure 2-12 Schéma équivalent d'un transistor MOS

Le bruit thermique présent en sortie du filtre RC à l'intégration sur la fréquence du produit de la densité spectrale du bruit thermique et de la fonction du filtre passe bas. Il est alors possible de calculer la moyenne quadratique de la tension du bruit échantillonné par la capacité C :

$$\sigma^2 = \int_0^{\infty} \overline{v^2} \times \frac{1}{1+(f2\pi RC)^2} df \quad (2-17)$$

$$\sigma^2 = 4kTR \int_0^{\infty} \frac{1}{1+(f2\pi RC)^2} df \quad (2-18)$$

$$\sigma^2 = \frac{4kTR}{(2\pi RC)^2} \Big|_0^{\infty} 2\pi RC \times \arctan(2\pi fRC) \quad (2-19)$$

$$\sigma^2 = \frac{kT}{C} \quad (2-20)$$

Il est intéressant de noter que bien que ce bruit tire son origine du bruit thermique dans la résistance, la valeur de cette dernière ne rentre pas en compte dans la valeur finale de ce bruit. Ce bruit est inversement proportionnel à la valeur de la capacité, un soin particulier devra être pris lors du choix de la valeur des capacités lors de la conception de convertisseur numérique analogique à base de condensateur afin d'éviter que ce bruit n'engendre pas d'erreurs de conversion

## 2.3 Spécificités des CANs pour les détecteurs de vertex

L'intégration d'un CAN au sein des matrices de pixel d'un détecteur de vertex propose de nombreux défis au vue des caractéristiques principales du détecteur qui ont été détaillées dans le premier chapitre. Ces dernières permettent de définir les caractéristiques principales d'un CAN compatible avec ce contexte d'implantation.

### **Facteur de forme**

Les dimensions du CAN représentent le premier (et peut être le plus complexe) défi de cette intégration. En effet au vue du mode de lecture présenté dans le chapitre 1 pour les matrices composant le détecteur de vertex, il faut intégrer un CAN par colonne. La largeur de CAN est donc fixée à 25µm, largeur d'un pixel. De plus afin de ne pas perturber les trajectoires des particules, le budget matière est extrêmement limité pour l'électronique de lecture, la longueur maximum du CAN est de ce fait limitée à 500 µm.

### **Résolution du CAN**

La résolution du CAN dépend directement de la résolution voulue sur la matrice. Les premiers prototypes de l'IPHC étaient à sortie analogique, et la conversion ainsi que le traitement du

signal (CDS et DS) s'effectuaient en dehors du circuit. Une résolution de 12 bits permettait alors d'obtenir une résolution spatiale sur la matrice 1,55  $\mu\text{m}$ . En intégrant le CDS dans le pixel et ainsi qu'un DS en bas de colonne il a été possible définir une nouvelle résolution spatiale en fonction du nombre de bit du CAN comme le montre la table ci-dessous :

Nombre de bits du CAN	12	5	4	3
Résolution spatiale sur la matrice	1.55 $\mu\text{m}$	1.7 $\mu\text{m}$	2 $\mu\text{m}$	2.2 $\mu\text{m}$

Table 2-1 Résolution du CAN contre la résolution spatiale sur la matrice

Dans le cadre du détecteur de vertex, une résolution de 2  $\mu\text{m}$  est suffisante.

### **Dynamique de conversion, valeur du bit de poids faible**

En bas de colonne, après le prétraitement et l'amplification, le niveau du bruit est de l'ordre de 2 à 3 mV. Afin de minimiser l'impact du bruit sur la conversion le LSB doit être au moins deux fois supérieur au niveau du bruit, ce qui reviendrait à un LSB de l'ordre de 4 à 6 mV. De plus le passage d'une particule minimum ionisante (m.i.p.) au travers d'un pixel génère en moyenne 80 paires électrons/trous par  $\mu\text{m}$  (ce qui donne pour une couche épitaxiée de 11  $\mu\text{m}$ , 880 paires électrons trous). Sachant que le pixel siège collecte environ 30% de cette charge [33] et que le facteur de conversion de la diode est de  $50\mu\text{V}/e^-$ , le signal en sortie du pixel siège vaut au maximum 13.2 mV. Multiplié par un amplificateur de gain 5 en bas de colonne le signal à l'entrée du CAN vaut 66 mV. Il est cependant nécessaire de prendre une marge de sécurité afin de palier à toute éventualité concernant le pixel siège, en doublant cette valeur on obtient alors une dynamique de 132 mV. Cette dynamique correspond à un LSB de 8,25 mV pour un CAN de 4 bits de résolution. Cette valeur de LSB est compatible avec le niveau de bruit en bas de colonne.

### **Consommation**

Le faible budget matière du détecteur de vertex empêche toute implantation d'un système de refroidissement complexe. La consommation pour chaque voie du CAN a été limitée à  $500\mu\text{W}$ .

### **Vitesse de conversion**

Le mode de lecture de la matrice appelé « rolling shutter » a été détaillé dans le premier chapitre. Afin de pouvoir distinguer le passage de deux particules successives l'ensemble de la matrice doit être lu en 25  $\mu\text{s}$ . Pour une matrice de 250 lignes cela représente 100 ns par

pixel. Un CAN développé pour des détecteurs de vertex devra donc présenter une vitesse de conversion de 10 Méchantillons/s.

### **Technologie de développement**

La technologie utilisée pour le développement des matrices de pixels à base de MAPS est la technologie AMS 0,35  $\mu\text{m}$ . Ce choix a été motivé par diverses raisons :

- Epaisseur de la couche épitaxiale
- Tolérance aux radiations
- Accessibilité à la technologie (prix, disponibilité...)

La technologie 0,35  $\mu\text{m}$  est une technologie de travail, elle n'est en aucun cas la technologie dans laquelle seront développées les échelles de capteurs du détecteur de vertex. Les capteurs finaux seront développés dans une technologie plus submicronique (0,18  $\mu\text{m}$  ou inférieure)

Les CANs développés devront être fabriqués en technologie AMS 0,35  $\mu\text{m}$  afin de pouvoir être intégrés en bas de colonne de matrice de pixels. Ce choix technologique représente une contrainte supplémentaire en termes de surface pour les CANs. De plus le faible nombre de couche de métallisation disponible (4 couches de métallisation) va compliquer le routage interne du CAN.

Le tableau ci-dessous résume les caractéristiques principales que doit présenter un CAN afin de pouvoir être intégré à des détecteurs à pixel pour la première couche du détecteur de vertex de l'ILC.

<b>Résolution</b>	<b>4 bits</b>
<b>Dynamique de conversion</b>	132 mV
<b>Bit de poids faible</b>	8.25 mV
<b>Vitesse de conversion</b>	10 Méchantillons/s
<b>Dimension</b>	25 $\mu\text{m}$ $\times$ 500 $\mu\text{m}$
<b>Consommation</b>	500 $\mu\text{W}$
<b>Technologie</b>	AMS 0,35 $\mu\text{m}$

**Table 2-2** Caractéristiques d'un CAN pour la première couche du détecteur de vertex de l'ILC

Les caractéristiques présentées dans la table 2-2 doivent être prises dans leur globalité pour bien saisir la difficulté d'intégrer un CAN à une matrice de pixels. En effet la plupart de ces caractéristiques sont interdépendantes. La figure 2-13 représente les cinq paramètres clés d'un CAN pour la première couche du détecteur de vertex de l'ILC : la puissance dissipée, la fréquence de conversion, la dynamique analogique de conversion, la surface et la résolution en bit.

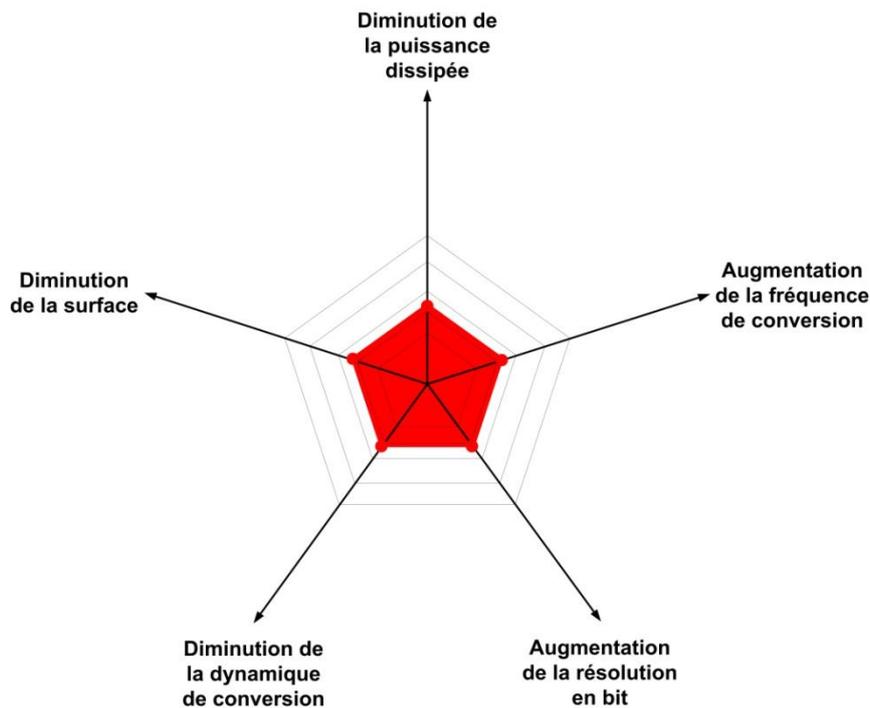


Figure 2-13 Dépendance des différentes caractéristiques d'un CAN

Les performances générales d'un CAN forment un pentagone (en rouge sur la figure 2-13) de surface définie. Il est possible d'améliorer un des cinq critères en déplaçant un des coins du pentagone sur l'axe correspondant, cependant la surface du pentagone elle n'est pas extensible. Chaque déplacement sur un axe entrainera obligatoirement un déplacement contraire sur les autres.

- La puissance dissipée est liée à la vitesse de conversion de part la consommation dynamique des portes logiques (qui est proportionnelle à la fréquence de fonctionnement de ces dernières), mais aussi de part les courants de polarisation des transistors qui influent sur la consommation statique.
- La vitesse de conversion est liée à la dynamique de conversion (et par extension à la valeur du bit de poids faible) à cause du bruit lié à la commutation des portes logiques.
- La dynamique de conversion est liée à la résolution en bit du convertisseur. L'augmentation du nombre de bits d'un convertisseur entraine pour une dynamique de conversion constante une diminution de la valeur du quantum.
- La résolution en bits est liée à la surface occupée par le convertisseur. Une augmentation de la résolution nécessite une augmentation de la surface du convertisseur.

Les interactions présentées ci-dessus sont les liens les plus directs entre les différentes caractéristiques des CANs, cependant, dans une moindre mesure les cinq caractéristiques sont toutes interdépendantes. Cet interdépendance, et surtout le caractère très particulier du cahier des charges de la première couche du détecteur de vertex, interdit tout recours à une solution commerciale, et nécessite le développement d'un prototype spécifiquement dédié à cette application.

## 2.4 Etat de l'art des CANs

On peut définir cinq grandes familles de convertisseurs analogiques numériques, présentant chacune une philosophie de fonctionnement particulière :

- CAN Flash (et semi flash)
- CAN Sigma Delta
- CAN Pipeline
- CAN à Approximation successive (SAR)
- CAN Wilkinson

### 2.4.1 Architecture Flash

Aussi appelé Convertisseur analogique numérique parallèle [39][40][41][42]. Il est constitué d'une série de comparateurs, chacun d'eux comparant son signal d'entrée à une tension unique de référence. Les sorties des comparateurs sont connectées à un encodeur de priorité, celui-ci renvoie une combinaison binaire image de la tension d'entrée  $V_{in}$ . La figure 2-14 montre un CAN flash 3 bits :

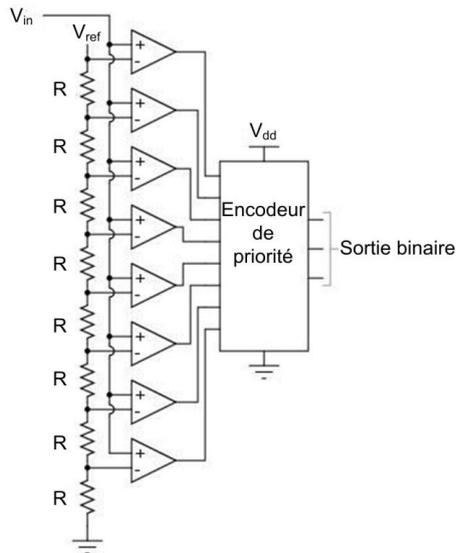


Figure 2-14 Architecture CAN Flash 3 bits à échelle de résistance

Dès que la tension d'entrée analogique ( $V_{in}$ ) dépasse la tension de référence ( $V_{ref}$ ) de chaque comparateur, les sorties des comparateurs vont passer à un état haut de manière séquentielle. Plus la valeur de  $V_{in}$  est proche de  $V_{ref}$  plus le nombre de 1 logique délivré par les comparateurs sera élevé. L'encodeur génère alors un code binaire basé sur la combinaison renvoyée par les comparateurs. Ce type de CAN nécessite l'intégration de  $2^N - 1$  (avec  $N$  le nombre de bit du convertisseur) comparateurs. L'architecture flash permet la mise en œuvre de CAN rapide mais présentant une dissipation de puissance élevée.

### 2.4.2 Architecture semi flash

Cette architecture est une architecture dérivée de l'architecture flash [43][44]. Le principe est d'effectuer deux conversions flash successives. Une première opération va convertir la tension d'entrée  $V_{in}$  sur  $N_1$  bits déterminant ainsi les bits de poids fort. Ensuite un CNA va permettre de soustraire le résultat analogique de cette conversion à la tension à convertir  $V_{in}$ . Un second CAN flash s'occupe ensuite de convertir les bits de poids faible sur  $N_2$  bits. La figure 2-15 présente un CAN semi flash  $N$  bit (ou  $N = N_1 + N_2$ ).

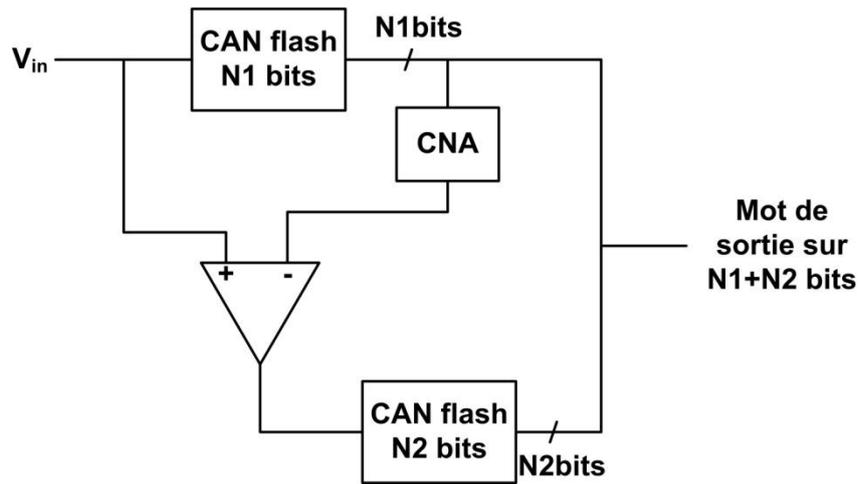


Figure 2-15 Architecture semi Flash

Pour une conversion sur N bits, cette architecture ne nécessite que  $2^{N_1} + 2^{N_2} - 2$  comparateurs (avec  $N = N_1 + N_2$ ), mais en contre partie la conversion est deux fois plus lente.

### 2.4.3 Architecture Pipeline

Cette architecture consiste en une succession de différents étages [45][46][47]. Chacun des étages contient : un circuit track/hold (T/H), un ADC à faible résolution, un convertisseur analogique numérique, un circuit sommateur et un amplificateur.

A chaque coup d'horloge, le convertisseur effectue n conversions en parallèle. Chaque conversion est dédiée à une partie du code binaire. En traversant le convertisseur (en n clocks), la tension d'entrée est convertie en commençant par les bits de poids fort et finissant par les bits de poids faible. Le schéma du convertisseur pour une architecture à k bits par étage sur trois étages est présenté sur la figure 2-16.

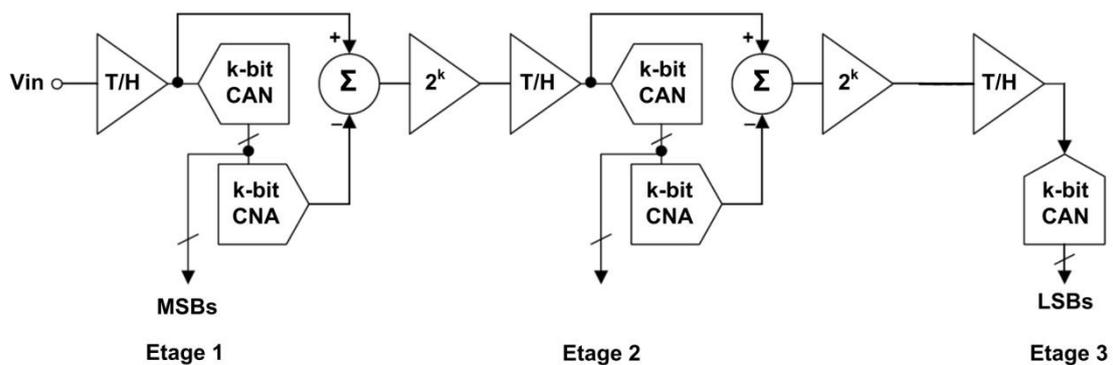


Figure 2-16 Architecture pipeline

A chaque front d'horloge, on effectue 3 conversions en parallèle au travers de chaque étage. Chaque conversion correspond à une partie du code binaire.

Etage 1 : MSB de l'entrée correspondant à l'instant [n]

Etage 2 : Bits intermédiaires de l'entrée correspondant à l'instant [n-1]

Etage 3 : LSB de l'entrée correspondant à l'instant [n-2]

A la fin de chaque étape, on calcule le résidu de la conversion partielle, ce résidu est ensuite ramené à pleine échelle par une multiplication. Ce convertisseur possède un temps de latence en raison de la propagation de l'entrée dans les cellules (ici trois coups d'horloge).

Une fois le convertisseur « chargé », une nouvelle conversion est effectuée à chaque coup d'horloge.

### 2.4.4 Architecture Sigma-Delta

Dans cette architecture [48][49][50], l'entrée du signal analogique est connectée à un intégrateur qui produit une rampe analogique. Cette rampe est ensuite connectée à l'entrée d'un comparateur. Le comparateur produit alors un état logique en sortie (« haut » ou « bas ») suivant que le signal à son entrée est positif ou négatif. La sortie du comparateur est ensuite mémorisée à l'aide d'une bascule D séquencée à l'aide d'une horloge dont la fréquence est nettement supérieure à celle du signal. La sortie de la bascule est renvoyée sur le premier intégrateur par l'intermédiaire d'un nouveau comparateur. Le détail de cette architecture est présenté sur la figure 2-17.

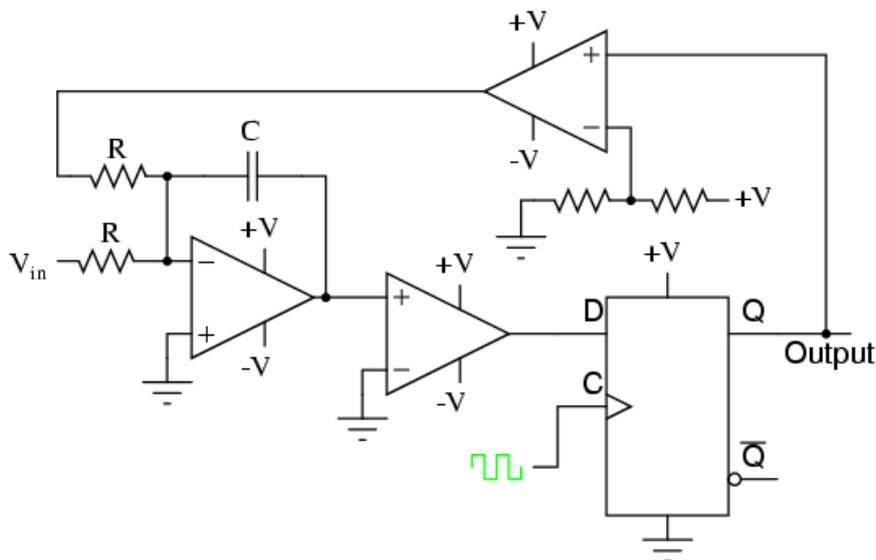


Figure 2-17 Architecture Sigma Delta

Le circuit se comporte comme un convertisseur 1bit, à chaque bit converti on réinjecte le bit de sortie que l'on somme avec le signal analogique d'entrée, effectuant ainsi une correction sur celui-ci, la précision de la mesure augmente d'elle-même avec le temps de conversion.

Les avantages de cette structure sont multiples : elle dissipe peu de puissance et elle a un très bon rapport signal à bruit, cependant sa fréquence de fonctionnement assez lente moyennant sa fréquence d'horloge.

### 2.4.5 Architecture Wilkinson

Le schéma de l'architecture d'un CAN Wilkinson [51][52][53] est présenté sur la figure 2-18 ainsi que le chronogramme d'une conversion. Cette architecture a été particulièrement appréciée dans les années soixante dix pour sa grande précision et sa consommation réduite. Cependant, de nos jours les applications évoluant, l'architecture SAR que nous détaillerons dans une prochaine partie l'a très largement remplacé. L'architecture Wilkinson reste cependant appréciée dans le domaine de la spectroscopie pour sa monotonicité garantie ainsi que la faible valeur de son erreur de DNL.

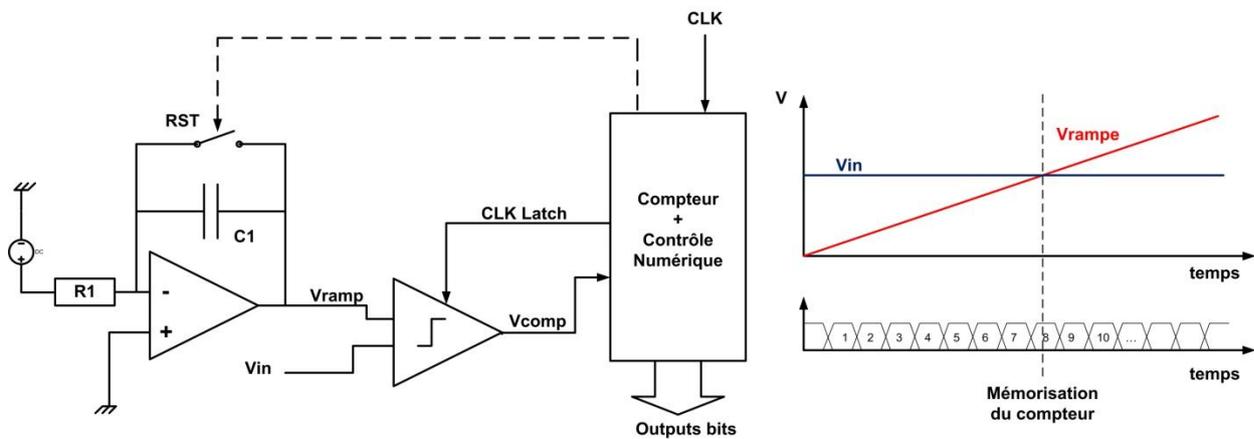


Figure 2-18 Architecture Wilkinson classique

Une rampe analogique couvrant toute la dynamique de conversion est générée de manière synchrone à un compteur. La valeur de cette rampe est comparée à chaque incrémentation du compteur au signal à convertir. Une fois que cette dernière devient inférieure à la valeur de la rampe le comparateur bascule et arrête le compteur. La valeur du compteur représente directement le code de sortie. C'est la résolution du compteur qui détermine le nombre de bit du convertisseur.

### 2.4.6 Architecture à approximation successive (SAR)

Le principe de l'architecture SAR [54][55][56][57] est de tester successivement chaque bit en partant du bit de poids fort comme l'explique la figure 2-19.

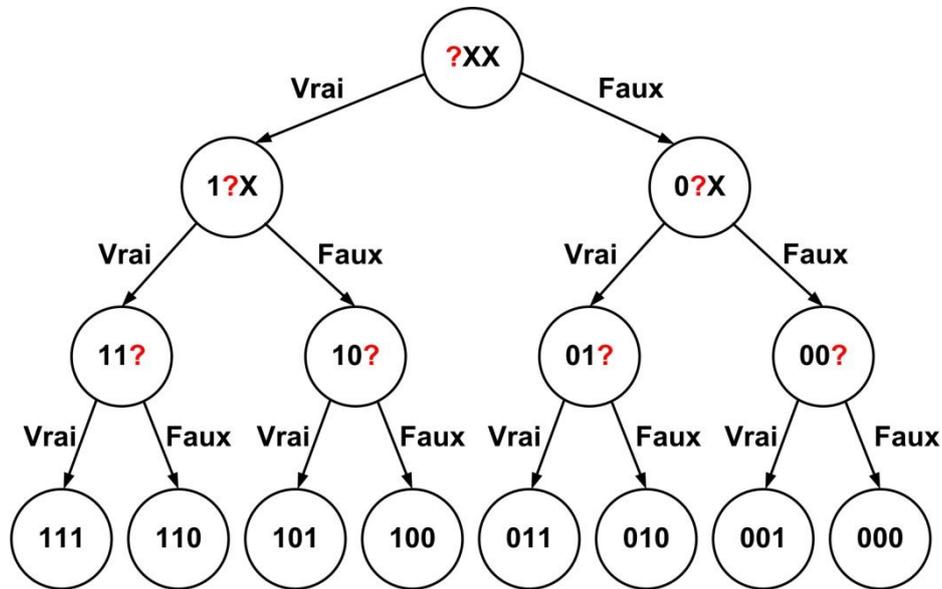


Figure 2-19 Concept de conversion d'un CAN SAR 3 bits

Pour réaliser ces opérations, le convertisseur est composé d'un CNA du même nombre de bit que sa résolution, d'un comparateur et d'un registre à approximation successive permettant l'analyse du résultat du test et le contrôle du CNA. La figure 2-20 présente le détail de l'architecture du CAN SAR ainsi qu'un chronogramme de conversion.

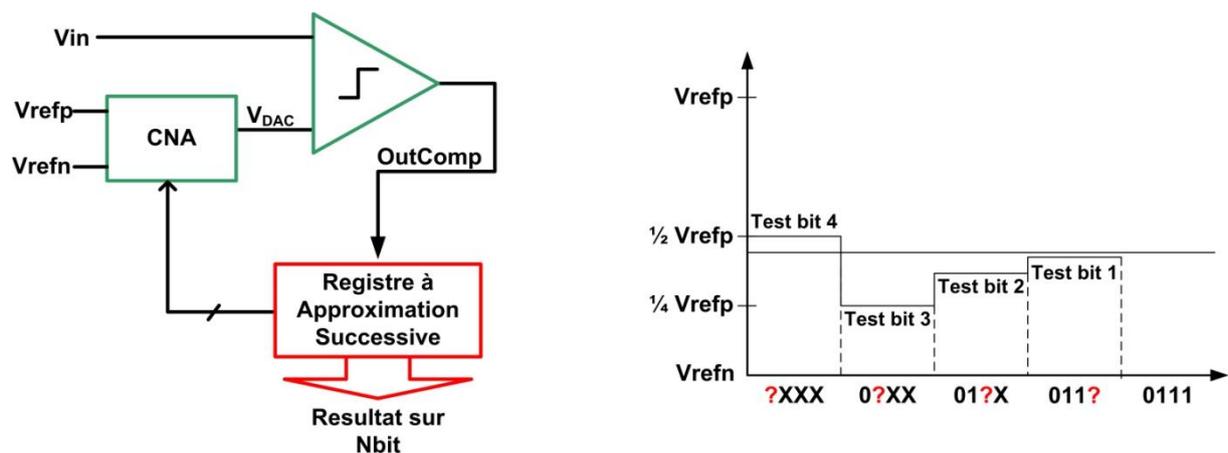


Figure 2-20 Détail de l'architecture d'un CAN SAR et chronogramme d'une conversion sur 4 bits

Dans un premier temps le registre à approximation successive va fixer la valeur de sortie du CNA à la moitié de la dynamique de conversion. Cette valeur va être comparée à  $V_{in}$ . Le résultat de cette comparaison va définir le bit de poids fort suivant que le signal d'entrée est supérieur (bit de poids fort à « 1 ») ou inférieur (bit de poids fort à « 0 »). Suivant le résultat de cette comparaison, le registre à approximation successive va fixer la valeur de sortie du CNA à  $\frac{1}{4} V_{refp}$  ou  $\frac{3}{4} V_{refp}$ . Petit à petit en utilisant la dichotomie, il va se rapprocher de la valeur de  $V_{in}$ . Cette architecture nécessite une comparaison pour chaque bit.

### 2.4.7 Comparaison entre les différentes architectures

Les convertisseurs analogiques numériques ayant occupé dès leur apparition dans les années cinquante une place prépondérante dans le développement de système électronique complexe, plusieurs articles se sont proposés de confronter leurs performances [58][59]. La dernière en date a proposé deux formules afin de pouvoir effectuer des comparaisons entre les architectures [60] :

$$P = 2^B \times f_s \quad (2-20)$$

$$F = \frac{2^B \times f_s}{P_{diss}} \quad (2-21)$$

où B représente le nombre de bit du convertisseur,  $f_s$  la fréquence de conversion, et  $P_{diss}$  la puissance dissipée.

Ces deux relations ont permis de tracer les deux graphiques présentés sur la figure 2-21.

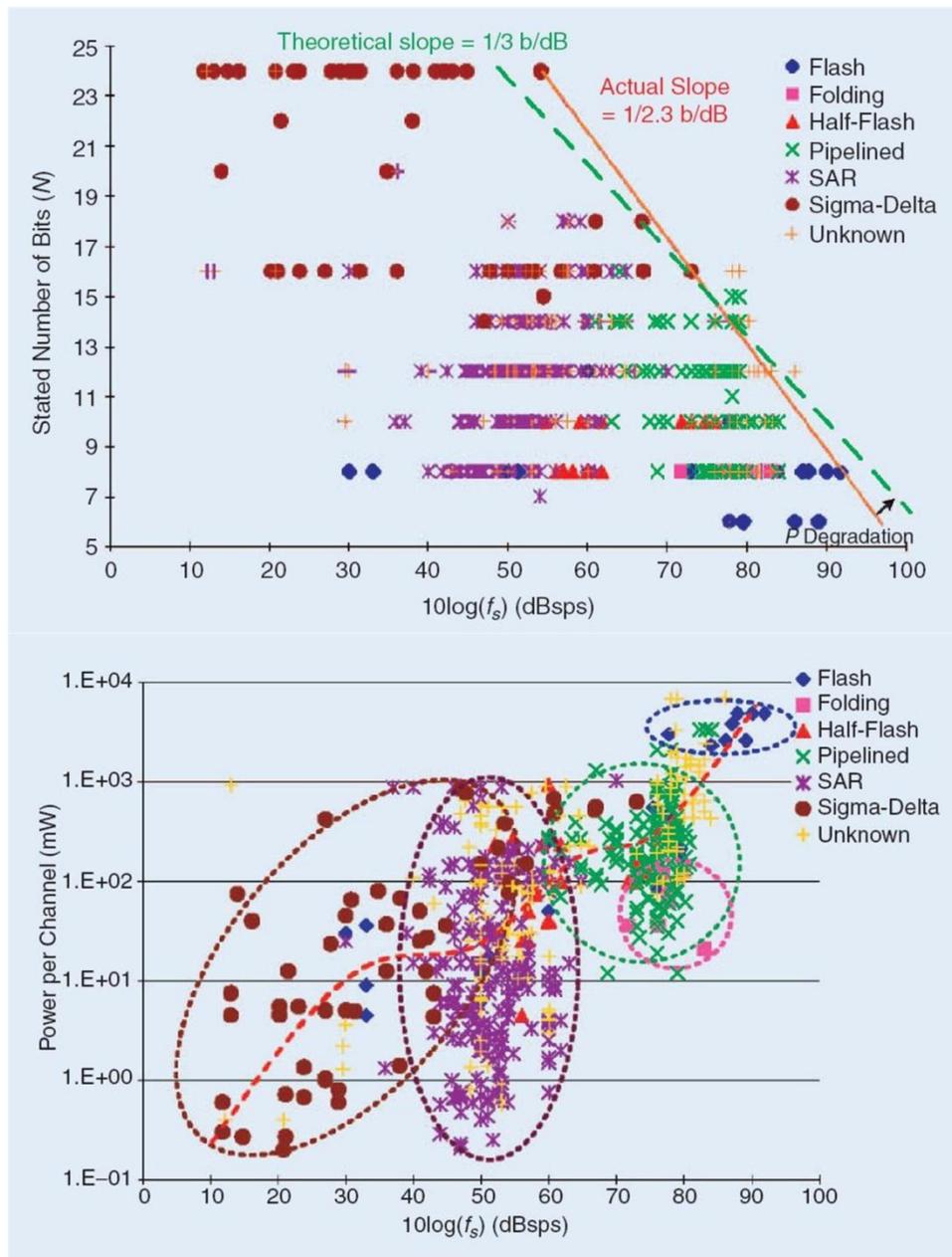


Figure 2-21 Expression de la puissance dissipée et de la résolution de convertisseur en fonction de la vitesse de conversion

En observant les deux graphiques tirés des expressions P et F, il est assez évident que chacune des cinq architectures occupe une place particulière dans les spécifications des CANs. L'architecture Flash présente des CANs rapides, présentant une faible résolution, mais très dissipatifs. A l'inverse l'architecture sigma delta bien que très lente offre une résolution élevée pour une très faible dissipation de puissance. Les architectures pipeline, SAR et semi flash sont plus intermédiaires, bien que l'architecture SAR penche plutôt du côté de l'architecture sigma-delta alors que les architectures pipeline et semi flash, se rapprochent plus des performances d'un CAN flash.

Il est aussi intéressant de remarquer que plus un CAN présente une forte vitesse de conversion, plus il va avoir une importante dissipation en puissance et moins sa résolution sera élevée. Tout cela confirme le fait qu'il est impossible de développer un CAN universel pouvant être intégré dans n'importe quelle application. Le cahier des charges du détecteur de vertex requiert un CAN rapide et peu dissipatif mais surtout avec un facteur de forme extrêmement particulier.

La plupart des CANs développés pour une intégration en bas de colonne de matrice de pixels visent des applications dans le domaine de l'imagerie du spectre du visible et donc une vitesse de lecture sensiblement plus basse pour une consommation beaucoup plus élevée et une résolution, elle aussi, plus haute. Des détails sur certains de ces prototypes peuvent être trouvés à [61] [62] [63]. Leurs caractéristiques sont adaptées à des tailles de pixel inférieures à 10  $\mu\text{m}$  et surtout à des vitesses de fonctionnement inférieures au Méchantillonnage/s. Ces CANs adaptés au spectre du visible ne peuvent être utilisés pour une intégration dans le cadre d'un détecteur de vertex destiné à la physique des hautes énergies. Il faut trouver de nouvelles architectures originales afin de pallier au vide existant dans l'état de l'art.

### 2.4.8 Choix des architectures développées

Dans le cadre du développement de CAN pour le détecteur de vertex de l'ILC à base de MAPS, trois équipes, parallèlement au travail développé à l'IPHC et présenté dans cette thèse, travaillent à la réalisation de CAN spécifique.

- Le Laboratoire de Physique Subatomique et de Cosmologie de Grenoble (LPSC) a développé un CAN en utilisant l'architecture pipeline.
- Le Laboratoire de Physique Corpusculaire de Clermont Ferrand (LPC) a développé un CAN en utilisant l'architecture Flash.
- Le Dapnia a choisi de travailler sur une architecture SAR.

Afin de compléter cette étude et de pouvoir sélectionner l'architecture la plus performante pour développer un prototype à base d'une matrice de pixels intégrant un CAN en bas de chaque colonne, l'équipe capteur CMOS de l'IPHC a décidé de développer des CANs répondant aux spécifications d'un détecteur de vertex.

Le choix du CAN s'est porté sur deux architectures proches :

- Un prototype à double rampes numériques s'inspirant l'architecture Wilkinson
- Un prototype à approximation successive (SAR)

A partir de l'expérience tirée de la caractérisation de ces deux circuits, un nouveau prototype a vu le jour sous le nom de CAN à résolution variable.

Le point commun de ces trois architectures, et par là même la motivation du choix de ces architectures, peut se concentrer en un seul mot : « simplicité ».

En effet ces trois architectures de part leur faible nombre de composants élémentaires (un comparateur, un CNA et un bloc numérique de contrôle) présentent une forte robustesse. Cet aspect, lors du choix des architectures, est apparu comme le point le plus important pour réussir à répondre aux exigences du détecteur de vertex : faible consommation, facteur de forme particulier, vitesse de conversion élevée.

## 2.5 Conclusion

Il a été mis en évidence les caractéristiques particulières nécessaires à un convertisseur analogique numérique répondant aux spécifications d'un détecteur de vertex à base de pixel CMOS pour la trajectométrie dans le domaine de la physique des particules. Les différents types d'erreurs présentes dans les CANs ont été détaillés. Un bref état de l'art a permis de mettre en évidence le manque d'architectures performantes répondant aux exigences d'un détecteur de vertex, et justifie le développement d'architectures spécifiques pour ce type d'application. Le prochain chapitre se propose de présenter en détail la conception de trois prototypes de convertisseur se rapprochant des spécifications de cette application. Des architectures innovantes ont été mises en œuvre étant donné que les architectures classiques ne permettent pas de satisfaire le cahier des charges présenté au début de ce chapitre.

## Chapitre 3

# Architectures de CANs pour la première couche du détecteur de vertex de l'ILC

### Introduction

Le chapitre précédent a présenté les différentes caractéristiques clefs des convertisseurs analogiques numériques. Les spécifications requises par l'application du détecteur de vertex à base de MAPS pour l'ILC imposent la recherche d'architectures originales et innovantes à la bordure de l'état de l'art des CANs. Trois CANs ont été développés en essayant de se rapprocher au maximum de ces spécifications. Chacune de ces architectures a permis d'explorer un chemin différent afin de pouvoir mettre en relief les difficultés particulières d'une telle application et les solutions possibles pour les contourner. La première architecture découle de l'architecture classique Wilkinson et de l'architecture SAR, la deuxième reprend l'architecture classique d'un convertisseur à registre à approximation successive (SAR) et la troisième architecture est une architecture de CAN à résolution non linéaire. Ces trois architectures sont présentées dans l'ordre chronologique de leurs développements.

### 3.1 CAN à double rampe numérique

L'état de l'art des CANs présente une carence concernant les critères requis non pas spécifiquement mais dans leur globalité (et notamment l'encombrement particulier des CANs

intégrés aux matrices de pixel). Le premier prototype de CAN présenté s'inspire de l'architecture Wilkinson et de l'architecture SAR présentées dans le chapitre précédent.

### 3.1.1 Problématique du CAN Wilkinson

L'architecture Wilkinson bien qu'étant particulièrement précise est aussi limitée en vitesse de conversion. Le nombre de bit du CAN est défini par le compteur implémenté dans le circuit. A chaque incrémentation du compteur correspond une comparaison entre la rampe analogique et la tension à convertir. Pour un convertisseur N bit, il faudra effectuer  $2^N$  comparaison. Ainsi pour un CAN 4 bits il faudra effectuer 16 comparaisons en 100 ns. Ceci correspond à une comparaison toutes les 5 ns environ, soit un compteur fonctionnant à 200 MHz. De plus, les performances du convertisseur sont directement dépendantes des performances du générateur de rampe analogique. Une extrême précision sur la rampe générée est nécessaire pour ne pas perturber le résultat de la conversion. Pour ce faire le générateur de rampe des CANs Wilkinson gagne en complexité en intégrant une source de courant cascodée [64] et des amplificateurs opérationnels [65].

Les dimensions du CAN développé pour la première couche des détecteurs de vertex ne permettent pas l'intégration de système analogique complexe. C'est pourquoi une architecture alternative a été développée sous le nom de CAN à double rampe numérique.

### 3.1.2 Principe de conversion de l'architecture à double rampe numérique

Le principe de fonctionnement de l'architecture double rampe (ainsi qu'un chronogramme de conversion) est présenté sur la figure 3-1.

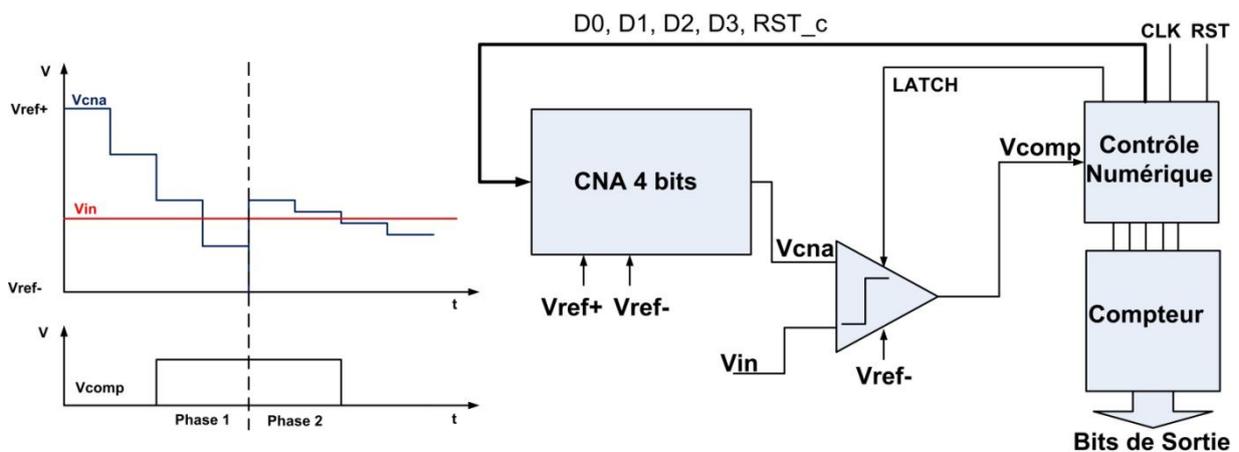


Figure 3-1 Synoptique et chronogramme du CAN double rampes

Le CAN double rampe utilise une première rampe « large » afin de quantifier les bits de poids fort, puis une deuxième rampe « fine » afin de définir les bits de poids faible. Le générateur de rampe analogique a été remplacé par un convertisseur numérique analogique à capacité pondérée. Comme dans une architecture Wilkinson classique un comparateur, un compteur et un bloc de contrôle numérique composent le reste du circuit.

La conversion s'effectue en deux phases. Lors d'une première phase un compteur 2 bits démarre simultanément à une rampe numérique générée par le CNA 4 bits. Cette rampe possède comme dynamique l'intégralité de la dynamique du CAN. Dès que la valeur  $V_{\text{cna}}$  devient inférieure à la valeur  $V_{\text{in}}$  à convertir, le comparateur bascule fixant les deux bits de poids fort. Dans une deuxième phase, une rampe numérique générée par le CNA et de dynamique  $\frac{1}{4} V_{\text{ref}}$  démarre de manière synchronisée avec un compteur 2 bits. Dès que la valeur  $V_{\text{cna}}$  devient inférieure à la valeur  $V_{\text{in}}$  à convertir la sortie du comparateur bascule et la valeur du compteur est mémorisée donnant ainsi les deux bits de poids faible.

Cette architecture ne nécessite que 8 incrémentations du compteur contre 16 pour une architecture Wilkinson classique 4 bits. Cette technique peut être étendue à un convertisseur n-bit. En divisant la conversion en deux conversions de  $n/2$  bits, présentant pour la première une conversion sur l'ensemble de la dynamique et pour la seconde une conversion sur un palier de la première. Il est alors possible de calculer un algorithme représentant le gain en coups d'horloge par rapport à une structure Wilkinson classique. Ce gain est de  $2^{\left(\frac{n}{2}-1\right)}$  coups d'horloge par rapport à une structure Wilkinson classique.

### 3.1.3 Architecture de CNA à capacités pondérées

#### 3.1.3.1 Principe de fonctionnement

L'architecture retenue pour le CNA est une architecture à capacités pondérées, elle présente un très bon compromis surface-consommation-linéarité comparée aux autres architectures concurrentes [66][67].

La figure 3-2 présente l'architecture du CNA en détail, ce dernier est composé de 16 condensateurs polysilicium-polysilicium (C) d'une valeur unitaire de 200 fF, connectés à un réseau de commutateur.

Le choix de la valeur des condensateurs s'est fondé sur deux critères : le bruit de quantification et le bruit thermique. Le bruit de quantification a été défini dans le chapitre 2 et vaut pour l'application du détecteur de vertex :

$$\frac{LSB}{\sqrt{12}} = 2,23 \text{ mV} \quad (3-1)$$

La valeur rms (root mean square) du bruit thermique vaut, pour un condensateur de 200 fF :

$$\sqrt{\frac{kT}{C}} = 193 \text{ } \mu\text{V} \quad (3-2)$$

où k représente la constante de Boltzmann et T la température en degrés kelvin.

Un facteur 10 sépare le bruit de quantification du bruit thermique des condensateurs. Cela permet de garantir une bonne stabilité du code de sortie vis-à-vis du bruit thermique. Cela permet aussi d'assurer la linéarité du CNA en minimisant l'impact des dispersions de processus de fabrication.

Une fois l'ensemble des condensateurs initialisés grâce au signal rst\_dac, la valeur  $V_{s\_dac}$  est égale à  $V_{ref\_m}$ . Durant la conversion les quatre codes numériques C3 à C0 générés par le bloc de contrôle numérique permettent le basculement des commutateurs. L'échelle de condensateur se comporte alors comme un pont diviseur capacitif réglable. En fonction du code numérique en entrée, la valeur de sortie se situera entre  $V_{ref\_m}$  et  $V_{ref\_p}$ .

$$V_{sdac} = V_{ref\_m} + (V_{ref\_p} - V_{ref\_m}) \cdot \left[ \frac{C3}{2} + \frac{C2}{4} + \frac{C1}{8} + \frac{C0}{16} \right] \quad (3-3)$$

$$LSB = \frac{(V_{ref\_p} - V_{ref\_m})}{16} \quad (3-4)$$

En définissant  $V_{ref\_m} = 1.5 \text{ V}$  et  $V_{ref\_p} = 1.625 \text{ V}$ , la dynamique de conversion du CAN est alors de 125 mV avec un bit de poids faible de 7,8 mV. Chaque palier est maintenu pendant 10 ns ce qui permet avec l'étape d'initialisation d'effectuer une conversion en 100 ns.

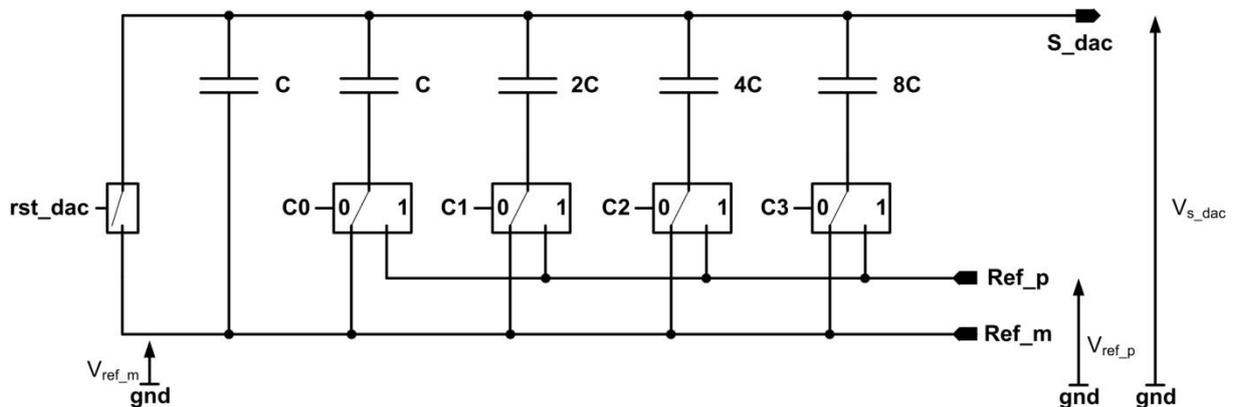


Figure 3-2 Architecture du CNA à capacités pondérées

### 3.1.3.2 Simulation

Une simulation temporelle à l'aide du logiciel Cadence Spectre a permis de déterminer les performances du CNA. Durant cette simulation la fonction de transfert du CAN a été simulée deux fois, une première fois à l'aide d'une vue « schematic » ne comportant aucun élément parasite, puis à l'aide d'une vue dont les capacités parasites ont été extraites, permettant de se rapprocher de la fonction de transfert réelle. Le CNA a été incrémenté toutes les 10 ns ce qui représente une vitesse de conversion de 62,5 MHz. De plus la sortie du CNA a été connectée à un condensateur d'une valeur de 20 fF afin de simuler la charge du comparateur sur le CNA comme dans le CAN complet. La différence de valeur entre ces deux fonctions de transfert a ensuite été calculée et est présentée dans le tableau 3-1.

Code	0	1	2	3	4	5	6	7
$V_{s\_dac}$ idéale (mV)	0	7,81	15,63	23,44	31,25	39,06	46,88	54,69
$V_{s\_dac}$ simulée (mV)	-0,28	7,42	15,12	22,82	30,53	38,23	45,93	53,63
Erreur (LSB)	0,04	0,05	0,07	0,08	0,09	0,11	0,12	0,14
$\sigma$ (LSB)	0,01	0,01	0,012	0,014	0,017	0,019	0,021	0,024

Code	8	9	10	11	12	13	14	15
$V_{s\_dac}$ idéale (mV)	62,5	70,31	78,13	85,94	93,75	101,56	109,38	117,89
$V_{s\_dac}$ simulée (mV)	61,33	69,02	76,73	84,43	92,14	99,83	107,54	115,24
Erreur (LSB)	0,15	0,17	0,18	0,19	0,21	0,22	0,24	0,25
$\sigma$ (LSB)	0,026	0,029	0,031	0,034	0,036	0,039	0,042	0,044

Table 3-1 Résultats de simulation du CNA à capacités pondérées

On constate une erreur moyenne maximum de 0,25 LSB pour le code d'entrée 15. Cette erreur est principalement due au dessin physique des masques du CNA. En effet de part son facteur de forme particulier le CNA peut être assimilé à un rectangle seize fois plus long que large (25  $\mu\text{m}$   $\times$  400  $\mu\text{m}$ ). Certaines pistes comme par exemple la piste de sortie S\_dac parcourant toute la hauteur du CNA, sont de ce fait sujets à de fortes capacités parasites (de l'ordre de la centaine de fF). Le nombre réduit de couches de métaux disponibles dans la technologie utilisée empêche toute la mise en œuvre de solution au niveau du dessin des masques.

Une simulation de type « Monte-Carlo » a permis l'évaluation de la fluctuation des valeurs des condensateurs liée au processus de fabrication de circuit CMOS en technologie AMS 0.35  $\mu\text{m}$ . Cette dernière présente une valeur maximale de 0,024 LSB. L'erreur maximale présente

en simulation sur le CNA peut donc être définie comme valant  $0,25 \pm 0,044$  LSB. Cette erreur entrainera très probablement une erreur de gain sur le prototype du CAN à double rampe.

Le dessin des masques a subi un soin tout particulier en isolant les pistes véhiculant les signaux analogiques des pistes véhiculant les signaux numériques au moyen d'une couche de métallisation intermédiaire reliée à la masse. Cela permet d'éviter tout couplage capacitif entre les pistes analogiques et numériques.

### 3.1.4 Architecture du comparateur

Le comparateur est le seul élément qui se retrouve dans l'intégralité des différents types de CAN. De ce fait plusieurs architectures de comparateur ont été développées afin de s'adapter aux spécifications des différentes architectures de CAN.

Un comparateur est un composant qui pour une différence de tension donnée entre ses deux entrées va fournir une tension logique égale à « 1 » ou « 0 ». A sa fonction de transfert théorique d'un comparateur s'ajoute un offset statique ainsi qu'une vitesse de basculement finie comme le montre la figure 3-3.

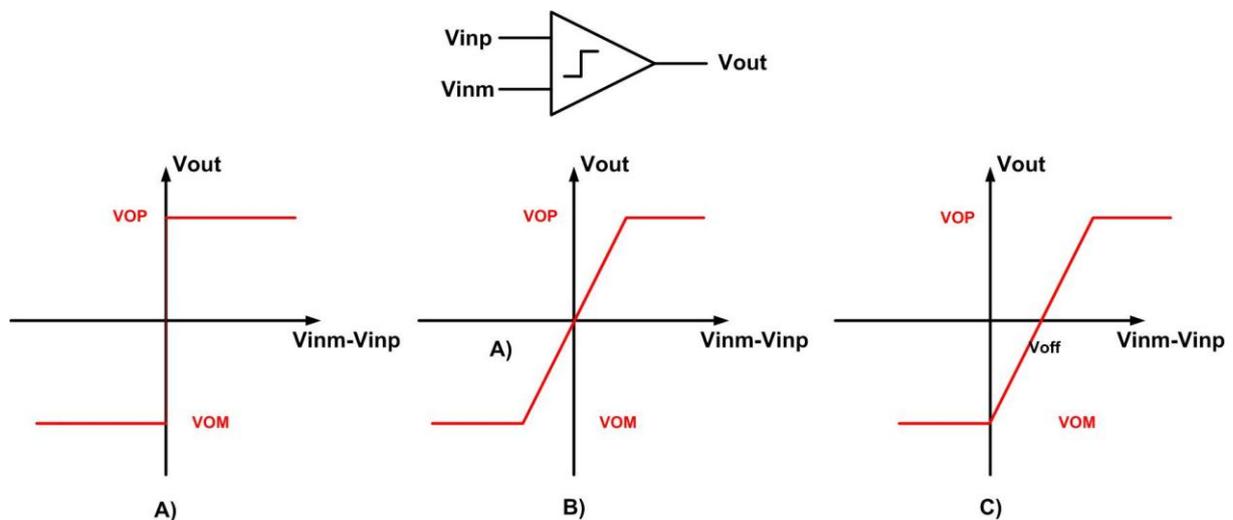


Figure 3-3 A) Fonction de transfert d'un comparateur idéal, B) Fonction de transfert d'un comparateur à gain fini, C) Fonction de transfert d'un comparateur à gain fini présentant un offset statique

De la même manière que les CANs les différentes architectures de comparateur sont plus ou moins performantes pour ce qui est de la vitesse de basculement, de l'offset ou de la consommation. Il convient alors de trouver l'architecture la plus adéquate aux spécifications du circuit dans lequel sera implanté le comparateur.

Les architectures les plus courantes sont les comparateurs unipolaires « autos zéro », les comparateurs différentiels, les comparateurs à base de trigger de Schmitt ou encore les comparateurs différentiels. Des informations très détaillées sur ces architectures peuvent être trouvées en [68].

Pour le CAN à double rampe qui est présenté le choix du comparateur s'est porté sur une structure de comparateur différentiel synchrone dont le principe est présenté sur la figure 3-4.

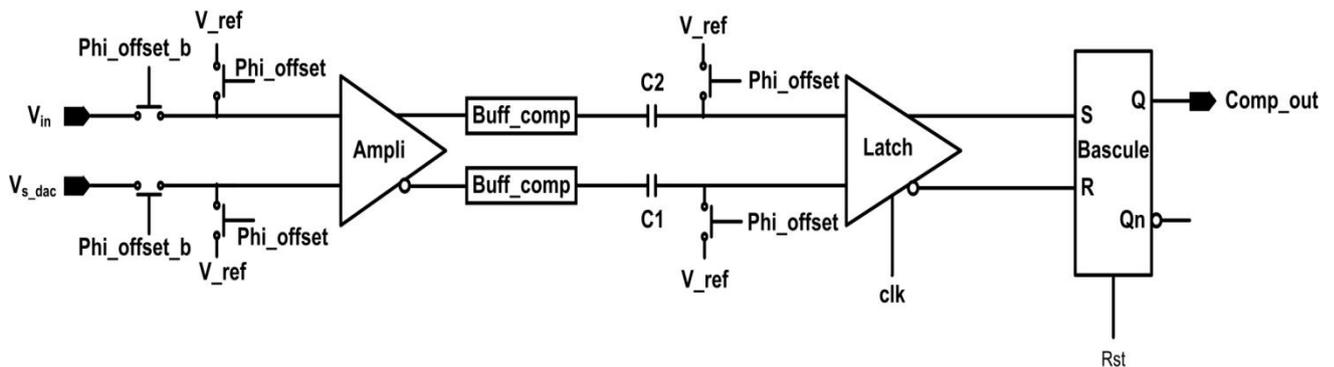


Figure 3-4 Schéma du comparateur synchrone

Cette architecture bien souvent utilisée pour sa précision présente l'avantage de minimiser les effets d'erreur liés au « clock kickback » ainsi que de réduire le bruit en  $1/f$  et le bruit d'alimentation. Le comparateur est constitué de deux étages d'amplification (noté Ampli et Buff\_comp), d'un système de compensation d'offset constitué de commutateur et des condensateurs C1 et C2, d'un étage de comparateur commuté (noté Latch) ainsi qu'une bascule permettant de mémoriser l'état de sortie du comparateur commuté. Le choix de l'architecture de compensation de l'offset s'est porté sur une architecture compensant l'offset en sortie de l'étage de gain. Cette technique permet en théorie de supprimer l'offset lié à l'étage d'amplification pour ne conserver que l'offset de l'étage de comparaison [69].

#### 3.1.4.1 Etage d'amplification

Les deux étages d'amplification ont pour but de désensibiliser les signaux d'entrée  $V_{in}$  et  $V_{s\_dac}$  aux perturbations induites par les basculements du comparateur commutés ainsi que de réduire l'offset du comparateur [70] [72].

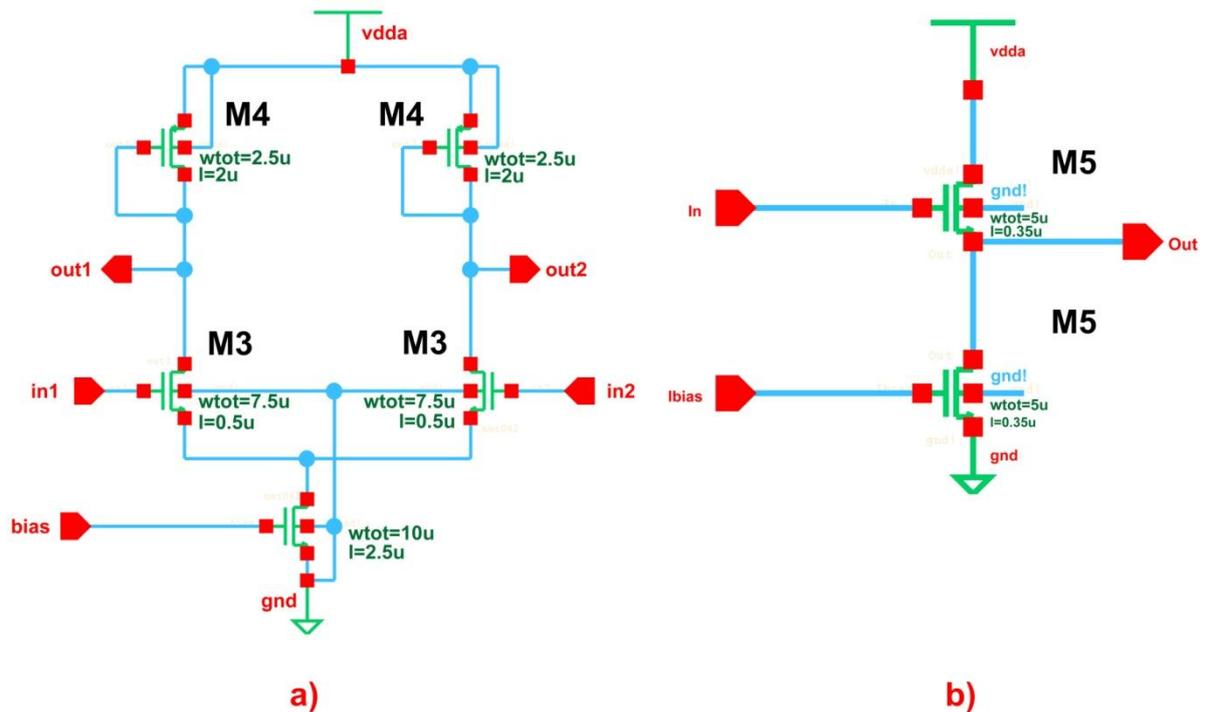


Figure 3-5 Détail de l'architecture des étages amplificateurs

L'architecture retenue pour le bloc principal d'amplification (noté Ampli sur la figure 3-4 et a sur la figure 3-5) est une architecture d'amplificateur différentiel simple. Cette architecture présente le grand avantage d'être simple, donc peu dissipative et peu encombrante, tout en assurant un gain intéressant.

Le gain différentiel de cet étage peut se calculer à partir de l'étude petit signaux du circuit (représenté sur la figure 3-6).

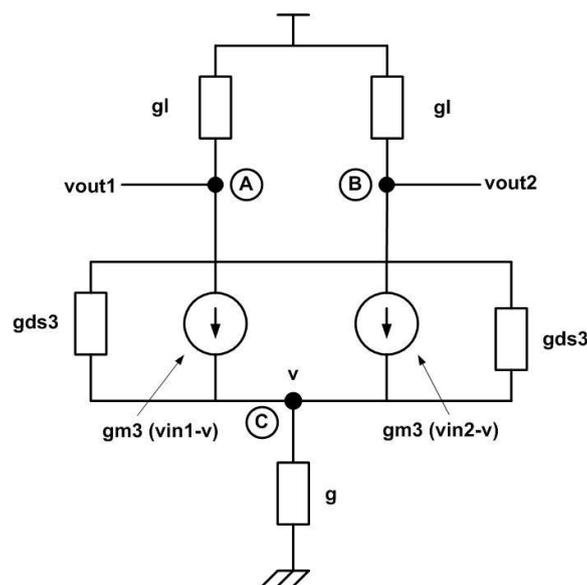


Figure 3-6 modèle petit signaux de l'étage amplificateur

avec  $g_l = g_{m4} + g_{ds4} + g_{b4}$

En appliquant la loi des nœuds en A et B il est possible d'écrire :

$$v_{out1}g_l + (v_{out1} - v)g_{ds3} + g_{m3}(v_{in1} - v) = 0 \quad (3-6)$$

$$v_{out2}g_l + (v_{out2} - v)g_{ds3} + g_{m3}(v_{in2} - v) = 0 \quad (3-7)$$

De même la loi des nœuds au point C permet d'écrire :

$$(v - v_{out1})g_{ds3} - g_{m3}(v_{in1} - v) + (v - v_{out2})g_{ds3} - (v_{in2} - v)g_{m3} = 0 \quad (3-8)$$

En regroupant ces trois équations il est possible de calculer  $v_{out1}$  et  $v_{out2}$  :

$$v_{out1} = -\frac{g_l g_{m3}(g_{ds3} + g_{m3})(v_{in1} - v_{in2}) + g g_{m3}(g_l + g_{ds3})v_{in1}}{(g_l + g_{ds3})[2g_l(g_{ds3} + g_{m3}) + g(g_l + g_{ds3})]} \quad (3-9)$$

$$v_{out2} = -\frac{g_l g_{m3}(g_{ds3} + g_{m3})(v_{in2} - v_{in1}) + g g_{m3}(g_l + g_{ds3})v_{in2}}{(g_l + g_{ds3})[2g_l(g_{ds3} + g_{m3}) + g(g_l + g_{ds3})]} \quad (3-10)$$

Le gain différentiel vaut :

$$A = \frac{v_{out1} - v_{out2}}{v_{in1} - v_{in2}} \quad (3-11)$$

$$A = -\frac{2g_l g_{m3}(g_{ds3} + g_{m3}) + g g_{m3}(g_l + g_{ds3})}{(g_l + g_{ds3})[2g_l(g_{ds3} + g_{m3}) + g(g_l + g_{ds3})]} \quad (3-12)$$

avec  $g = 0$  et  $g_l \gg g_{ds3}$ , il vient alors :

$$A \approx -\frac{g_{m3}}{g_{m4} + g_{ds4} + g_{b4}} \quad (3-13)$$

avec  $g_{m4} \gg g_{ds4} + g_{b4}$  on peut enfin définir le gain comme :

$$A \approx -\frac{g_{m3}}{g_{m4}} \quad (3-14)$$

$$A \approx -\sqrt{\frac{\mu_n(W/L)_3}{\mu_p(W/L)_4}} \quad (3-15)$$

L'étage nécessite un courant de polarisation de  $50 \mu\text{A}$ , ce qui représente une consommation de  $165 \mu\text{W}$  pour une alimentation de  $3,3 \text{ V}$ . L'amplificateur différentiel présente un gain de 6. Deux étages à deux transistors connectés en suiveurs (noté Buff\_comp sur la figure 3-4 et b sur la figure 3-5) complètent l'amplification du bloc. Cet étage est nécessaire afin d'adapter l'étage de gain aux capacités de stockage de l'offset.

Le gain de l'étage suiveur peut être trouvé à partir de l'étude petit signal du circuit. Ce dernier vaut :

$$A \approx -\frac{g_{m5}}{g_{m5} + g_{mb5}} \quad (3-16)$$

Il présente un gain de 0,83 pour un courant de polarisation de  $15 \mu\text{A}$ , ce qui représente une consommation de  $49,5 \mu\text{W}$  pour une alimentation de  $3,3 \text{ V}$ .

L'ensemble de l'étage d'amplification présente donc un gain de 5 pour une consommation de 270  $\mu$ W.

L'étage d'amplification présente une bande passante à -3 db de 134 MHz pour une contribution en bruit ramenée à l'entrée simulée à 140  $\mu$ V rms. La figure 3-7 présente la phase et le gain en boucle ouverte en dB.

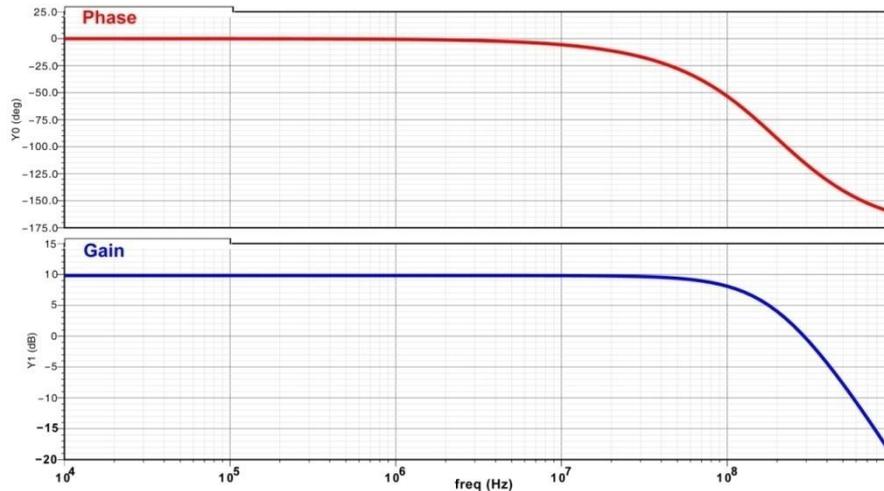


Figure 3-7 Phase et gain de l'étage amplificateur du comparateur latché

### 3.1.4.2 Source de bruit dans l'étage d'amplification

Comme il l'a été montré au début du paragraphe 3.1.4, minimiser l'offset d'un comparateur est un élément important afin d'assurer son bon fonctionnement. Les sources d'offset dans l'étage d'amplification sont diverses. Il y a la composante du bruit en 1/f, le bruit thermique (kTC) ainsi que le bruit lié aux paramètres physiques des transistors MOS. Le bruit en 1/f n'entre pas en compte au vu de la fréquence de fonctionnement du comparateur. Le bruit kTC reste négligeable par rapport au LSB (typiquement  $\approx 100 \mu$ V). Le bruit lié aux paramètres physiques des transistors MOS est lié à deux facteurs : les dispersions sur la tension de seuil  $V_{th}$  des transistors, ainsi que la variation du paramètre  $\beta$  du transistor qui vaut :

$$\beta = \frac{C_{ox}\mu W}{L} \quad (3-17)$$

La tension d'offset générée va s'ajouter au signal d'entrée causant par la même des erreurs lors de la comparaison. Deux études extrêmement approfondies ont été menées sur la génération d'erreurs d'offset par les transistors MOS en [72] et [73]. Il sort de cette étude que l'erreur sur la tension de seuil de deux transistors MOS vaut :

$$\sigma^2(\Delta V_{TH}) = \frac{A_{VTH}^2}{WL} + S_{VTH}^2 D^2 \quad (3-18)$$

où  $A_{VTH}$  et  $S_{VTH}$  sont liés au processus de fabrication,  $D$  représente la distance séparant les deux transistors.

La variation sur  $\beta$  est donnée par :

$$\frac{\sigma^2(\beta)}{\beta} = \frac{A_\beta^2}{WL} + S_\beta^2 D^2 \quad (3-19)$$

où  $A_\beta$  et  $S_\beta$  sont liés au processus de fabrication,  $D$  représente la distance séparant les deux transistors.

Le paramètre  $A_{VTH}$  diminue avec la diminution de la longueur du canal, cela sous entend que la variation de  $V_{TH}$  diminue au fur et à mesure du développement des processus de fabrication. Le terme  $\beta$  reste alors le facteur prédominant pour la détermination de l'erreur d'offset [74]. Afin de contourner ce problème, un système de minimisation de l'offset a été mis en place.

### 3.1.4.3 Système de diminution d'offset

Son principe de fonctionnement est le suivant : lors d'une première phase le signal  $\Phi_{offset}$  permet de fermer les interrupteurs connectés à  $V_{ref}$ . Le signal  $\Phi_{offset\_b}$ , lui déconnecte les deux signaux d'entrées  $V_{in}$  et  $V_{s\_dac}$  du reste du circuit. La différence de potentiel entre les deux entrées de l'étage Ampli est donc nulle et seul subsiste l'offset en sortie du bloc. Cette tension d'offset est alors stockée dans les condensateurs  $C1$  et  $C2$ . Une fois les interrupteurs commandés par le signal  $\Phi_{offset\_b}$  fermé et ceux commandés par  $\Phi_{offset}$  ouvert, la valeur de la tension d'offset stockée dans les condensateurs  $C1$  et  $C2$  est soustraite à la valeur de la tension d'entrée qui contient les signaux à comparer mais aussi l'offset. Ce système permet de supprimer l'offset du à l'étage d'amplification, la tension d'offset restante vaut alors :

$$V_{off} = \frac{\Delta Q}{AC} + \frac{V_{offL}}{A} \quad (3-20)$$

où  $\Delta Q$  représente la différence entre les charges d'injection liées aux commutateurs MOS placés après les condensateurs  $C1$  et  $C2$ .  $A$  représente le gain de l'étage d'amplification et  $V_{offL}$  la tension d'offset du comparateur commuté. En théorie les charges d'injection des deux commutateurs sont égales et donc  $\Delta Q$  est nulle. Dans la réalité ce n'est pas tout à fait vrai, cependant  $\Delta Q$  est très faible comparée à l'offset de l'étage du comparateur commuté.



« 1 », alors que la sortie outL2 est à un état logique 0. La bascule (voir figure 3-5) fixe alors son signal de sortie Comp\_out à 1.

Dans le cas où la tension  $V_{inn}$  est inférieure à  $V_{inp}$ , un raisonnement analogue permet de déduire que la sortie outL1 est à l'état logique « 0 », et la sortie outL2 à l'état logique « 1 », fixant la sortie de la bascule à l'état logique « 0 ».

Lorsque le signal clk présente l'état logique bas, les interrupteurs composés des transistors Mib1, Mib2, Mib3 et Mib4 sont fermés. Les potentiels nn et np sont alors fixés à  $V_{dda}$  ramenant  $V_{ds}$  à 0 pour les transistors M3 et M4. Les courants  $I_+$  et  $I_-$  sont nuls. Les sorties outL1 et outL2 sont à un niveau logique 0. La bascule est en état de mémorisation et garde en sortie la dernière valeur de outL1.

La simulation présentée sur la figure 3-9 nous a permis de mesurer une erreur d'offset du comparateur de 5 mV justifiant l'implantation des deux étages d'amplification qui permettent de ramener cette erreur en entrée à une valeur de 0,8 mV.

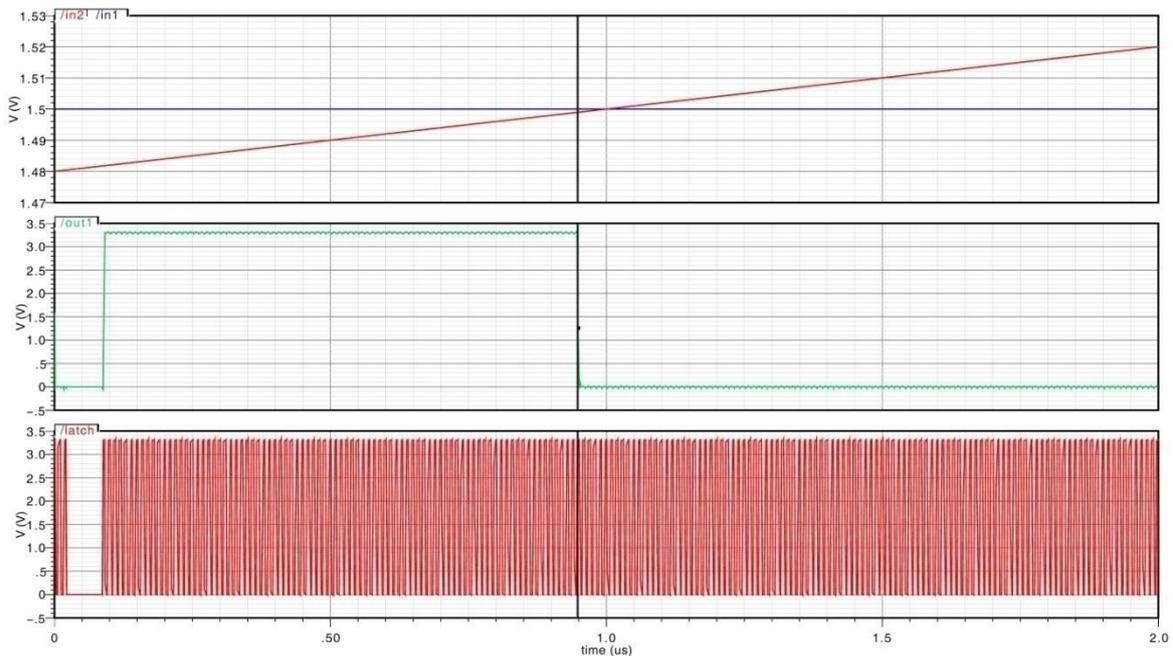


Figure 3-9 Simulation de l'erreur d'offset du comparateur

#### 3.1.4.4 Temps d'établissement, « slew rate »

Le temps d'établissement du signal en sortie du comparateur est un paramètre important. En effet il détermine la limite de fonctionnement d'un comparateur. L'avantage d'une

architecture commuté comme celle décrite plus haut est de s'affranchir de ce temps d'établissement, le comparateur fonctionnant sur front d'horloge. Le temps que met la paire différentielle à s'équilibrer lors de la phase de comparaison dépend du courant présent dans les branches de sortie. Ce délai est inférieur à une nanoseconde, et reste négligeable devant la fréquence de l'horloge séquençant la sortie du comparateur, ce dernier effectuant une nouvelle comparaison toutes les 10 ns.

### 3.1.5 Bloc de contrôle numérique

Le bloc de contrôle numérique du CAN double rampe est constitué de plusieurs éléments distincts :

- Un décompteur 4 bits qui génère les différents signaux de commande du CNA à capacité pondérée.
- Une série de 4 bascules à mémoire afin de retenir l'état du compteur lorsque le comparateur bascule.
- Quelques portes logiques de contrôle afin de séquencer proprement l'ensemble du dispositif.

La simplicité du bloc numérique à mettre en œuvre a permis de réaliser ce dernier directement sans passer par un logiciel de génération automatique.

### 3.1.6 Simulation complète

Une simulation complète a été réalisée afin de vérifier que tous les codes de sorties sont présents pour un signal d'entrée parcourant toute la dynamique de conversion du CAN à double rampes numérique. Cette simulation est présentée sur la figure 3-10. On constate que tous les états, de 0000 à 1111, sont présents, le signal de sortie du CNA (noté S<sub>dac</sub> sur la figure 3-10) évolue bien suivant la tension à convertir. L'ensemble des capacités parasites liées au dessin des masques ont été prises en compte pour réaliser cette simulation.

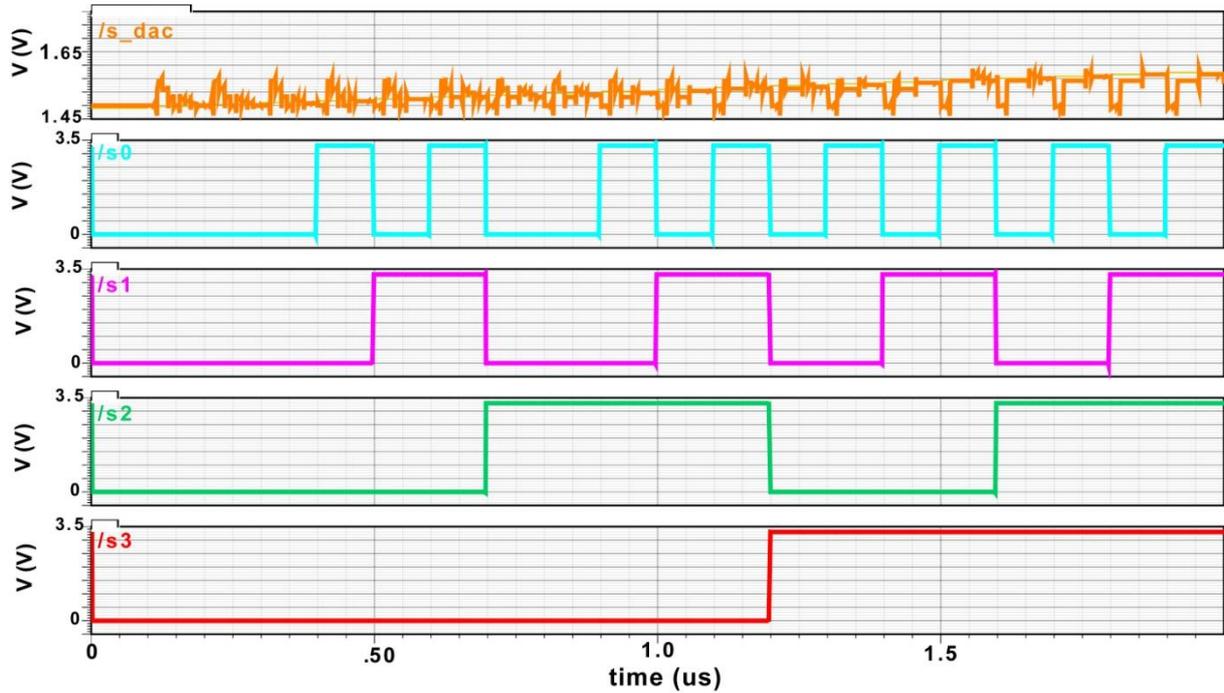


Figure 3-10 Conversion complète du CAN à double rampe numérique

### 3.1.7 Dessin des masques

Le dessin des masques pour cette architecture de CAN a été réalisé en technologie AMS 0.35  $\mu\text{m}$ . Il est assez difficile de quantifier la difficulté de cette étape de conception. Réaliser un dessin des masques ne devant pas dépasser 25  $\mu\text{m}$  de largeur est quelque chose de compliqué. Le manque de place pour le routage des pistes, le manque de place pour le placement des composants ainsi que la valeur des capacités parasites liées au facteur de forme ne sont que des exemples des nombreux défis se présentant lors du dessin des masques. La figure 3-11 présente le dessin des masques d'un CAN. Les dimensions des circuits sont de 911  $\mu\text{m} \times 25 \mu\text{m}$ .



Figure 3-11 Dessin des masques du CAN à double rampe

### 3.1.8 Conclusion

Le prototype de CAN à double rampe numériques de part sa simplicité de mise en œuvre présente une première approche intéressante concernant un CAN implantable en bas de colonne d'une matrice de pixels. Malgré ses aspects positifs cette architecture n'est pas exempte d'un certain nombre de faiblesses pouvant se révéler handicapantes. Le CNA

présente en simulation de fortes injections de charges lors de la commutation des interrupteurs MOS. Il se pourrait que ce genre d'erreurs perturbe la conversion en engendrant des erreurs de monotonie. Un effort reste nécessaire au niveau de l'intégration, la longueur du CAN dépassant très largement les contraintes fixées.

## 3.2 CAN à Registre à Approximation Successive

L'architecture à Approximation Successive (aussi appelé SAR pour Successive Approximation Register) est une architecture qui pourrait correspondre aux exigences de la première couche de détecteur de vertex pour l'ILC. Comme il l'a été expliqué dans le chapitre précédent, les CANs SAR sont souvent utilisés pour leur très bon rapport vitesse/consommation.

### 3.2.1 Principe de conversion de l'architecture SAR

En comparaison de l'architecture double rampe, l'architecture SAR ne va nécessiter que quatre comparaisons contre huit pour l'architecture double rampe, cependant le registre à approximation successive sera plus complexe que le bloc numérique présent dans l'architecture double rampe.

### 3.2.2 Architecture de CNA à capacités pondérées

#### 3.2.2.1 Architecture

L'architecture retenue est la même que pour le CNA implanté dans le CAN double rampe. Cependant afin d'améliorer ses performances une optimisation du dessin des masques a été réalisée afin de symétriser un maximum le circuit.

La figure 3-12 présente le détail du dessin des masques d'une capacité unitaire de 200 fF pour le CAN double rampes (noté b sur la figure 3-12) et pour le CAN SAR (noté a sur la figure 3-12). Lors de la réalisation du capteur complet pour la première couche du détecteur de vertex de l'ILC, plusieurs centaines de CANs vont être disposés les uns à côté des autres. Les erreurs d'appareillement des condensateurs du CNA doivent être minimisées afin d'éviter une variation des tensions de comparaison. Afin d'améliorer cet appareillement le dessin des masques a été complètement repensé en appliquant les résultats de l'étude [75].

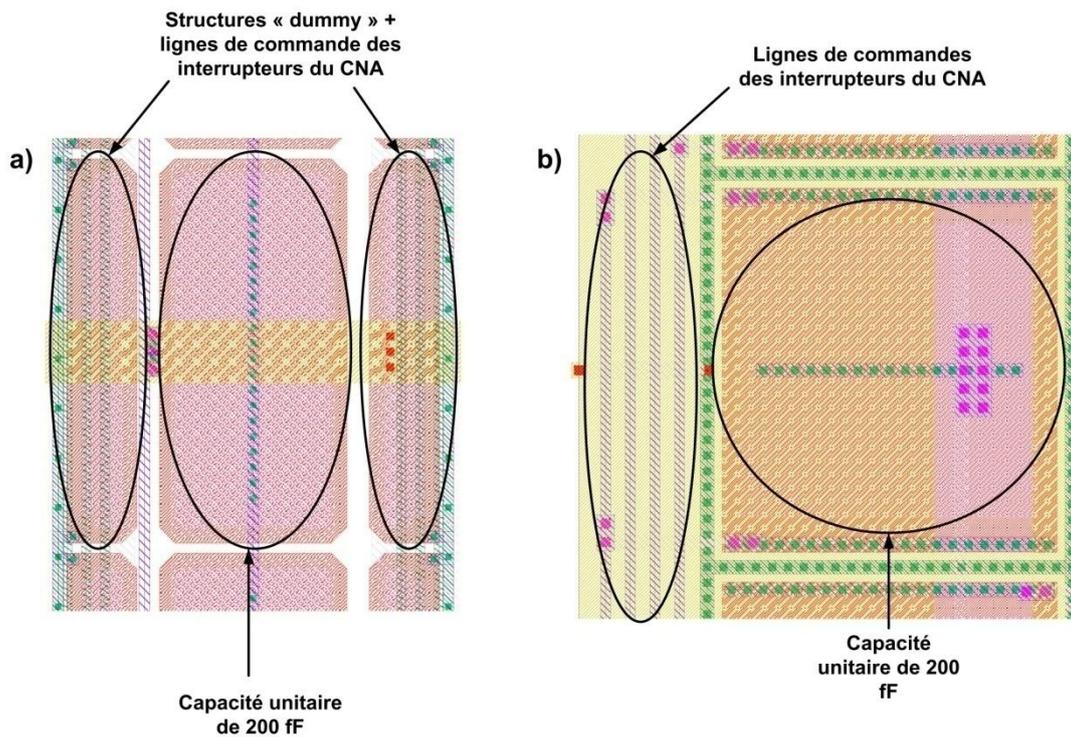


Figure 3-12 Optimisation du dessin des masques du CNA à capacités pondérées

Des demis condensateurs « dummy » ont été placés de chaque coté du condensateur unitaire afin de former des matrices de condensateur lors de la mise en parallèle de plusieurs CANs. De plus, les lignes de commandes ont été placées au dessus de ces « dummy » condensateurs contrairement à ce qui avait été réalisé pour le CNA du CAN à double rampe. Cela augmente encore la symétrie du dessin des masques.

### 3.2.2.2 Simulation

Tout comme pour le CNA de l'architecture à double rampe, deux simulations temporelles à l'aide du logiciel Cadence Spectre ont été réalisées, l'une en vue « schematic », l'autre intégrant les capacités parasites du circuit. Cependant la vitesse de fonctionnement du CNA sera deux fois plus lente puisque seules quatre comparaisons seront nécessaires pour convertir la tension d'entrée. Le CNA a donc été incrémenté toutes les 20 ns. Une capacité de 40 fF a été connectée en sortie du CNA afin de simuler la charge du comparateur sur le CNA. La différence de valeur entre ces deux fonctions de transfert a ensuite été calculée et est présentée dans la table 3-2.

Code	0	1	2	3	4	5	6	7
$V_{s\_dac}$ idéale (mV)	0	7,81	15,63	23,44	31,25	39,06	46,88	54,69
$V_{s\_dac}$ simulée (mV)	0,01	7,68	15,38	23,05	30,72	38,39	46,09	53,76
Erreur (LSB)	0,01	0,016	0,03	0,04	0,06	0,08	0,10	0,11
$\sigma$ (LSB)	0,006	0,006	0,006	0,007	0,007	0,008	0,009	0,009

Code	8	9	10	11	12	13	14	15
$V_{s\_dac}$ idéale (mV)	62,5	70,31	78,13	85,94	93,75	101,56	109,38	117,89
$V_{s\_dac}$ simulée (mV)	61,43	69,11	76,80	84,48	92,15	99,82	107,52	115,19
Erreur (LSB)	0,13	0,15	0,17	0,18	0,20	0,22	0,23	0,34
$\sigma$ (LSB)	0,010	0,011	0,012	0,013	0,014	0,015	0,015	0,016

Table 3-2 Performances simulées du CNA à capacités pondérées du CAN SAR

D'une manière générale une légère détérioration des performances du CNA a été constatée. L'erreur moyenne maximum est passée de 0,25 LSB pour le CNA implanté dans le CAN double rampes contre 0,34 pour l'architecture remaniée. Cette augmentation de l'erreur est liée à la capacité parasite générée par la piste de sortie du CNA. Cette dernière approche la valeur de la capacité unitaire et va donc s'ajouter à la capacité de sortie lors de l'établissement de la tension de sortie. Cette erreur bien que plus grande que sur le CNA du CAN à double rampe reste largement inférieur au LSB. Comme pour l'architecture précédente, une simulation de type « Monte-Carlo » a permis l'évaluation de la fluctuation des valeurs des condensateurs liée au processus de fabrication de circuit CMOS en technologie AMS 0.35  $\mu\text{m}$ . Cette dernière a elle aussi diminué et présente une valeur maximale de 0,016 LSB. L'erreur maximale présente en simulation sur le CNA peut donc être définie comme valant  $0,34 \pm 0,016$  LSB.

### 3.2.3 Architecture du comparateur

#### 3.2.3.1 Etage de l'amplificateur

L'architecture de l'étage d'amplification est la même que celle utilisée dans l'architecture double rampe. Afin d'accroître les performances de cet étage tous les transistors ont été redimensionnés afin d'augmenter le gain de l'étage d'amplification et par la même le rendre moins sensible à l'offset de l'étage de comparaison. L'amplificateur présente un gain de 8. La marge de phase et le gain sont présentés sur la figure 3-13.

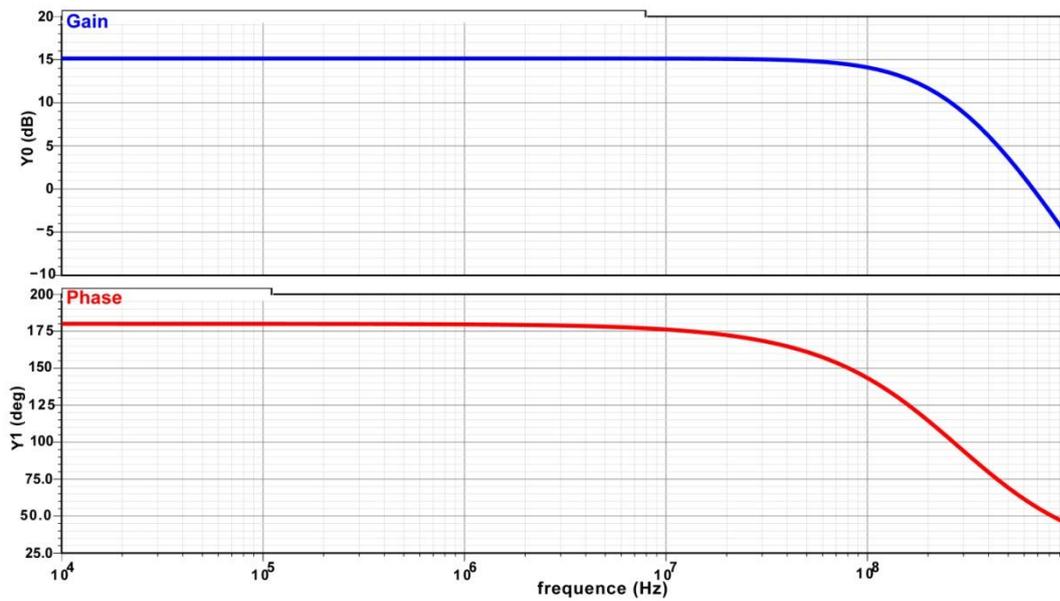


Figure 3-13 Gain et Phase de l'étage d'amplification du CAN SAR

La figure 3-14 présente le détail du nouveau dimensionnement de l'étage d'amplification.

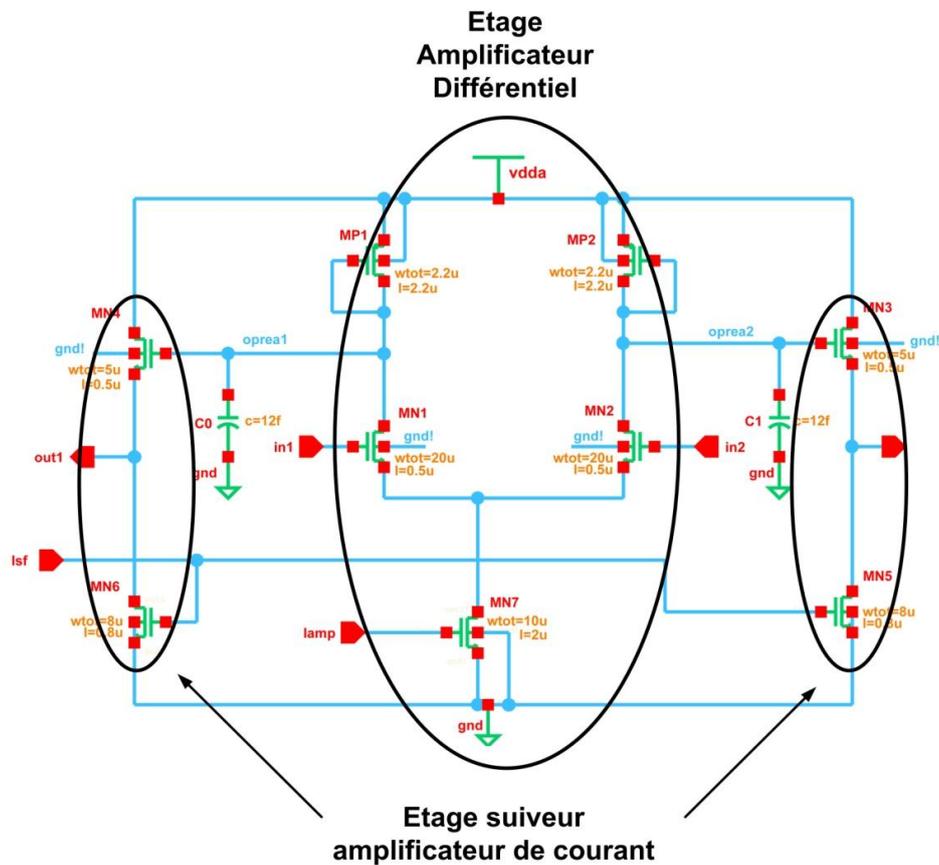


Figure 3-14 Etage amplificateur du comparateur du CAN SAR

L'étage amplificateur nécessite des courants de polarisation de 25  $\mu\text{A}$  et 50  $\mu\text{A}$  ce qui implique une consommation statique de 247  $\mu\text{W}$ .

### 3.2.3.2 Etage du comparateur commuté

L'architecture du comparateur commuté a elle aussi été reprise de l'architecture du CAN à double rampe. Un transistor monté en diode a été ajouté afin de stabiliser le nœud vb lorsque le transistor MN1 est ouvert.

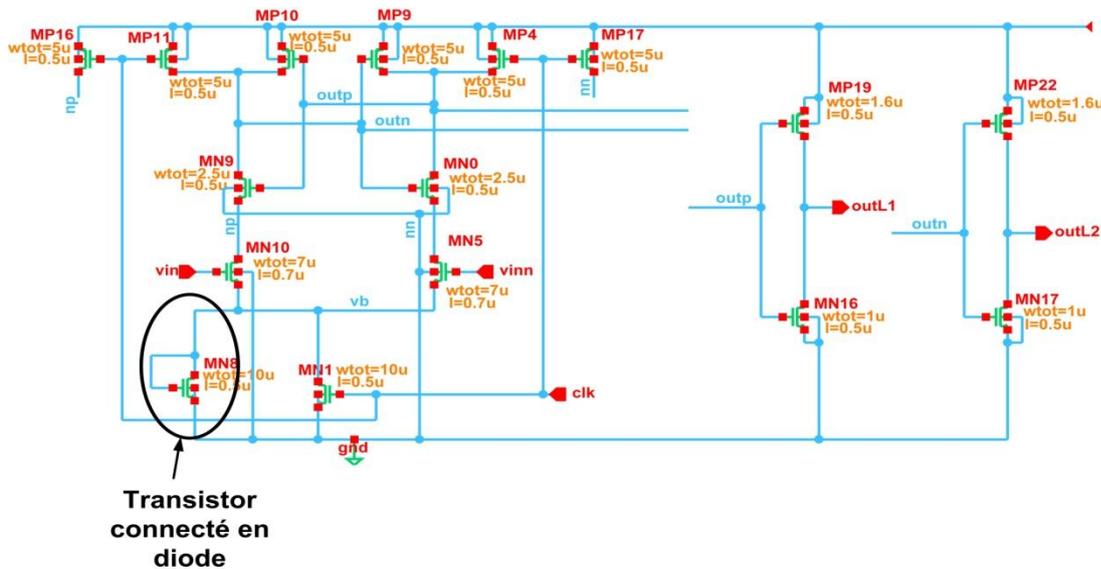


Figure 3-15 Détail de l'architecture du comparateur du CAN SAR

### 3.2.4 Registre à Approximation successive

Le registre à approximation successive du CAN est en réalité une machine d'état dont le schéma de fonctionnement est présenté sur la figure 2-20. La sortie du comparateur servant à définir l'état suivant. Le registre à approximation successive a été codé en utilisant le langage VHDL, puis il a été synthétisé en utilisant le logiciel Soc Encounter.

### 3.2.5 Simulation complète

Une simulation complète du CAN a été effectuée en utilisant une vue intégrant les capacités parasites liées aux dessins des masques.

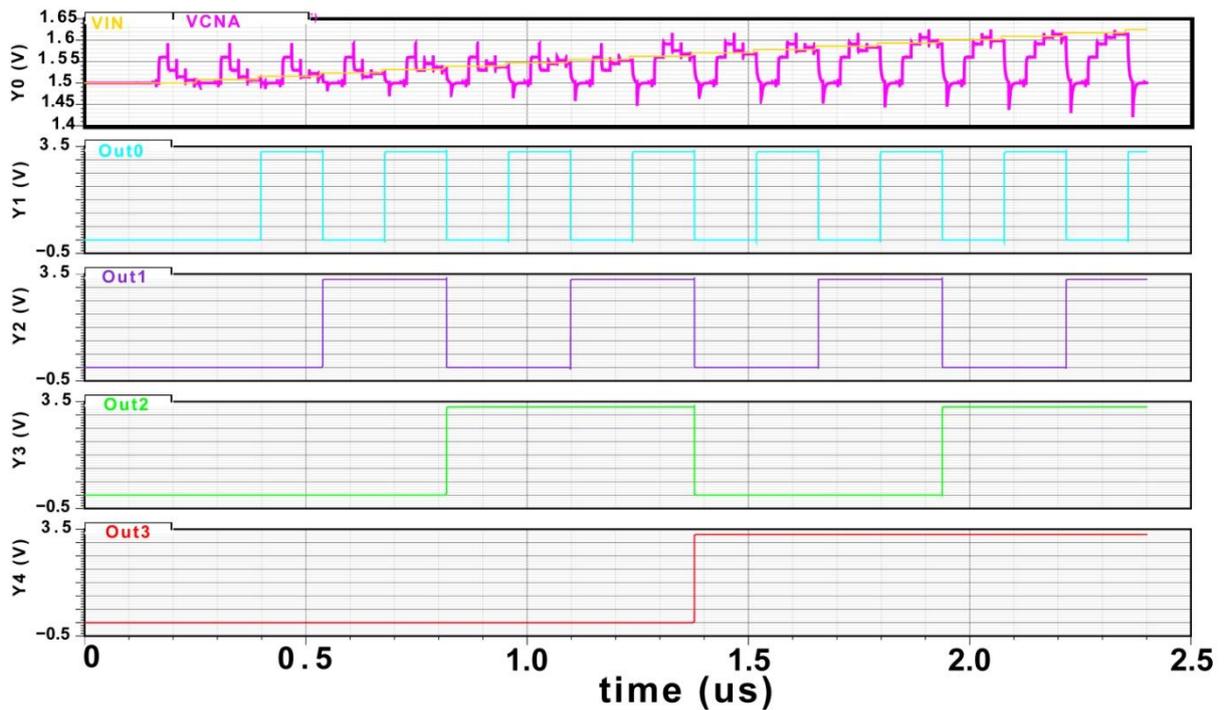


Figure 3-16 Conversion complète pour le CAN SAR

Tous les codes sont présents, il est intéressant de constater les changements d'état du signal  $V_{CNA}$  au fur et à mesure que  $V_{in}$  augmente.

### 3.2.6 Dessins des masques

La figure 3-17 représente le dessin des masques du CAN SAR développé. Ces dimensions sont de  $930 \mu\text{m} \times 25 \mu\text{m}$ .



Figure 3-17 Détail du dessin des masques du CAN SAR

### 3.2.7 Conclusion

L'architecture SAR compense la mise en œuvre un peu plus complexe de son bloc numérique par une vitesse de fonctionnement de l'horloge principale beaucoup plus réduite que pour le modèle à double rampe numérique. Les défauts de cette architecture se situent surtout au niveau de sa consommation dynamique. De plus malgré une fréquence d'horloge plus basse, des erreurs liées au commutateur MOS dans le CNA peuvent engendrer des erreurs de monotonicité.

### 3.3 CAN à résolution variable

Un nouveau CAN a été développé en se concentrant sur les points clefs des caractéristiques du détecteur de vertex à base de MAPS pour le projet ILC.

#### 3.3.1 Principe de conversion de l'architecture à résolution variable

Le troisième prototype développé a bénéficié des résultats de la caractérisation des deux circuits précédents. Les performances de ces deux circuits ont permis une approche différente pour le troisième prototype. En effet, l'effort de développement a pu se recentrer sur les points forts des deux architectures précédentes afin de parvenir à se rapprocher au plus près des objectifs d'un convertisseur pour une matrice de pixels pour des expériences de physique des particules. Pour saisir l'intérêt particulier du concept du CAN développé lors de cette partie des travaux de thèse il faut tout d'abord comprendre le concept de pixel siège. Lors du dépôt de charges que laisse une particule ionisante lorsqu'elle traverse le capteur, les charges ne sont pas collectées par le seul pixel traversé mais aussi dans une moindre mesure par les pixels voisins par effet de collection de substrat. Suivant l'application envisagée la taille de ce groupement de pixels aussi appelé « cluster » peut varier. Pour l'application de détecteur de vertex à base de MAPS dans le cadre du projet ILC, le cluster utilisé est composé de neuf pixels comme le montre la figure 3-18. Le pixel dit « siège », noté 1 sur la figure 3-18 est celui qui a été traversé par la particule. Il collecte environ 30% de la charge induite par la particule. Le reste de la charge est reparti entre les pixels voisins grâce à l'effet de diffusion thermique. Le pourcentage de charge collecté par ces derniers dépend de l'angle de pénétration de la particule mais reste inférieur à la charge collectée par le pixel siège. Cela induit donc que le pixel siège est plus facile à dissocier des pixels voisins.

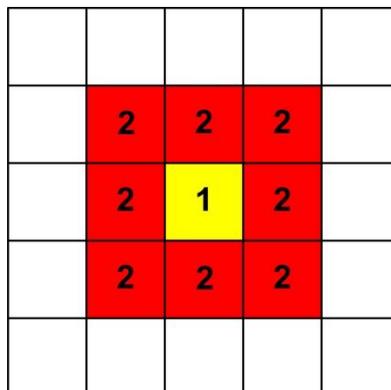


Figure 3-18 Présentation d'un cluster de pixel

Un deuxième point important réside dans le fait qu'une connaissance précise concernant la répartition des charges dans les pixels voisins permettra une meilleure reconstruction de l'angle de pénétration de la particule.

Partant de ces deux observations, il a été imaginé un Convertisseur Analogique Numérique ayant une résolution plus fine dans le bas de sa dynamique de conversion et « perdant » en résolution au fur et à mesure qu'il monte dans la gamme de sa dynamique de conversion.

Une autre donnée importante ayant conduit au développement de ce prototype est que la vitesse de lecture imposée par les expériences de physique des hautes énergies a comme conséquence que seuls 0,1% des pixels dans une matrice seront touchés. Donc plus de 99% des pixels d'une matrice n'auront en fait aucune information intéressante à transmettre. En évitant de traiter ces pixels non touchés, il est possible de réaliser une économie intéressante sur la puissance dissipée. En partant de ces deux grandes lignes directrices une nouvelle architecture de convertisseur baptisée « Multibit Adc » a été développée, son principe de fonctionnement est expliqué dans la figure 3-19.

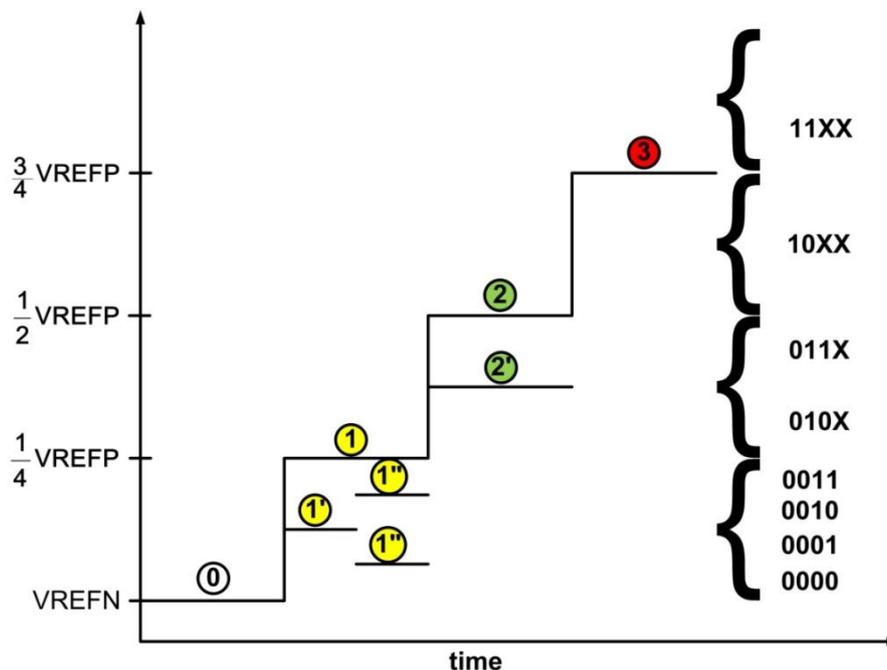


Figure 3-19 Concept du CAN à résolution variable

Dans un premier temps une première comparaison est effectuée entre une tension de référence  $V_{REFN}$  (représentant la valeur basse de la dynamique de conversion) et la tension à convertir  $V_{in}$ . Si la tension à convertir a une valeur inférieure à ce seuil (0), le convertisseur s'arrête et fournit le code 0000 à sa sortie. Si la tension à convertir est au dessus de ce seuil elle est

ensuite comparée à  $\frac{1}{4}$  de la tension de référence  $V_{REFP}$  (représentant la valeur haute de la dynamique de conversion). Si  $V_{in}$  est inférieure à cette dernière, une conversion « classique » se basant sur le principe de la dichotomie est réalisée sur 4 bits donnant un résultat entre 0000 et 0011 (1' et 1'' sur la figure 3-19). Si  $V_{in}$  est supérieure à  $\frac{1}{4} V_{REFP}$ ,  $V_{in}$  est alors comparée à  $\frac{1}{2} V_{REFP}$ . Si  $V_{in}$  est inférieure à  $V_{REFP}$ , une conversion basée sur le même principe que la précédente est effectuée mais seulement sur 3 bits (2' sur la figure 3-19), délivrant soit le code 010X soit le code 011X en sortie. Si  $V_{in}$  est supérieure à  $\frac{1}{2} V_{REFP}$ , une dernière comparaison est opérée avec  $\frac{3}{4} V_{REFP}$  (3 sur la figure 3-19). Suivant le résultat de cette comparaison, le code de sortie est fixé à 10XX ou 11XX. Ce comparateur présente donc un résultat sur 4 bits pour le premier quart de sa dynamique de conversion, sur 3 bits pour le deuxième quart de sa dynamique de conversion et enfin sur 2 bits pour les deux derniers quarts de sa dynamique de conversion.

Cette architecture possède l'avantage de ne nécessiter que 4 comparaisons quelle que soit la valeur à convertir. Cela permet de relâcher les contraintes sur la fréquence de fonctionnement de l'horloge commandant le système. En outre cette architecture de part sa simplicité ne nécessite que peu de composant pour sa mise en œuvre comme le montre la figure 3-20 : une machine d'état, un CNA 4 bits ainsi qu'un comparateur suffisent à sa réalisation.

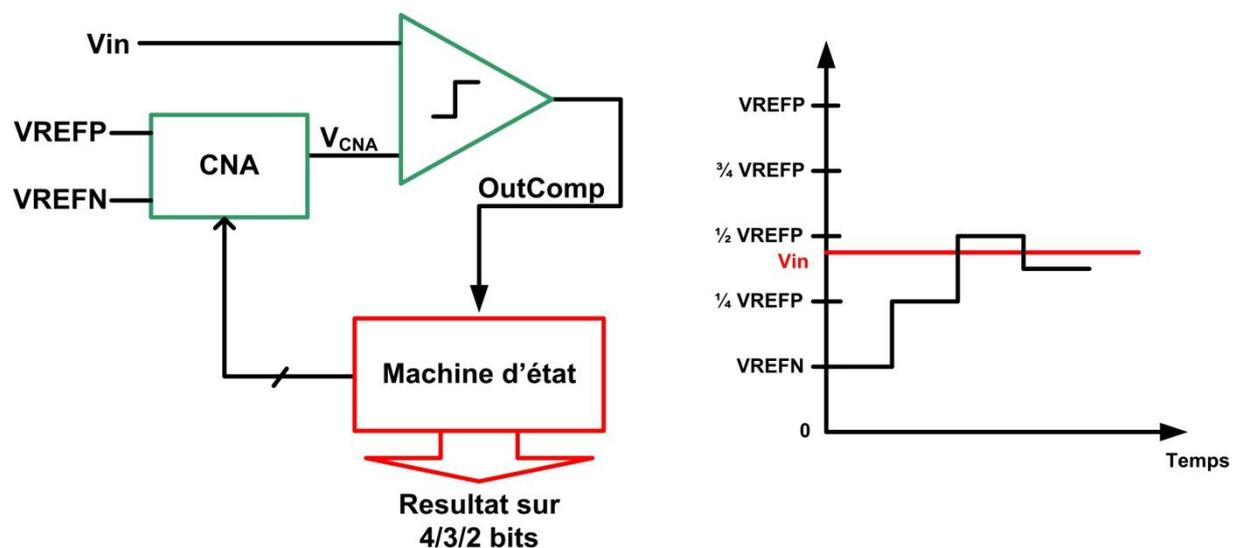


Figure 3-20 Schéma de l'architecture CAN à résolution variable

### 3.3.2 Architecture de CNA à capacités pondérées

#### 3.3.2.1 Architecture

Le CNA à capacités pondérées est très proche de celui utilisé dans le CAN SAR. Il utilise la même architecture ainsi que le même dessin des masques pour les capacités. Les paramètres  $W$  des commutateurs ont été doublés afin de minimiser la valeur de la résistance  $R_{on}$  des transistors constituant les commutateurs du CNA (voir chapitre 2). En diminuant la valeur de  $R_{on}$  le courant passant dans le commutateur augmente et la CNA présentera un temps d'établissement de ses paliers plus rapide.

#### 3.3.2.2 Simulation

De la même manière que pour les deux précédentes versions, deux simulations temporelles à l'aide du logiciel Cadence Spectre ont été réalisées, l'une en vue « schematic », l'autre intégrant les capacités parasites du circuit. Le CNA a été incrémenté toutes les 20 ns. Une capacité de 20 fF a été connectée en sortie du CNA afin de simuler la charge du comparateur sur le CNA. La différence de valeur entre ses deux fonctions de transfert a ensuite été calculée et est présentée dans la table 3-3.

Code	0	1	2	3	4	5	6	7
$V_{s\_dac}$ idéale (mV)	0	7,81	15,63	23,44	31,25	39,06	46,88	54,69
$V_{s\_dac}$ simulée (mV)	0,01	7,79	15,47	23,16	30,87	38,56	46,24	53,92
Erreur (LSB)	-0,010	0,002	0,02	0,03	0,04	0,06	0,08	0,09
$\sigma$ (LSB)	0,006	0,006	0,006	0,007	0,007	0,007	0,008	0,009

Code	8	9	10	11	12	13	14	15
$V_{s\_dac}$ idéale (mV)	62,5	70,31	78,13	85,94	93,75	101,56	109,38	117,89
$V_{s\_dac}$ simulée (mV)	61,57	69,25	76,94	84,62	92,34	100,02	107,71	115,39
Erreur (LSB)	0,11	0,13	0,15	0,16	0,18	0,019	0,21	0,32
$\sigma$ (LSB)	0,009	0,010	0,011	0,012	0,013	0,013	0,014	0,015

Table 3-3 Performances simulées du CNA à capacités pondérées

Les performances du CNA sont en très légère augmentation. L'erreur maximum a été abaissée à 0,32 LSB. Comme pour les architectures précédentes une simulation de type « Monte-Carlo » a permis l'évaluation de la fluctuation des valeurs des condensateurs liée au processus de fabrication de circuit CMOS en technologie AMS 0.35  $\mu\text{m}$ . Cette dernière a elle aussi

diminué et présente une valeur maximale de 0,015 LSB. L'erreur maximale présente en simulation sur le CNA est de  $0,32 \pm 0,015$  LSB.

### 3.3.3 Architecture du comparateur

Le comparateur implanté dans le CAN à résolution variable reprend l'architecture du comparateur implanté dans le CAN SAR. Comme le montre la figure 3-21, deux commutateurs « dummy » ont cependant été rajoutés à côté des commutateurs utilisés pour déconnecter les entrées du comparateur lors de la compensation d'offset.

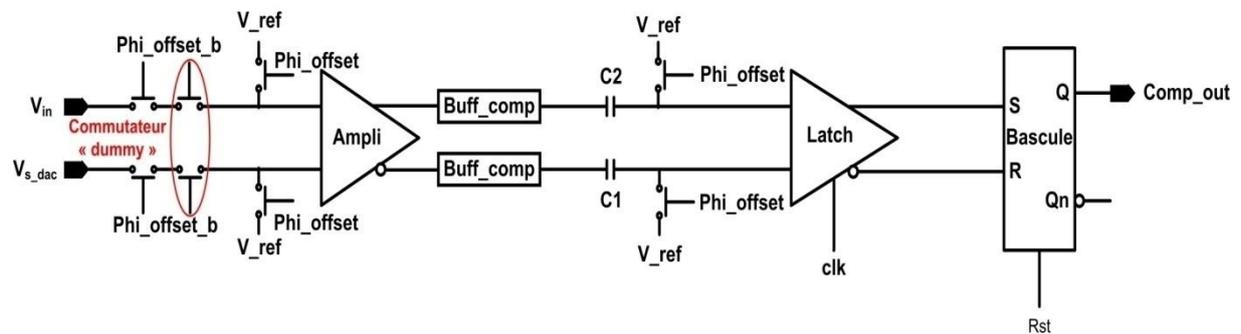


Figure 3-21 Schéma du comparateur du CAN à résolution variable

La présence de ces transistors fantômes va permettre de limiter l'injection de charge des transistors utilisés comme commutateur et donc d'augmenter la précision du comparateur. Le comparateur présente les mêmes caractéristiques que celles détaillées dans le paragraphe dédié au CAN à registre à approximation successive.

### 3.3.4 Machine d'état

Le bloc numérique qui contrôle l'ensemble du CAN est une machine d'état dont le schéma peut être observé sur la figure 3-22.

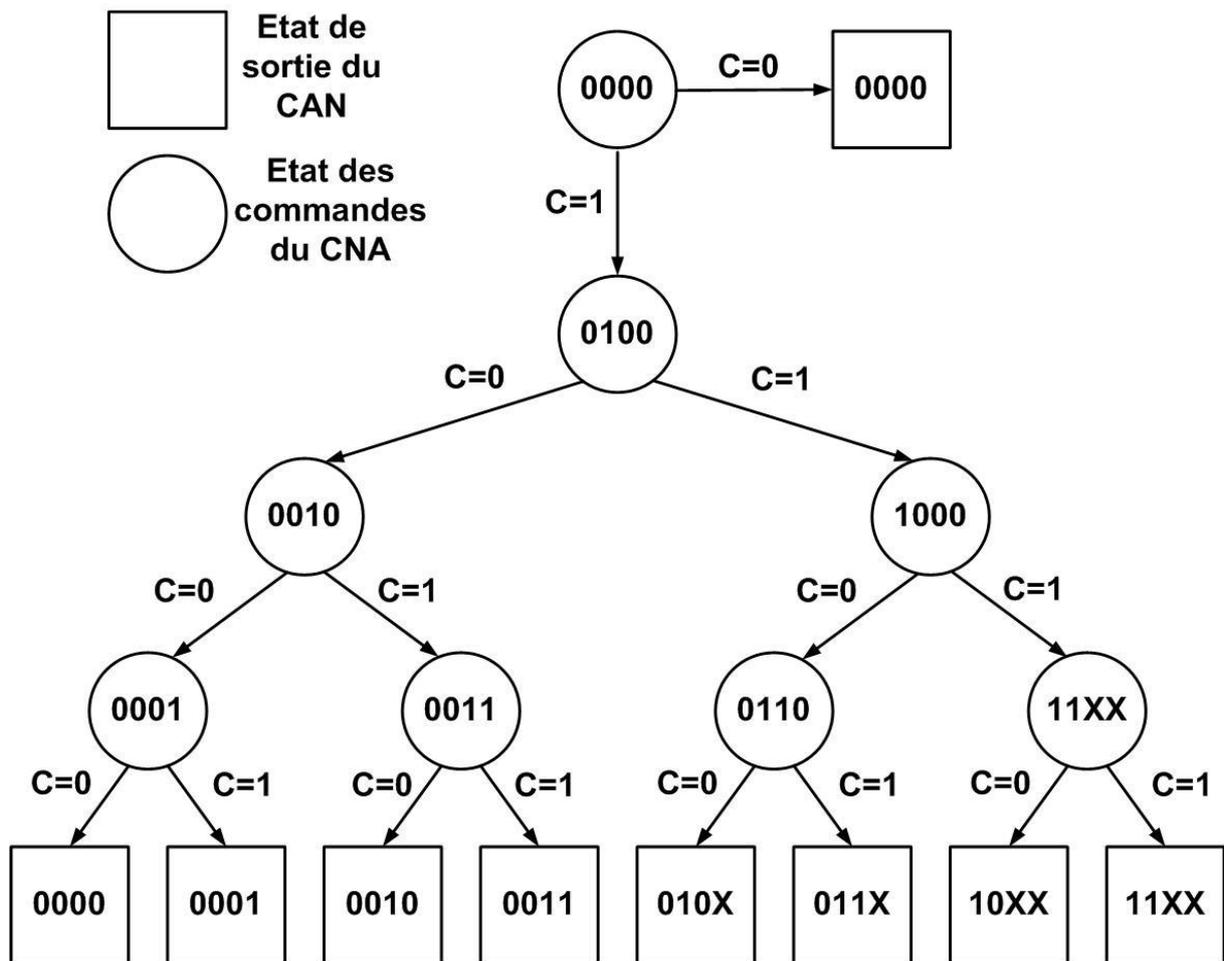


Figure 3-22 Schéma de la machine d'état du bloc de commande du CAN à résolution variable

La condition C représente l'état de sortie du comparateur. Cette machine d'état a été codée en utilisant le langage VHDL, puis elle a été générée automatiquement en utilisant le logiciel Soc Encounter

### 3.3.5 Simulation complète

Une simulation complète du CAN à résolution variable est présentée sur la figure 3-23. L'horloge utilisée pour le séquençage du circuit possède une fréquence de 50 MHz.

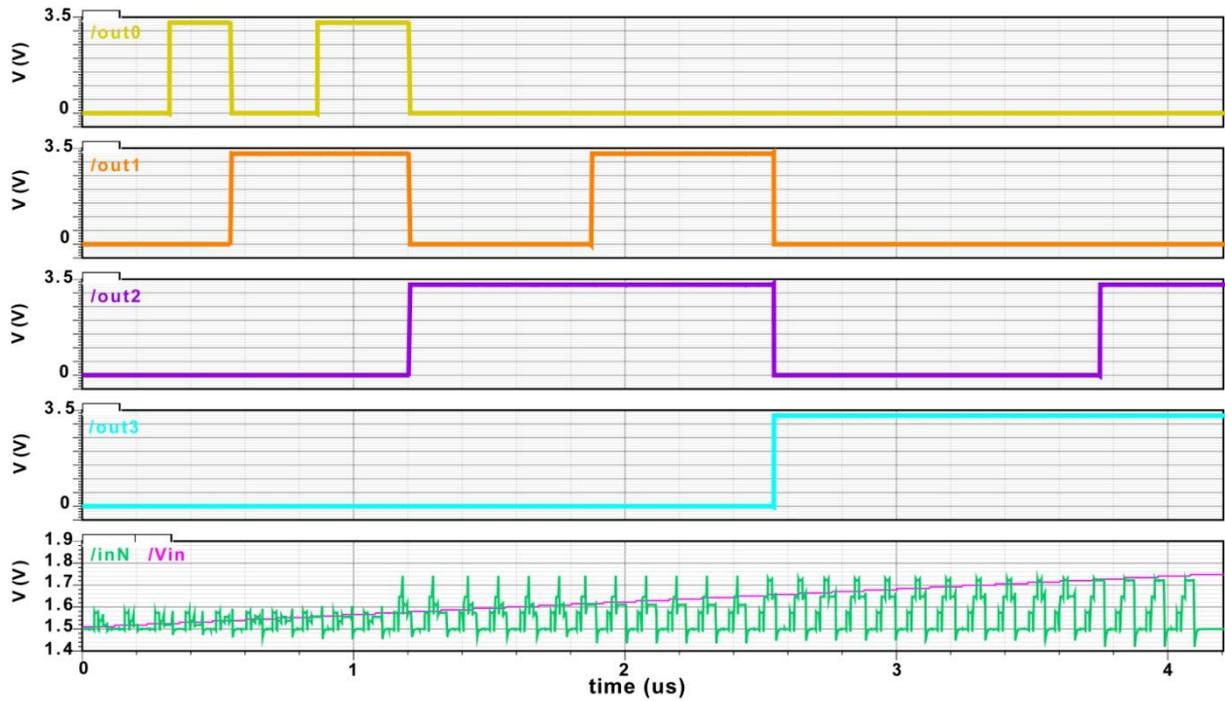


Figure 3-23 Conversion sur toute la gamme dynamique du CAN à résolution variable

Le premier seuil de comparaison a permis de diviser la consommation dynamique par quatre lors du traitement d'un pixel non touché par le passage d'une particule. Pour une conversion « normale » la consommation dynamique est de  $687\mu\text{W/s}$  alors que pour une conversion en dessous du seuil de discrimination cette dernière descend à  $159\mu\text{W/s}$ . La figure 3-24 présente la consommation dynamique pour une conversion classique (à gauche) et pour une conversion en dessous du seuil de discrimination (à droite).

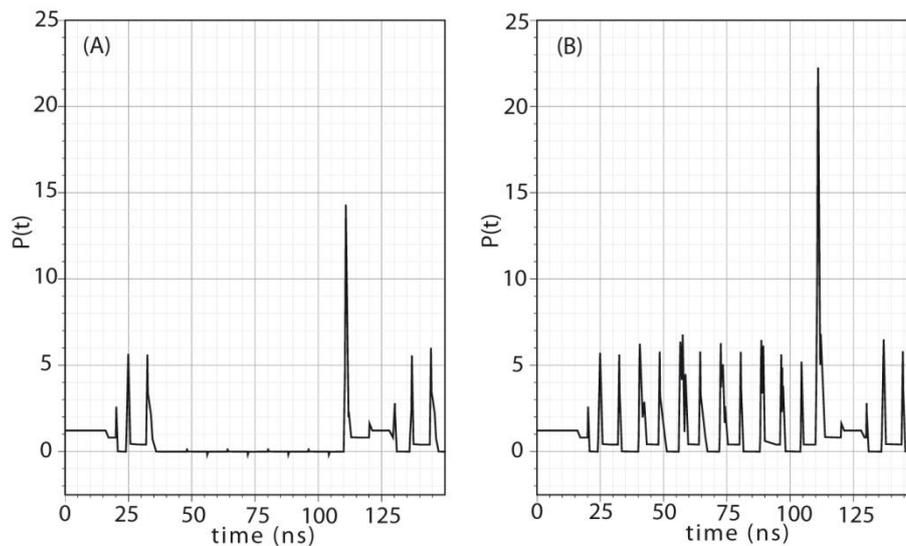


Figure 3-24 Consommation dynamique du CAN à résolution variable

### 3.3.6 Dessin des masques

La figure 3-25 présente le dessin des masques du CAN à résolution variable. Les dimensions de ce dernier sont de  $1240 \mu\text{m} \times 25 \mu\text{m}$ . Cela représente une augmentation d'environ  $300 \mu\text{m}$  par rapport aux deux circuits précédents. Un manque de temps lors de la génération automatique du dessin des masques du bloc numérique n'a pas permis d'optimiser ce dernier. En l'optimisant il est possible de réduire la taille du circuit de  $200 \mu\text{m}$ . Le bloc de commande numérique étant plus complexe que celui d'un SAR classique, sa surface est plus importante.



Figure 3-25 Détail du dessin des masques du CAN à résolution variable

### 3.3.7 Conclusion

L'architecture à résolution variable représente le modèle le plus abouti par rapport aux spécifications d'un CAN intégrable en bas de colonne d'une matrice de pixels. Cependant la complexité de sa machine d'état rend la longueur du circuit beaucoup trop grande par rapport à l'objectif à atteindre. De plus dans ce circuit il n'y a pas de différence entre un code « 0000 » correspondant à une valeur du signal d'entrée en dessous de la tension de déclenchement et un code « 0000 » correspondant à une valeur du signal d'entrée dans le bas de la dynamique de conversion. Lors de la conception des étages de traitement numérique qui

seront implantés après le CAN il sera nécessaire de décider si cet état est gênant et s'il faudra implanter un nouveau signal de sortie pour distinguer ces deux cas.

### 3.4 Conclusion générale

Trois architectures différentes ont été développées dans le cadre d'une application pour des détecteurs de vertex à base de MAPS. Au cours de leurs évolutions ces trois prototypes ont permis tout d'abord de valider la possibilité de développer un CAN intégrable en bas de colonne d'une matrice de pixels. Ils ont permis de mettre en évidence les limites physiques de la technologie AMS 0.35  $\mu\text{m}$  pour ce type d'application. Ils ont enfin permis de s'approcher d'un prototype final adapté à des détecteurs de vertex. La table 3-4 résume les caractéristiques des trois convertisseurs.

	CAN à double rampe	CAN SAR	CAN à résolution variable
Résolution en bits	4	4	4/3/2
Dynamique de conversion	125 mV	125 mV	125 mV
Valeur du quantum	7,8 mV	7,8 mV	7,8 mV
Fréquence de l'horloge principale	100 MHz	50 MHz	50 MHz
Vitesse de conversion	10 Me/s	10 Me/s	10Me/s
Consommation statique	215 $\mu\text{W}$	247 $\mu\text{W}$	247 $\mu\text{W}$
Consommation dynamique @ 10 Me/s	470 $\mu\text{W/s}$	560 $\mu\text{W/s}$	687 $\mu\text{W/s}$ 159 $\mu\text{W/s}$
Dimension	911 $\mu\text{m}$ x 25 $\mu\text{m}$	930 $\mu\text{m}$ x 25 $\mu\text{m}$	1240 $\mu\text{m}$ x 25 $\mu\text{m}$

Table 3-4 Résumé des principales caractéristiques des CANs

Ces trois circuits ont été soumis en technologie AMS 0.35  $\mu\text{m}$ . Le prochain chapitre présente l'environnement de test développé afin de caractériser ces circuits ainsi que les résultats de cette caractérisation.

## Chapitre 4

# Caractérisation de trois architectures de convertisseurs analogiques numériques dédiés à des détecteurs de vertex pour la physique des particules

### Introduction

Dans le chapitre précédent trois architectures différentes de convertisseurs analogiques numériques ont été présentées en détail. Afin de pouvoir confronter les performances de ces CANs en simulation à leurs performances réelles, ces trois convertisseurs ont été implantés dans trois puces et un environnement de test spécifique a été développé afin de les caractériser.

La norme IEEE traitant des caractéristiques standards admises pour des convertisseurs et dont il a été fait mention dans le chapitre 2, définit un certain nombre de techniques de caractérisation. Lorsqu'il s'agit de caractériser un circuit, et plus particulièrement un CAN, plusieurs solutions sont envisageables. De nombreuses solutions commerciales existent, proposant des kits complets composés d'une carte PCB, d'un logiciel de traitement, il ne reste plus alors qu'à connecter le circuit à caractériser et l'ensemble des résultats vous ai fourni. Cette solution présente bien souvent un gain de temps considérable pour un coût assez acceptable. Cependant cette solution présente aussi quelques désavantages. Dans un premier

temps il est bien souvent impossible d'avoir accès au code source du logiciel de traitement de sorte que le détail des techniques utilisées pour le traitement des données émanant du CAN n'est pas maîtrisé. Le développement de solutions logicielles particulières permet cet accès complet. De plus les CANs présentés dans ce mémoire de thèse ambitionnent à assez court terme d'être intégrés sur le même substrat qu'une matrice de pixels. En développant des outils spécifiques, il est alors possible de réfléchir à la compatibilité de ces outils avec la testabilité d'un circuit comportant des CANs associés à une matrice de MAPS. Le dernier point, même si son intérêt est moindre, revêt dans le caractère didactique des travaux de thèse, et donc dans le bénéfice tiré d'une maîtrise complète du processus de conception en microélectronique.

## 4.1 Développement d'un environnement de test spécifique à la caractérisation de CAN

L'environnement de test développé pour caractériser les CANs présentés dans le chapitre 3 avait pour objectif d'assurer la compatibilité avec les outils présents au sein de l'équipe de test de l'IPHC-Capteur CMOS. Un synoptique de la carte PCB développée pour le test de CAN est présenté sur la figure 4-1.

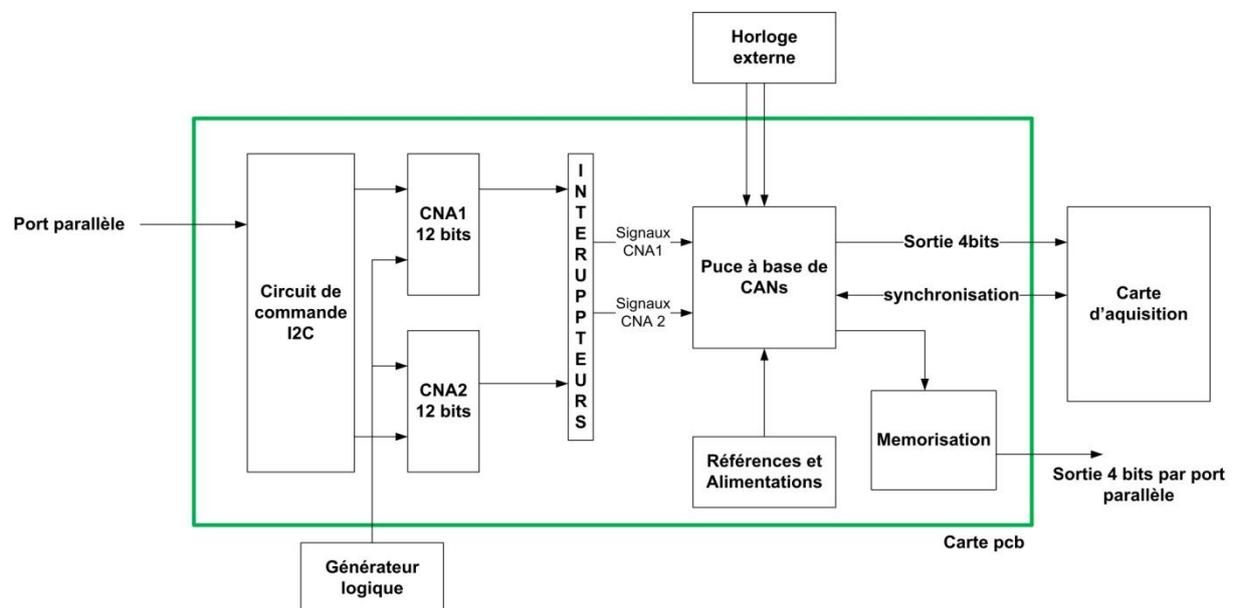


Figure 4-1 Synoptique de la carte de caractérisation des CANs

Un second objectif concernant le développement de l'environnement de test pour la caractérisation de circuit à base de CANs résidait dans la volonté de développer une carte

pouvant non seulement utiliser les équipements présents au sein du groupe test de l'équipe capteur CMOS, mais aussi pouvant être mise en place de manière autonome.

Deux versions différentes des cartes PCB accueillant les circuits ont été fabriquées, afin de corriger et d'optimiser les versions antérieures. Cependant les trois cartes possèdent le même « cœur » présenté sur la figure 4-1 qui se compose comme suit :

- Deux CNAs 12 bits permettent de générer une tension d'entrée à convertir pour la puce. Une ligne d'interrupteurs permet de fournir entre 1 et 16 signaux d'entrée. Les signaux d'entrée sont alternativement fournis par le CNA1 ou le CNA2 afin de pouvoir fournir deux tensions différentes aux deux canaux de CANs voisins sur la puce (voir figure 4-3).
- Des circuits de commande I2C (Inter Integrated Circuit) contrôlés via le port parallèle d'un ordinateur permettent de piloter les CNAs et tous les signaux de contrôle de la puce.
- Un connecteur permet de brancher un générateur de séquence logique pour piloter directement les CNAs.
- Un circuit de mémorisation permet une acquisition des signaux de sortie de la puce directement par le port parallèle d'un ordinateur.
- Il est possible de connecter la carte PCB avec un modèle de carte d'acquisition développé au sein du groupe de test de l'équipe capteur CMOS.

La testabilité est quelque chose qui doit être prise en compte lors du développement d'un circuit. Il est essentiel d'avoir déjà une idée assez précise de l'environnement de test du circuit afin d'implanter des fonctionnalités facilitant la caractérisation. Pour avoir une plus grande liberté lors de la caractérisation des différents canaux des puces à base de CANs, un module d'activation individuel a été implanté dans chacune des trois puces contenant les architectures de CANs présentées dans le chapitre 3.

Ce système est illustré sur la figure 4-2 et fonctionne de la manière suivante : le signal write permet de démarrer (et de finir) la transmission du mot binaire indiquant quel CAN doit être activé. Ce mot est inclus dans le signal sda\_in. A chaque front du signal SCK un bit du mot sda\_in est chargé dans le registre contenu dans le bloc CellMem. Une fois le chargement terminé, la sortie Sel<15:0> présente un '1' logique sur les canaux à activer. Les canaux ayant reçu un '0' logique resteront désactivés.

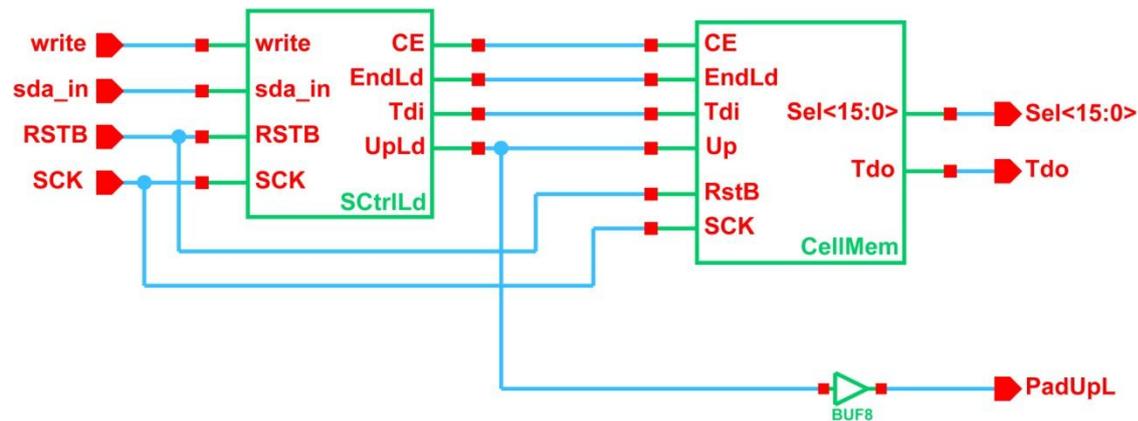


Figure 4-2 Détail du bloc d'activation des CANs

Cela va permettre de tester les performances des CANs en minimisant les perturbations extérieures. Dans un second temps le parasitage d'une voie sur l'autre (voir de X voies sur une) pourra être étudié en activant un nombre choisi de voies.

## 4.2 Méthode de caractérisation des puces à bases de CAN

Il existe plusieurs techniques afin d'obtenir les caractéristiques statiques d'un CAN. Les deux principales consistent soit dans la conversion d'un signal sinusoïdale, soit dans la conversion d'une rampe lente. La technique retenue pour la caractérisation des trois circuits soumis a été de générer une rampe lente à l'aide des CNA externes présents sur la carte de test. Faire fonctionner les CANs pour des tensions d'entrée successives proches nous est apparue comme étant la méthode la plus proche des conditions réelles de fonctionnement des CANs dans le détecteur de vertex. En effet comme il l'a été expliqué dans le chapitre 1 les pixels touchés sont organisés en cluster. Cela sous entend que le convertisseur passera rarement du minimum au maximum de sa dynamique de conversion pour deux conversions successives, mais qu'au contraire dans la plupart des cas, deux pixels voisins touchés auront récolté une charge assez proche.

Pour débiter la caractérisation d'une puce, une fois le canal à tester choisi et activé, les références internes du CAN sont fixées à 1,5 V et 1,8 V (soit une dynamique de conversion de 300 mV), cela afin de s'affranchir du bruit électronique de la carte et de l'environnement. La fréquence de l'horloge principale du circuit est fixée à sa fréquence nominale de fonctionnement (100 MHz pour la puce Wiliam, 50 MHz pour les puces Sara et Mad).

Suivant la qualité de la réponse en sortie du convertisseur la fréquence est modifiée jusqu'à obtenir une caractéristique acceptable (aucun code manquant). Une fois la fréquence nominale de fonctionnement trouvée, la dynamique de conversion est abaissée jusqu'à la limite d'une caractéristique acceptable (toujours sans code manquant).

Pour la génération des données permettant la caractérisation de la puce testée le protocole suivant a été appliqué de la même manière à chacune des trois puces :

- Génération d'une rampe croissante lente à l'aide du CNA 12 bits présent sur la carte de caractérisation. La fréquence de la rampe dépend de la fréquence de conversion du CAN.
- Pour chaque tension générée par le CNA, N conversions sont effectuées par le CAN sous test (N se situe entre 50 et 200 suivant la dynamique de conversion du CAN afin de ne pas générer des fichiers de données trop volumineux).
- La dynamique de la rampe générée par le CNA externe dépend de la dynamique de conversion du CAN testé. Un minimum de 500 points de conversion sur toute la dynamique de la rampe a été défini afin d'avoir suffisamment de données pour obtenir une statistique acceptable pour définir les erreurs statiques.
- Une fois les données transférées sur un PC chaque réponse du CAN est reconstruite, ce qui représente N reconstructions de 500 points.
- Cette opération est répétée pour différents canaux sur différentes puces.
- L'ensemble des erreurs calculées l'est pour chaque reconstruction, une moyenne de ces erreurs est ensuite calculée. En réalisant la moyenne des erreurs nous nous assurons ainsi que les erreurs ne se compensent pas entre elles.

## 4.3 Caractérisation de la puce WILIAM

### 4.3.1 La puce WILIAM

Une puce nommée WILIAM à base de convertisseur double rampe numérique a été développée en technologie AMS 0.35  $\mu\text{m}$ . Une photo de ce circuit est présentée sur la figure 4-3.

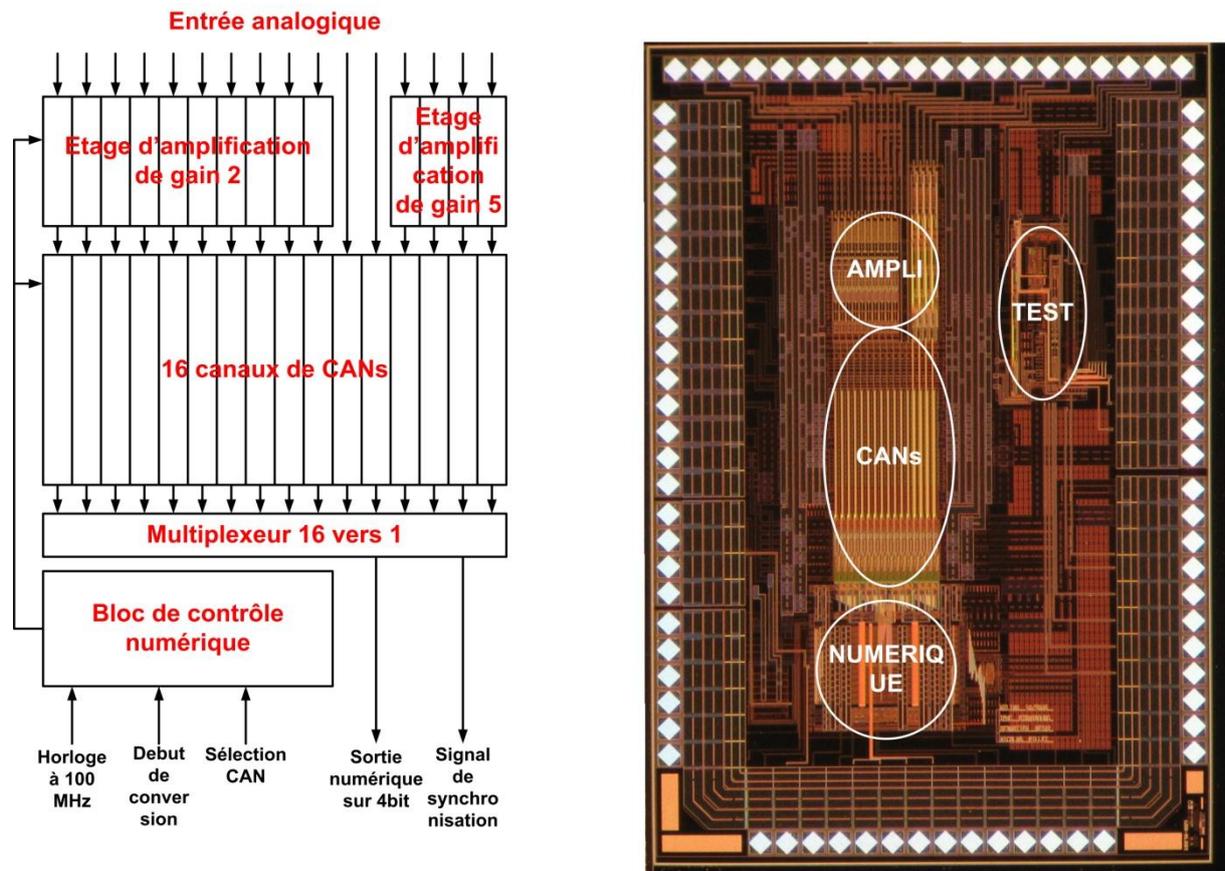


Figure 4-3 Photo du circuit WILLIAM et détail de sa composition

Ce circuit est composé de 16 CANs double rampe numérique, 10 sont précédés d'un étage échantillonneur bloqueur de gain 2, 4 sont précédés d'un étage échantillonneur bloqueur de gain 5 et 2 sont directement connectés à l'entrée analogique. L'implantation de 16 canaux permet une première évaluation du fonctionnement des CANs dans un environnement proche de celui de CAN associé à une matrice de pixels. Le circuit est séquencé par une horloge de 100 MHz. Le système d'activation détaillé dans le paragraphe 4.1, a été implanté afin d'isoler un CAN particulier. Un multiplexeur permet de sélectionner la sortie d'un des 16 CANs.

### 4.3.2 Le bloc de test

Afin de pouvoir évaluer tout dysfonctionnement à l'intérieur d'un convertisseur chaque bloc fonctionnel a été implanté séparément dans une partie du circuit. Le détail de ce bloc de test est présenté sur la figure 4-4.

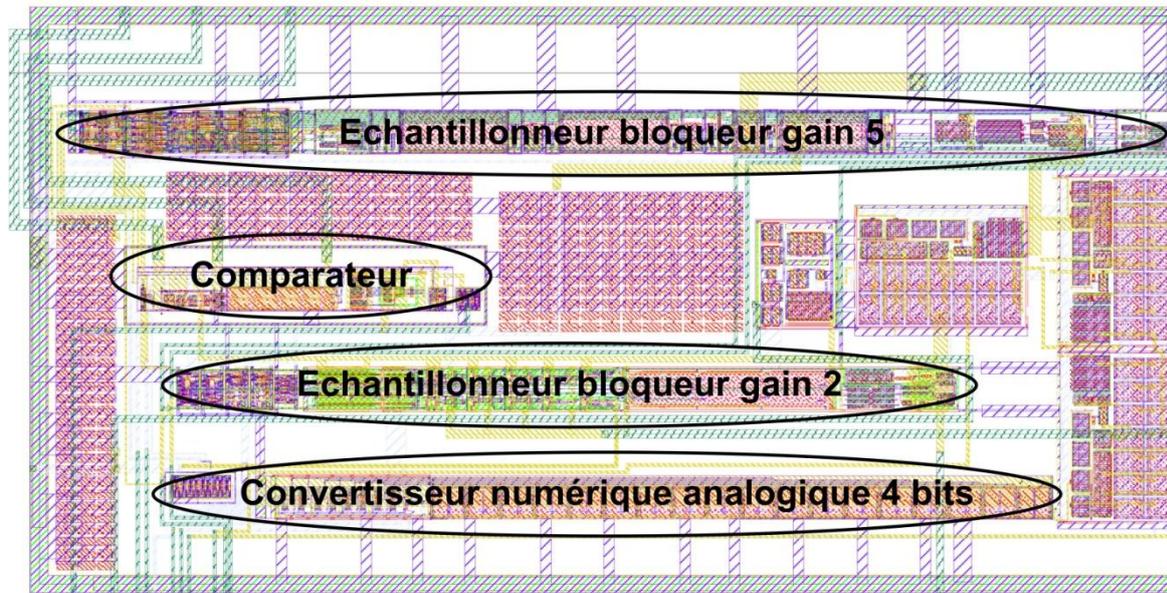


Figure 4-4 Détail du bloc de test

Lors de la caractérisation statique du circuit afin de comprendre l'origine des problèmes liés à la fréquence d'horloge prévue, le CNA du bloc de test a été caractérisé. Il est apparu qu'au dessus de 10 MHz de fréquence de fonctionnement, le CNA présentait des erreurs de monotonie ainsi que des codes manquants. Il a cependant été impossible d'effectuer une caractérisation approfondie de ce bloc, aucune carte d'acquisition n'était disponible à cette période.

### 4.3.3 Les étages échantillonneurs bloqueurs

Deux circuits d'échantillonneurs bloqueurs ont été implantés dans ce circuit. Ces deux circuits ont été développés dans le cadre de deux travaux de thèse [76] [77] et ne seront donc pas détaillés dans ce manuscrit. Ils ont été implantés afin de tester leur compatibilité avec l'architecture du CAN à double rampe numérique. Des détails concernant la nécessité d'un étage échantillonneur bloqueur peuvent être trouvés en annexe A.

### 4.3.4 Les caractéristiques statiques

Afin d'obtenir les caractéristiques statiques du circuit, une rampe croissante lente a été générée à l'aide des CNAs présents sur la carte PCB de test. Le bit de poids faible des CNAs présents sur la carte a été réglé à 300  $\mu$ V. Les références minimum et maximum des CNAs internes du CAN double rampe numérique ont été réglées respectivement à 1,5 V et 1,625 V (ce qui représente un bit de poids faible de 7,81 mV). La carte d'acquisition a ensuite

enregistré la sortie du CAN double rampes à raison de 1000 points par palier du CNA. L'ensemble des résultats présentés a été réalisé sur des canaux de CANs sans premier étage d'amplification.

#### 4.3.4.1 Vitesse de conversion

La puce Wiliam a révélé de nombreuses erreurs lors de sa caractérisation à vitesse nominale. La figure 4-5 présente la réponse d'un canal de la puce pour une vitesse de conversion de 4 Me/s.

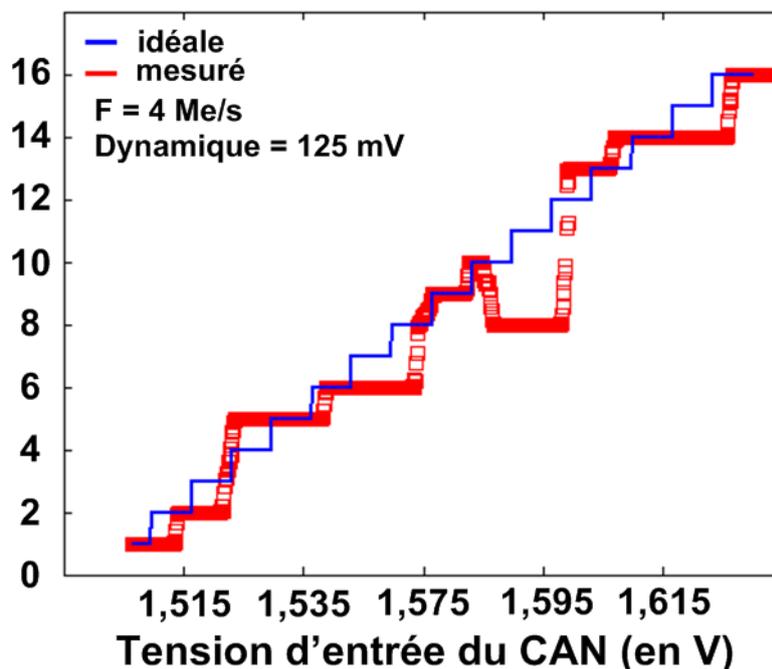


Figure 4-5 réponse du CAN double rampe pour une vitesse de conversion de 4 Me/s

La fonction de transfert présente de nombreuses erreurs : code manquant, erreur de monotonie, erreur de DNL et d'INL.

Afin de garder des caractéristiques acceptables la vitesse de conversion du CAN à double rampe numérique a été baissée à 1 Me/s, ce qui représente une fréquence d'horloge de 10 MHz.

L'ensemble des résultats présentés pour la puce Wiliam ont été réalisés pour une fréquence de conversion de 1 Me/s pour une dynamique de conversion de 125 mV.

#### 4.3.4.2 Erreurs de monotonie

Des erreurs de monotonie ont été observées lors du fonctionnement du CAN avec une horloge de 10 MHz. La figure 4-6 présente la fonction de transfert mesurée du CAN. Trois

courbes sont représentées : la valeur minimum (la courbe rouge notée min), la valeur maximum (la courbe bleue notée max) et la réponse idéale (la courbe verte notée idéale).

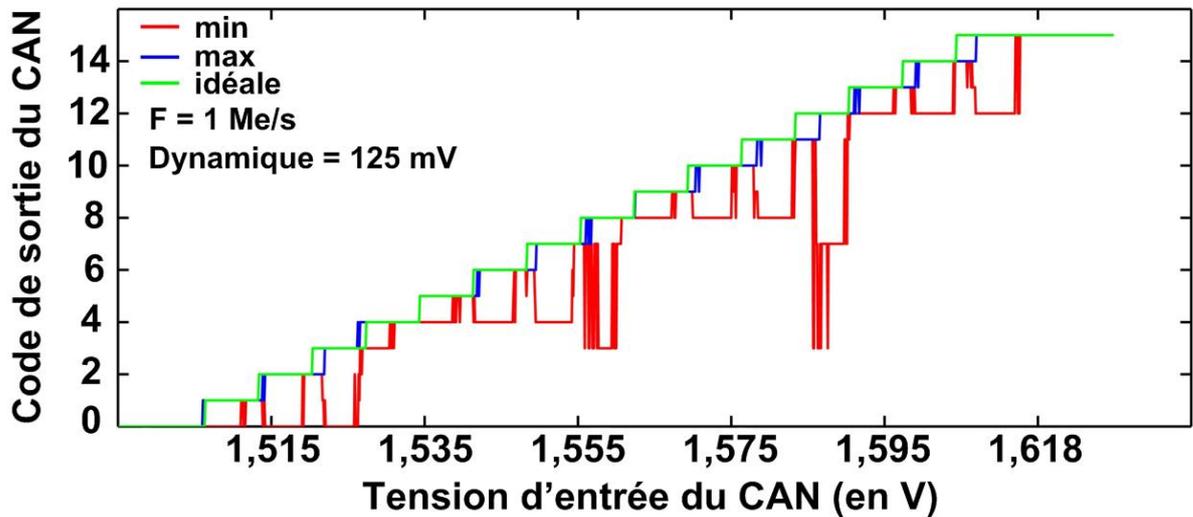


Figure 4-6 Caractéristiques brutes de sortie du CAN

Ces erreurs sont directement liées aux capacités parasites présentes sur les lignes de commande du CNA interne au CAN double rampe. Ces dernières ont été sous évaluées lors de la simulation du circuit. Les capacités parasites présentes sur les pistes de contrôle du CNA interne sont la source d'erreur principale du CAN comme cela a pu être mis en évidence grâce à l'observation de la fonction de transfert du CNA implanté dans le bloc de test de la puce. Il est cependant impossible de réduire la longueur de ces pistes du fait du facteur de forme particulier du CAN. Ces résultats se sont avérés extrêmement décevants dans la mesure où l'ensemble des post simulations prenant en compte les capacités parasites de tout le circuit avait été réalisée et ne mettait pas en évidence un tel dysfonctionnement.

#### 4.3.4.2 Erreurs d'offset et de gain

Les erreurs d'offset et de gain ont été calculées à partir de la réponse du CAN à une rampe analogique lente duquel ont été supprimées les erreurs de monotonicité. Le détail du calcul réalisé a été présenté dans le chapitre 2. Les deux tensions de références du CNA interne sont fixées manuellement sur le PCB permettent de tracer une fonction de transfert idéale pour le CAN. Une fois l'acquisition terminée il suffit alors de comparer la fonction de transfert idéale de la fonction de transfert réelle. Le décalage entre le premier palier idéal et le premier palier

réel indique l'erreur d'offset [78]. Une fois l'offset corrigé sur la fonction de transfert réelle, une droite est tracée entre le milieu du premier palier et le milieu du dernier palier de la fonction de transfert réelle. Il ne reste plus qu'à la comparer avec la même droite sur la fonction de transfert idéale pour obtenir l'erreur de gain.

Ces erreurs sont présentées dans la table 4-1.

	Caractéristique minimale	Caractéristique maximale	Caractéristique moyenne
Erreur d'Offset (mV)	-1,1	-4,1	-2,6
Erreur d'offset (LSB)	-0,13	-0,53	-0,33
Erreur de Gain (mV)	10	15,4	12,7
Erreur de Gain (LSB)	1,29	1,97	1,63

Table 4-1 Erreurs de gain et d'offset du CAN à double rampes numériques

L'erreur d'offset moyenne est de -0,33 LSB, elle est le résultat de la somme des erreurs d'offset statiques et aléatoires du comparateur associée aux variations du potentiel de référence du CNA interne. L'erreur de gain moyenne est de 1,63 LSB, elle provient des fluctuations des potentiels de référence du CNA interne. Elle provient également de la dispersion sur la valeur des capacités du CNA due au processus de fabrication. Enfin le dernier facteur agissant sur cette erreur est la valeur de la capacité parasite ramenée à la sortie du CNA interne. Cette capacité a été sous estimée lors des simulations. En augmentant la taille des capacités unitaires il est possible de minimiser les erreurs de gain. Une telle augmentation est incompatible avec les restrictions imposées sur les dimensions d'un CAN associé à une matrice de pixels. Cependant en développant le CAN dans une technologie plus intégrée, il est sans doute possible de contourner ce problème. Cette possibilité sera abordée dans le dernier chapitre de ce manuscrit.

#### 4.3.4.3 Erreurs de non linéarité différentielle et intégrale

En corrigeant les données mesurées du CAN afin de supprimer les erreurs d'offset et de gain, il est alors possible de calculer les erreurs de non linéarité différentielle et intégrale. L'erreur de non linéarité différentielle (DNL) est présentée sur la figure 4-7.

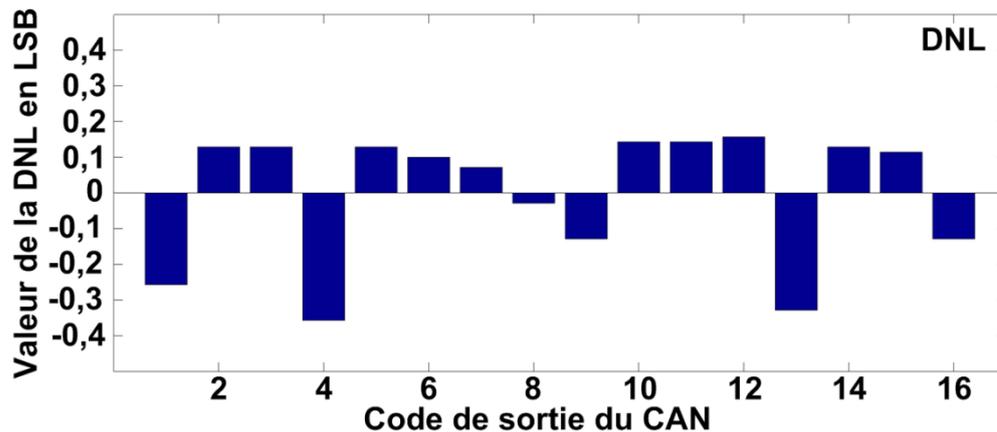


Figure 4-7 Présentation de l'erreur de DNL pour le CAN double rampe @ 1Me/s

L'erreur de DNL est comprise entre -0,4 et 0,15 LSB ce qui est parfaitement acceptable. Ces erreurs sont dues pour une partie aux fluctuations de l'erreur de la compensation d'offset du comparateur ainsi qu'à la fluctuation des tensions de référence du CNA interne.

La figure 4-7 a ensuite permis de calculer l'erreur de non linéarité intégrale présentée sur la figure 4-8. Cette dernière est comprise entre -0,35 et 0,25 LSB.

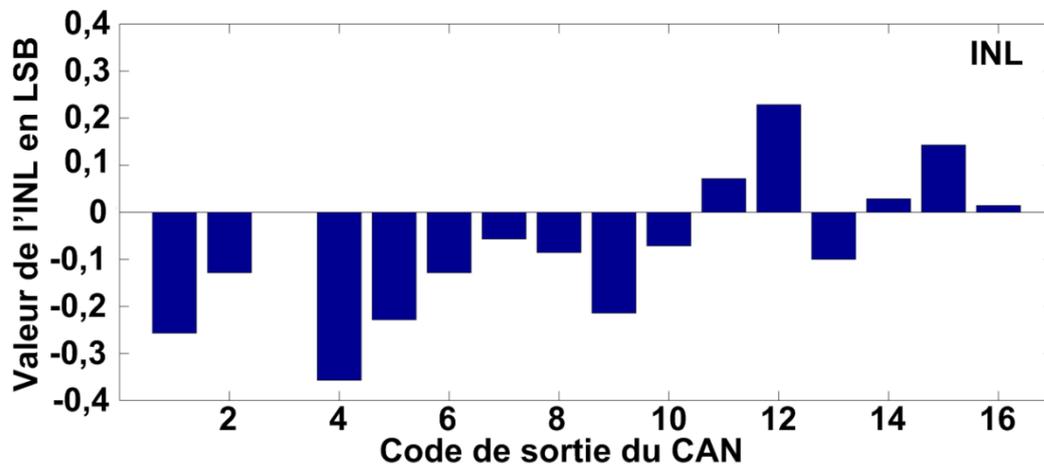


Figure 4-8 Présentation de l'erreur d'INL pour le CAN double rampe @ 1Me/s

Il est généralement admis qu'une erreur d'INL ou de DNL est acceptable et n'engendre pas de code manquant lorsque celle-ci est comprise entre  $\pm 0,5$  LSB. En cela les erreurs d'INL et de DNL du CAN à double rampe numérique sont tout à fait acceptables.

#### 4.3.4.4 Bruit de transition

Comme il a été expliqué dans le chapitre 2, la transition d'un code au code suivant n'est jamais immédiate. Il existe une zone où le code ne cesse de basculer entre la valeur du code précédent et sa nouvelle valeur. Cette zone indéfinie est appelée bruit de transition. Le bruit de transition est une erreur très rarement mise en avant lors de la caractérisation d'un CAN. La figure 4-9 représentant la réponse du CAN double rampe à une rampe analogique met en évidence le bruit de transition associé à l'erreur de DNL.

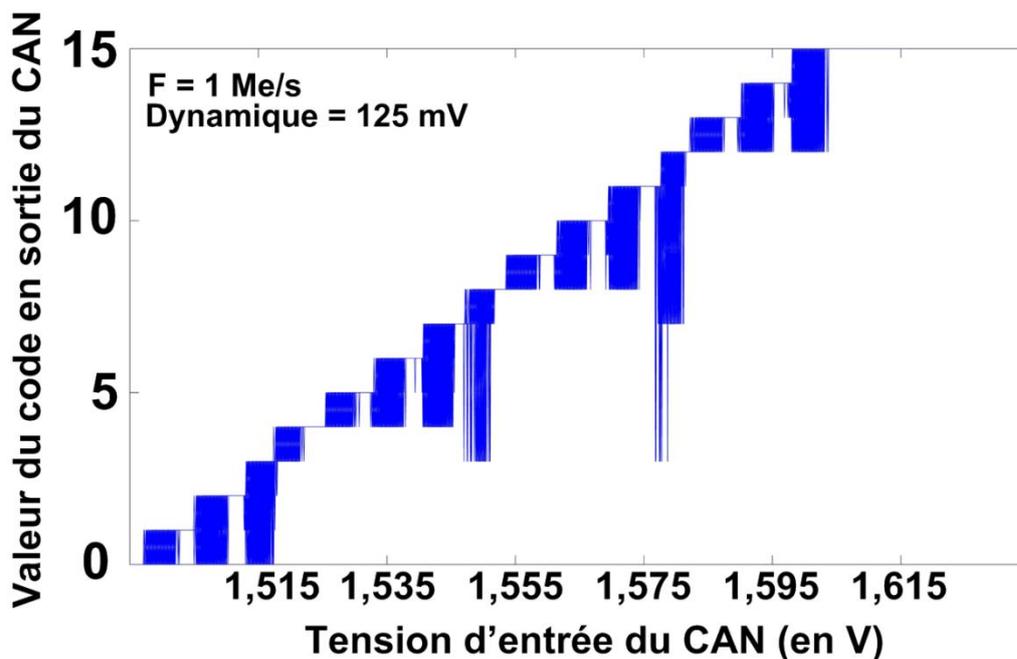


Figure 4-9 Mise en évidence des erreurs de transition associées à l'erreur de DNL pour le CAN double rampe

A partir de cette figure il est possible de définir pour chaque code les valeurs pour lesquelles le code est stable. Ces valeurs sont présentées dans la table 4-2.

Code	1	2	3	4	5	6	7	8
Largeur du palier stable (en LSB)	0,28	0,3	0	0,38	0,34	0,34	0,2	0,24

Code	9	10	11	12	13	14
Largeur du palier stable (en LSB)	0,35	0,35	0,32	0,17	0,34	0,41

Table 4-2 Valeur du palier stable pour chaque code de sortie du CAN

Le CAN à double rampe présente un bruit de transition très important puisque la partie « stable » de chaque palier ne dépasse pas les 0,41 LSB alors que pour le code 3, il est impossible de garantir une plage de conversion stable. Ce bruit de transition provient lui aussi du bruit engendré par les capacités parasites présentes dans le CNA interne.

#### 4.3.4.5 Erreur quadratique moyenne

Le bruit de transition ne se suffit cependant pas à lui-même, ce bruit est surtout une étape intermédiaire vers l'erreur la plus importante à évaluer pour un CAN 4 bits destiné à un détecteur de vertex : l'erreur quadratique moyenne.

L'erreur quadratique moyenne peut être calculée pour chaque code de sortie mesuré du CAN de la manière suivante :

$$Eq(x) = \frac{1}{N} \sqrt{\sum_0^i (N_i^2 [((i + 1) \times (LSB)) - x]^2)} \quad (4-1)$$

où N est le nombre total de points mesurés,  $N_i$  le nombre de points présentant la valeur i en sortie, LSB la valeur du bit de poids faible et x le point pour lequel l'erreur est calculée.

Pour un CAN parfait (sans erreur de DNL, INL, gain etc.), cette erreur se présente comme le montre la figure 4-10.

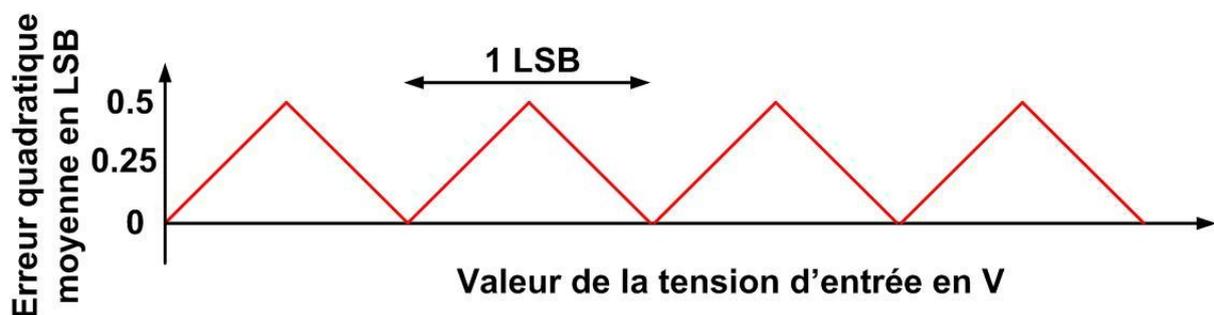


Figure 4-10 Erreur quadratique moyenne

L'erreur quadratique moyenne met en relief l'intégralité des bruits du CAN.

Pour le CAN à double rampe l'erreur quadratique moyenne est représentée sur la figure 4-11.

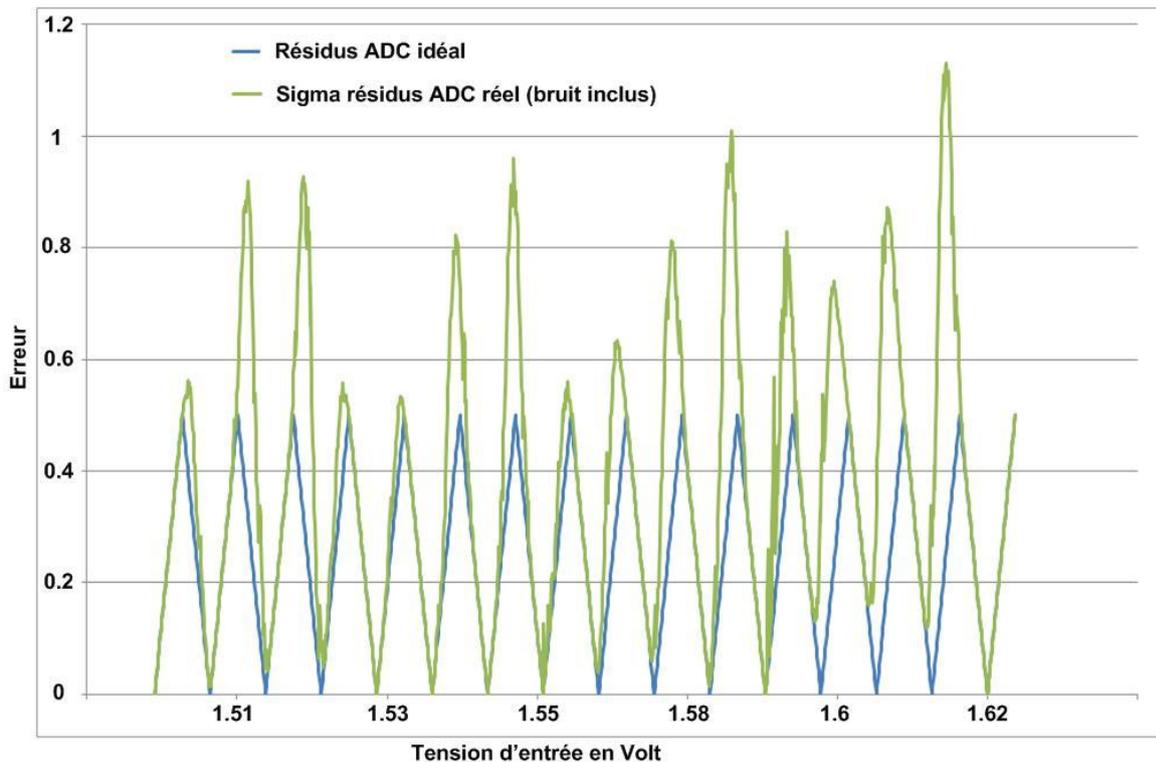


Figure 4-11 Erreur quadratique moyenne

L'erreur quadratique moyenne du CAN à double rampe numérique est de 0,456 LSB (contre 0,289 LSB pour un CAN 4 bits parfait). Cette erreur ne présente pas d'anomalie particulière. Cela permet de valider de manière complète le fonctionnement du CAN à double rampe numérique pour une vitesse de conversion de 1 Me/s.

#### 4.3.4.6 Diaphonies entre voies

Afin d'étudier les possibles problèmes de diaphonie entre les voies de la puce WILIAM, tous les CANs de la puce ont été activés et un signal différent a été généré par les deux CNAs présents sur la carte de test afin que deux canaux voisins n'aient pas le même code de sortie à fournir. Il s'est avéré impossible de discerner un changement particulier dans la réponse du CAN observé. Si une erreur de diaphonie est présente, elle est négligeable par rapport aux autres bruits présents dans le CAN.

#### 4.3.5 Les caractéristiques dynamiques

L'importance des caractéristiques dynamiques d'un CAN dépendent des applications pour lesquelles est destiné le CAN. Dans le cadre d'un CAN intégré en bas de colonne d'une matrice de pixels pour le détecteur de vertex de l'ILC, les caractéristiques dynamiques ne sont pas primordiales. En effet la tension délivrée par un pixel ne subira pas de fluctuation lors de

sa conversion. C'est pourquoi la caractérisation dynamique de la puce WILIAM n'a pas été effectuée.

### 4.3.6 Source d'erreurs dans le CAN à double rampe numérique

Bien qu'une étude approfondie du circuit WILIAM ait été réalisée en post simulation avant sa soumission, les performances issues de sa caractérisation sont assez éloignées de celles simulées.

Lors du développement du circuit, certains points sensibles ont pu être observés et même si lors des simulations ces derniers ne posaient pas de problème quand au fonctionnement du CAN, ils représentent les seules pistes de réflexions disponibles.

#### 4.3.6.1 Le CNA à capacité pondérée

La figure 4-11 représente une simulation intégrant les capacités parasites du signal de sortie du CNA interne lors du fonctionnement du CAN double rampe à 10 Me/s. Le signal  $V_{cna}$  représente le signal de sortie du CNA, les signaux C0, C1, C2 et C3 les signaux de commande du CNA.

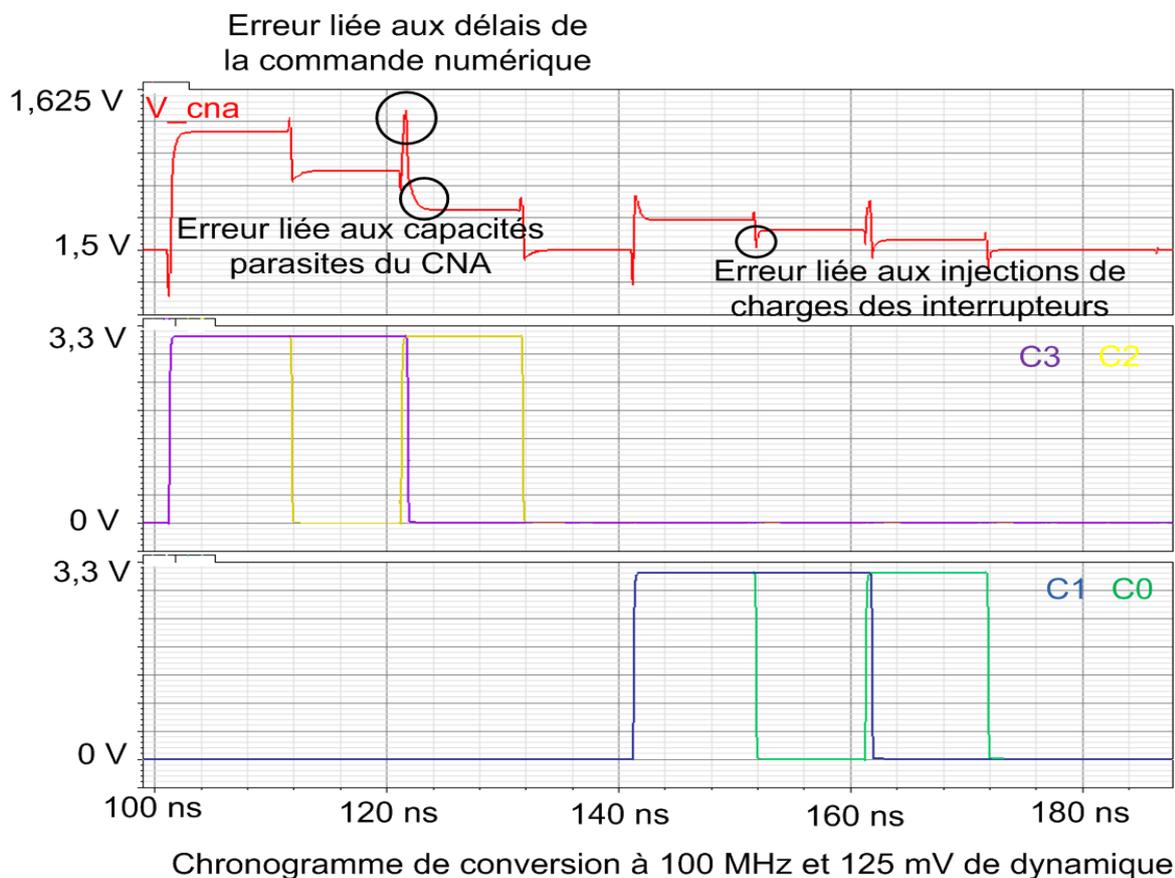


Figure 4-12 Post simulation du CNA interne du CAN à double rampe numérique

Plusieurs sources d'erreur sont mises en évidence sur la figure 4-12 :

- Le recouvrement des signaux de commande lié à leurs délais entraîne des états faux. Cela pourrait engendrer le codage par le CAN d'une valeur fausse et créer principalement des erreurs de monotonicité. Cependant lors des post-simulations ces états n'ont jamais dépassé la centaine de pico seconde.
- La taille importante de la capacité parasite sur la ligne de sortie du CNA (~ 100 fF) engendre un délai dans le temps d'établissement de la tension de sortie du CNA. Cependant le comparateur effectuant sa comparaison avec une demi-période de décalage par rapport aux signaux de commande du CNA la tension en sortie du CNA devrait avoir le temps de s'établir.
- Enfin les interrupteurs de commande du CNA génèrent des injections de charges lors de leur commutation augmentant le temps d'établissement de la tension de sortie du CNA.

Aucune de ces erreurs ne s'est révélée critique lors des phases de post simulations. Cependant il se peut qu'une combinaison de plusieurs de ces erreurs puisse entraîner de grave dysfonctionnement au sein du CAN.

#### **4.3.6.1 Le bloc de contrôle numérique**

Le bloc de contrôle du CAN repose sur un principe simple, celui d'un compteur. Lors de la réalisation de ce bloc, il a été décidé de le réaliser de manière asynchrone. Ce choix, en travaillant avec une période d'horloge de 10 ns, n'était pas judicieux. Le comparateur travaillant avec une demi-période de décalage par rapport à l'horloge principale, seule une fenêtre de 5 ns permet de séquencer le système de manière correcte. En effectuant ce bloc de manière asynchrone les sources d'erreurs potentielles ont été augmentées de manière significative. Cela a pu engendrer les dysfonctionnements observés lors de la caractérisation du circuit.

#### **4.3.7 Conclusion**

En conclusion les résultats de la puce WILLIAM ont été assez décevants. Les capacités parasites présentes sur les pistes véhiculant les signaux de contrôle du CNA interne ont été fortement sous évaluées lors des simulations. Ces capacités sont la principale cause des erreurs observées lors de la caractérisation du circuit. Lors de la post simulation du CAN à double rampe, le CNA interne avait besoins de 2ns pour présenter un palier stable. La

comparaison s'effectuait au milieu de ce palier, soit 5 ns après le basculement du palier. Il semblerait que nous ayons été trop optimiste quand à la fiabilité du séquencement du CNA et du comparateur. Un décalage de 3 ns dans le séquencement du circuit suffirait à générer des codes erronés. Lors de la réalisation d'un prochain prototype la réalisation d'un nouveau bloc numérique fonctionnant de manière synchrone permettrait sûrement d'améliorer les performances du CAN à double rampe numérique. La table 4-4 présente les caractéristiques finales du CAN ainsi que les caractéristiques requises par l'expérience de l'ILC.

	Mesurées	Requises
Gamme dynamique d'entrée (en mV)	125 ± 6	125
Nombre de bit	4	4
Dimension (en µm)	25 × 904	25 × 500
Vitesse de conversion (en Méchantillons/s)	1	10
Erreur d'offset (en LSB)	-0,33	< ±0,5
Erreur de gain (en LSB)	1,63	< ±0,5
DNL (en LSB)	-0,4 < x < 0,15	< ±0,5
INL (en LSB)	-0,35 < x < 0,25	< ±0,5
ENOB	3,9	X
Consommation statique (en µW)	280	< 500

Table 4-3 Résumé des caractéristiques mesurées du CAN double rampe

Malgré un problème important sur la vitesse de conversion du CAN, le prototype WILIAM aura permis de valider le concept de CAN double rampe. Il aura aussi permis de comprendre et corriger différents points critiques du dessin des masques du CNA interne afin d'améliorer les performances du prochain prototype.

## 4.4 Caractérisation de la puce SARA

Tout comme la puce WILIAM, la puce SARA a été développée en technologie AMS 0.35 µm. Elle intègre 16 canaux de CAN à approximation successive. Une photo de ce circuit est présentée sur la figure 4-13.

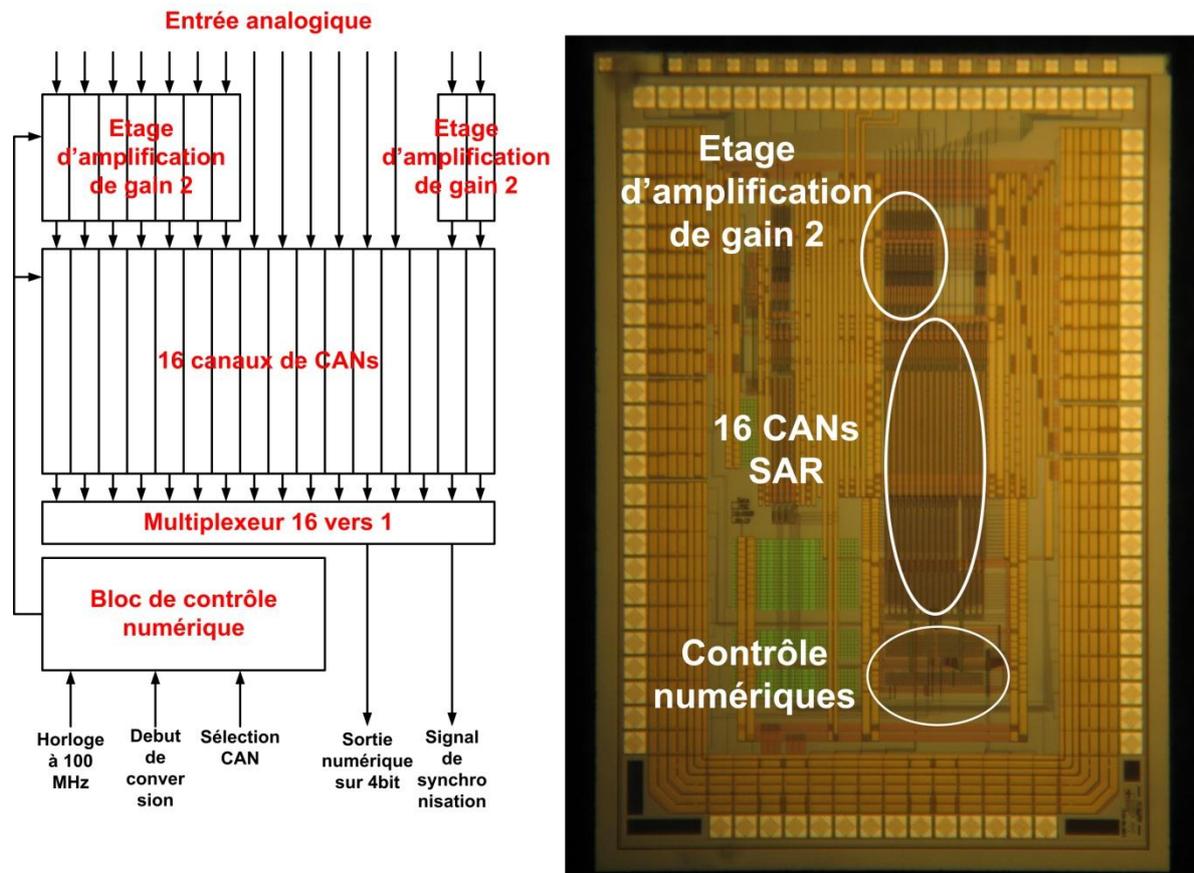


Figure 4-13 Photo du circuit SARA et détail de sa composition

Le circuit est séquencé par une horloge de 100 MHz, puis un diviseur d'horloge permet de présenter les données de sortie à une cadence de 10 Méchantillons/s. Le système d'activation détaillé dans le paragraphe 4.1 a été implanté afin d'isoler un CAN particulier. Un multiplexeur permet de sélectionner la sortie d'un des 16 CANs.

#### 4.4.1 Caractéristiques statiques

De la même manière que pour la puce WILIAM, une rampe lente a été générée par les CNAs présents sur la carte de test afin d'obtenir les caractéristiques statiques d'un canal du circuit SARA.

##### 4.4.1.1 Fréquence de fonctionnement et erreurs de monotonicité

Le CAN SAR ne présente aucune erreur de monotonicité. Cependant des codes manquants apparaissent en fonction de la fréquence de l'horloge principale ou de la dynamique du signal d'entrée. En effet, il s'est avéré que pour une fréquence de fonctionnement de 10 Méchantillons/s plusieurs codes étaient absents. La fréquence de fonctionnement a du être

baissée à 6 Méchantillons/s pour obtenir une caractéristique de transfert acceptable. De même la dynamique d'entrée n'a pu être maintenue à 125 mV, mais a du être montée à 300 mV, toujours pour conserver des caractéristiques acceptables. Cette dynamique de 300 mV correspond à un LSB de 18,75 mV. La figure 4-14 montre la fonction de transfert du CAN SAR pour deux fréquences d'horloge principale différentes, 8 Méchantillons/s et 6 Méchantillons/s. Il est à noter la quasi absence du code 11 pour la courbe à 8 Méchantillons/s. A 10 Méchantillons/s, ce dernier a complètement disparu. Le registre à approximation successive peut très largement supporter une fréquence de fonctionnement aussi élevée tout comme le comparateur commuté. L'origine de cette dégradation est à nouveau liée aux performances du CNA interne. En effet une augmentation de la vitesse de fonctionnement du CNA implique une augmentation du bruit généré par les transistors MOS utilisés comme commutateurs pour générer le signal de sortie du CNA. Une augmentation de la vitesse de fonctionnement augmente aussi le temps d'établissement de la tension en sortie du réseau de condensateur. Ce sont ces effets combinés qui sont responsables de la baisse des performances du CAN SAR au fur et à mesure que sa fréquence de fonctionnement augmente.

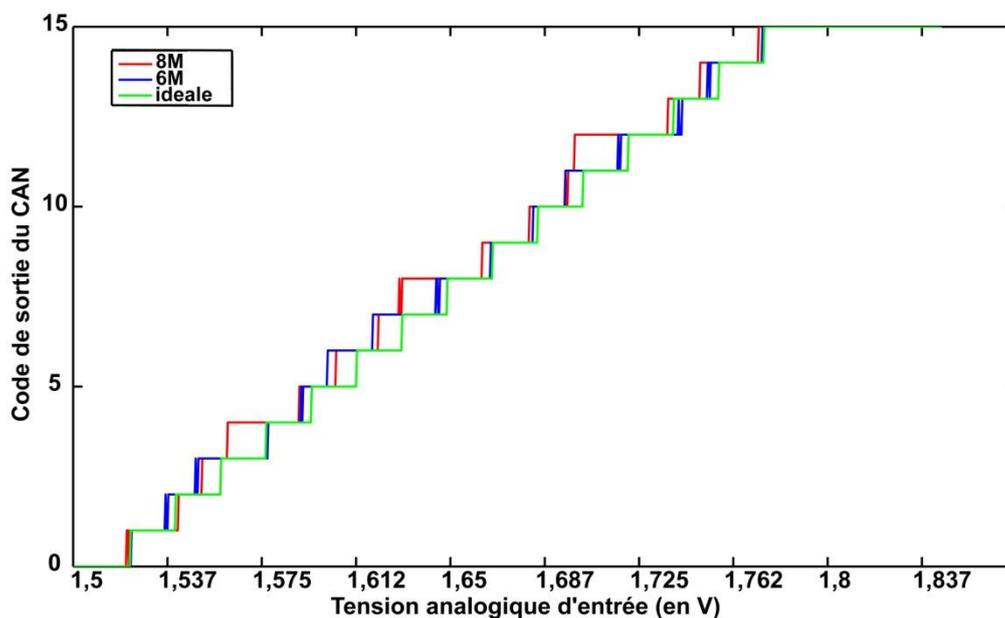


Figure 4-14 Réponse du CAN SAR à une rampe de 300 mV pour une fréquence de conversion de 6MHz et 8 MHz

Il est aussi intéressant de constater que les erreurs de DNL fluctuent en fonction de la fréquence de conversion du CAN.

#### 4.4.1.2 Erreurs de gain et d'offset

Les erreurs de gain et d'offset ont été mesurées en utilisant les caractéristiques de transfert du CAN SAR pour une rampe analogique d'entrée de 300 mV de dynamique. La technique utilisée est la même que pour la caractérisation de la puce WILLIAM. Une nette amélioration a pu être observée avec le gain d'un facteur deux sur les erreurs d'offset et de gain. Ce résultat est l'effet combiné de la dynamique de conversion (deux fois plus importante que pour le CAN à double rampe), ainsi que de l'optimisation du dessin des masques des blocs composants le CAN SAR.

	Caractéristique minimale	Caractéristique maximale	Caractéristique moyenne
Erreur d'Offset (mV)	-0,5	-2,0	-1
Erreur d'Offset (LSB)	-0,02	-0,10	-0,05
Erreur de Gain (mV)	6	10,2	8,5
Erreur de Gain (LSB)	0,32	0,54	0,45

Table 4-5 Erreurs de gain et d'offset mesurées pour le CAN SAR

L'erreur d'offset moyenne est de -1 mV, ce qui représente -0,05 LSB pour un LSB de 18,75 mV. Cet offset ramené à un LSB de 7 mV, correspondant aux spécifications de l'expérience, représenterait en réalité -0,14 LSB. En ce qui concerne l'erreur de gain moyenne, cette dernière est de 8,5 mV, soit 0,45 LSB pour un LSB de 18,75 mV, ou encore 1,2 LSB pour un LSB de 7 mV. La valeur de l'erreur de gain n'est toujours pas compatible avec les spécifications de l'expérience et un travail de perfectionnement reste à réaliser sur le dessin des masques des différents blocs du CAN.

#### 4.4.1.3 Erreurs de DNL et d'INL

Les erreurs de DNL et d'INL ont été mesurées en utilisant une rampe lente de 300 mV de dynamique, pour une vitesse de fonctionnement de 6 Méchantillons/s. Ces erreurs sont respectivement représentées sur les figures 4-15 et 4-16.

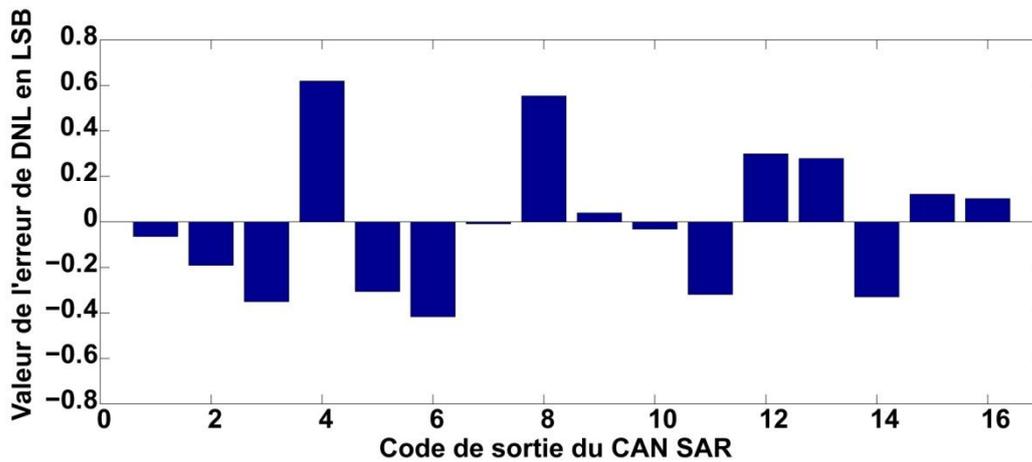


Figure 4-15 Erreur de DNL du CAN SAR @6 Me/s

L'erreur de DNL est comprise entre 0,62 LSB et -0,46 LSB. L'origine principale de ces valeurs reste les capacités parasites sur les commandes du CNA interne.

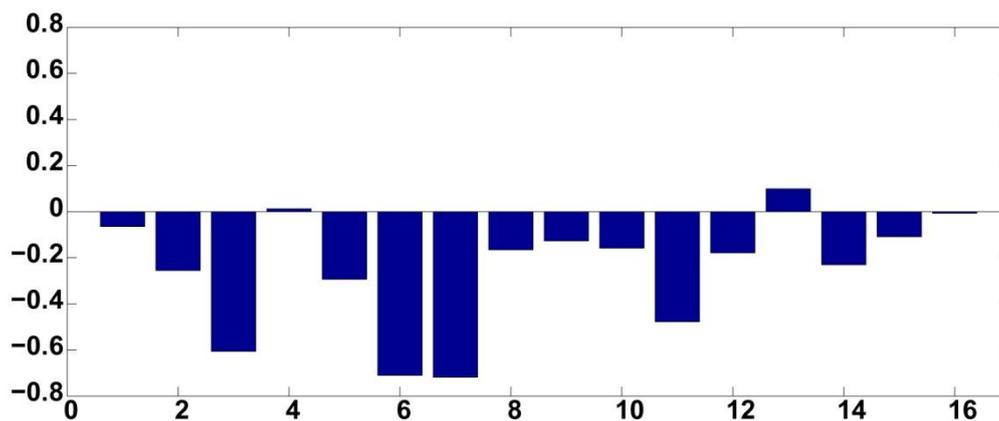


Figure 4-16 Erreur d'INL du CAN SAR @ 6 Me/s

L'erreur d'INL est quant à elle comprise entre 0,1 LSB et -0,72 LSB. Ses origines sont identiques aux erreurs d'DNL, et restent elles aussi à améliorer. Ces performances sont à la limite de ce qui est acceptable pour un convertisseur analogique numérique.

#### 4.4.1.4 Erreur de transition

De la même manière que pour le circuit WILIAM, il est intéressant de présenter le bruit de transition associé aux erreurs de DNL. La figure 4-17 met en évidence le bruit de transfert du CAN pour une vitesse de conversion de 6 Méchantillons/s.

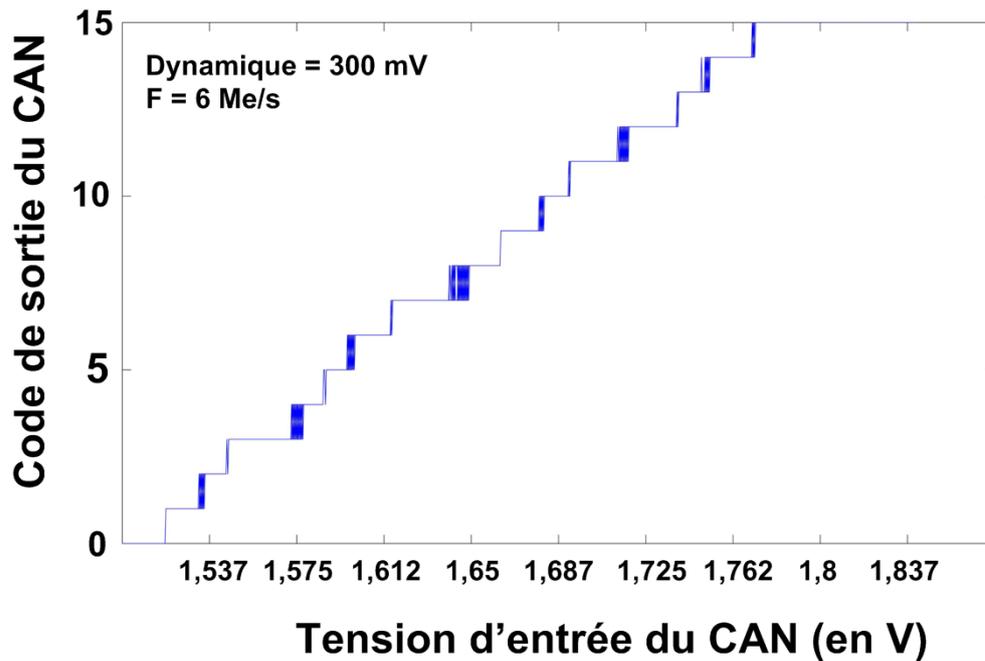


Figure 4-17 Mise en évidence des erreurs de transition associées aux erreurs de DNL pour le CAN SAR

Le tableau 4-6 représente la largeur de palier stable en fonction du code de sortie du CAN.

Code	1	2	3	4	5	6	7	8
Largeur du palier stable (en LSB)	0,71	0,43	1,47	0,41	0,5	0,81	1,22	0,70

Code	9	10	11	12	13	14
Largeur du palier stable (en LSB)	0,89	0,52	1,10	1,02	0,55	0,95

Table 4-6 Largeur du palier stable pour les différents codes de sortie du CAN SAR

Le bruit de transition est largement acceptable comparé à l'erreur de DNL.

#### 4.4.1.5 Erreur quadratique moyenne

De la même manière que pour la puce WILIAM, l'erreur quadratique moyenne a été calculée à partir du bruit de transition.

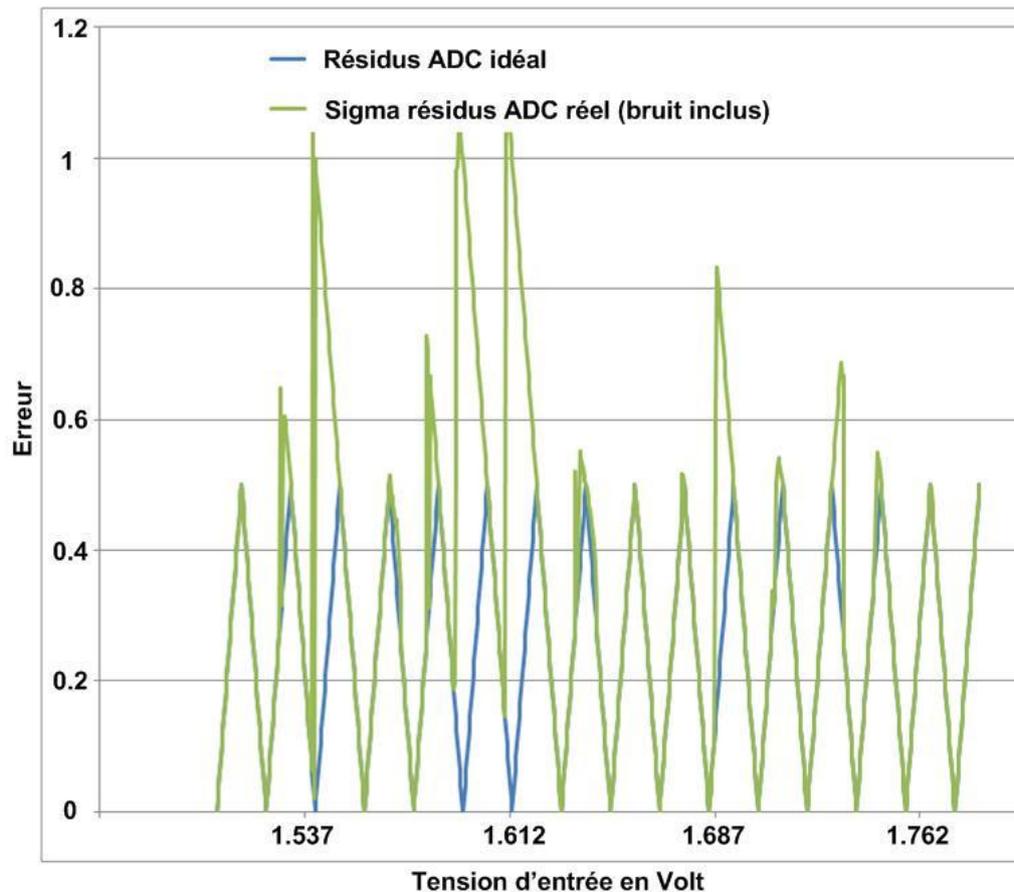


Figure 4-18 Erreur quadratique moyenne du CAN SAR

Le CAN SAR présente une erreur quadratique moyenne de 0,417 LSB. Le CAN ne se trompe jamais de plus d'un code, voir même pour certaine transition, d'aucun. Ces résultats sont extrêmement satisfaisants.

#### 4.4.1.5 Diaphonie entre les voies

Afin d'étudier la diaphonie entre les voies, plusieurs voies de CAN ont été activées simultanément afin d'étudier les perturbations induites par les commutations des CANs les uns sur les autres. Tout comme pour le CAN à double rampe, il s'est avéré impossible de distinguer le bruit de diaphonie, le signal de sortie du CAN étant identique à celui d'un CAN fonctionnant seul.

#### 4.4.2 Source d'erreur du CAN SAR

Les différents blocs composant le CAN SAR étant les mêmes que ceux implantés dans l'architecture à double rampe numérique, le CAN présente les mêmes sources d'erreurs. La taille de la capacité parasite présente sur la ligne de sortie du CNA n'a pu être réduite et vaut toujours une centaine de femto farad. Les commutateurs génèrent toujours des injections de charges. Cependant un soin tout particulier ayant été apporté à la réalisation du registre à

approximation successive, il n'y a pas d'erreur liée à un délai d'établissement des commutateurs de commande du CNA.

### 4.4.3 Conclusion

Le CAN SAR s'est révélé plus performant que l'architecture double rampe. L'explication de cette différence de performance possède plusieurs origines : tout d'abord cette architecture nécessite une fréquence d'horloge plus basse pour réaliser une conversion à la même fréquence de sortie (pour une conversion à 10 Méchantillons/s, le CAN double rampe nécessite une fréquence d'horloge de 100 MHz, contre 50 MHz pour l'architecture SAR). L'augmentation du gain de l'étage d'amplification du comparateur a permis une diminution de l'offset du CAN.

Le CAN SAR n'a pu atteindre les 125 mV de dynamique de conversion. L'origine de ce problème n'est pas complètement expliquée. En effet un problème de capacité parasite sur le CNA interne provoquerait un problème de vitesse de conversion, ou dans un cas plus extrême l'incapacité d'atteindre les derniers codes de la conversion. Mais en aucun cas une impossibilité d'atteindre un LSB faible. Un problème sur l'offset du comparateur entrainerait une erreur d'offset sur le CAN. Une autre possibilité réside dans le signal entre la sortie des CNA externe et l'entrée de la puce. Ce signal peut présenter une variation de quelques millivolts empêchant d'atteindre un LSB de 7,8 mV. Afin d'essayer d'isoler ce problème la carte PCB a été placée dans un caisson métallique connecté à la masse. Les résultats de caractérisation n'ont pas été modifiés. Le signal d'entrée de la puce a été mesuré pour toute la gamme dynamique des CNAs externes sans pouvoir observer un bruit significatif.

La table 4-8 présente les résultats de la caractérisation du CAN SAR ainsi que les spécifications requises par l'expérience.

	Mesurées	Requises
Gamme dynamique d'entrée (en mV)	$300 \pm 6$	125
Nombre de bit	4	4
Dimension (en $\mu\text{m}$ )	$25 \times 904$	$25 \times 500$
Vitesse de conversion (en Méchantillons/s)	6	10
Erreur d'offset (en LSB)	-0,05	$< \pm 0,5$
Erreur de gain (en LSB)	0,45	$< \pm 0,5$
DNL (en LSB)	$-0,46 < x < 0,62$	$< \pm 0,5$
INL (en LSB)	$-0,72 < x < 0,1$	$< \pm 0,5$
Consommation statique (en $\mu\text{W}$ )	295	$< 500$

Table 4-8 Performances mesurées et requises du CAN SAR

Malgré une amélioration des performances par rapport au précédent prototype, les performances du CAN SAR ne sont pas complètement compatibles avec les spécifications d'un CAN destiné à être intégré en bas de colonne d'une matrice de pixels dans le cadre d'un détecteur de vertex. Le problème concernant la dynamique d'entrée peut être contourné en changeant la valeur du gain de l'amplificateur présent en bas de colonne de la matrice. En changeant de technologie de fabrication en développant le circuit dans une technologie plus submicronique (comme une technologie  $0,18 \mu\text{m}$ ), il est envisageable de réduire la longueur du circuit de 25 %, en réduisant principalement la taille du registre à approximation successive. La vitesse conversion quant à elle, représente un problème plus complexe à résoudre. En effet il est difficile de réduire la longueur de la piste de sortie du CNA interne, cette dernière étant responsable de la taille de la plus grosse capacité parasite.

## 4.4 Caractérisation de la puce MAD

La puce MAD n'intègre que 14 canaux de CAN à résolution variable. Ces canaux sont directement connectés à l'entrée de la puce sans étage d'amplification intermédiaire. Deux canaux présentent des entrées différentielles au niveau de la puce, la conversion unipolaire/différentielle s'effectuant au plus près de l'entrée des CANs. Cette solution a été implantée afin d'essayer de minimiser le bruit généré sur la carte de test PCB.

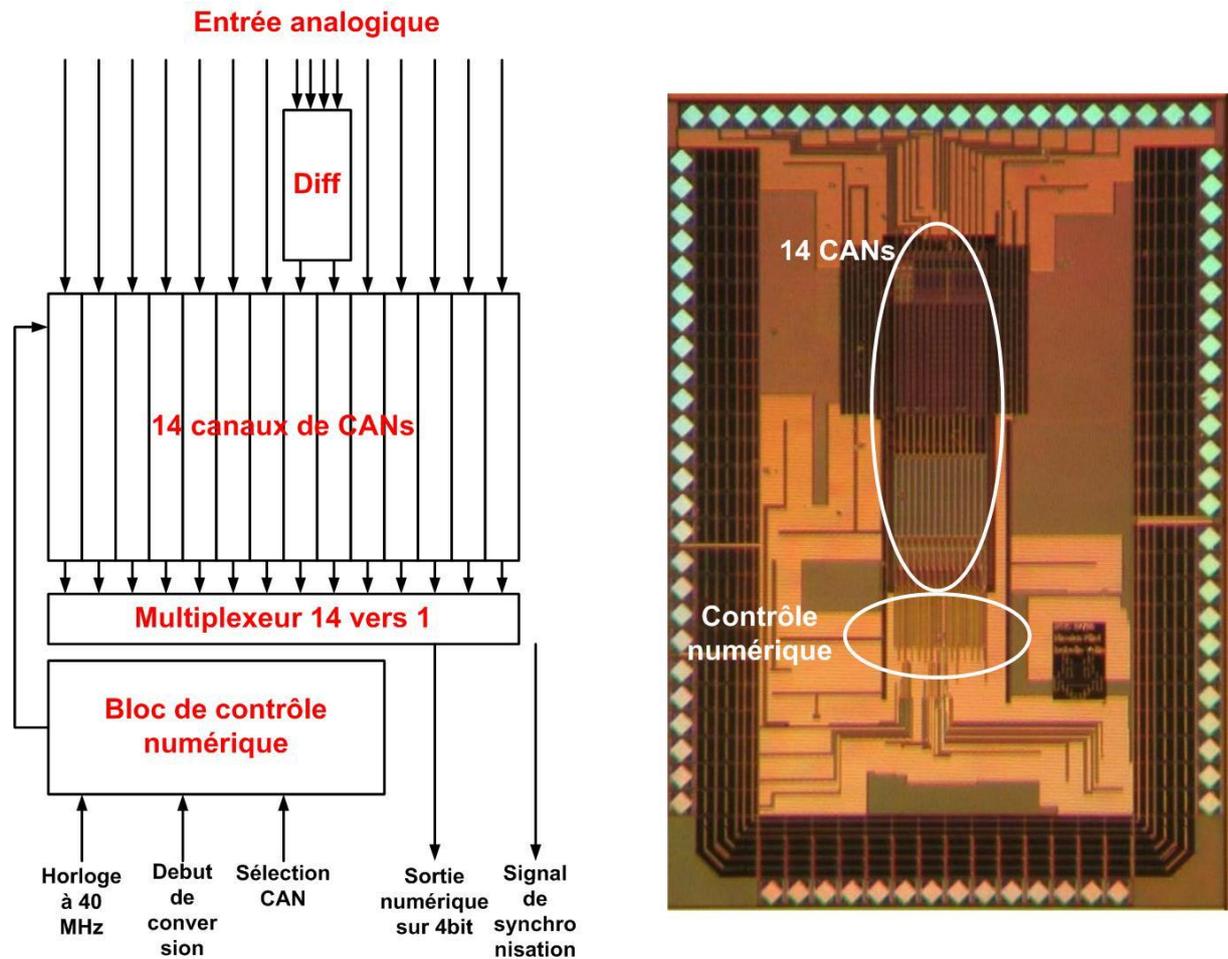


Figure 4-19 Photo du circuit MAD et détail de sa composition

Le système d'activation des canaux détaillé dans la partie 4.1 a été implanté dans la puce afin d'étudier la diaphonie entre les voies. L'horloge principale du circuit a été fixée à 50 MHz afin de pouvoir fournir 10 Méchantillons par seconde.

#### 4.4.1 Caractéristiques statiques

Le même processus de caractérisation a été appliqué à la puce MAD qu'aux deux précédentes puces à base de CAN. Les CNAs présents sur la carte PCB ont été utilisés pour générer une rampe analogique lente.

##### 4.4.1.1 Fréquence de fonctionnement et erreurs de monotonicité

De la même manière que pour les précédents circuits, les caractéristiques statiques du CAN à résolution variable sont influencées par la fréquence de son horloge principale. Une dégradation des performances est observable en fonction de la fréquence de fonctionnement du circuit. De même comme pour le CAN SAR la dynamique de conversion n'a pu être

baissée en dessous de 250 mV afin de conserver des performances compétitives pour le CAN. Cette dynamique de conversion correspond à 15,62 mV de LSB pour les codes de 0 à 3, 31,25 mV pour les codes 4 et 6 et 62,5 mV pour les codes 8 et 12. La figure 4-20 présente la réponse à une rampe lente de 250 mV de dynamique pour deux fréquences d'horloge différentes. La courbe rouge correspond à une fréquence d'horloge de 50 MHz, la courbe bleue à une fréquence d'horloge de 40 MHz et la courbe verte à la réponse idéale.

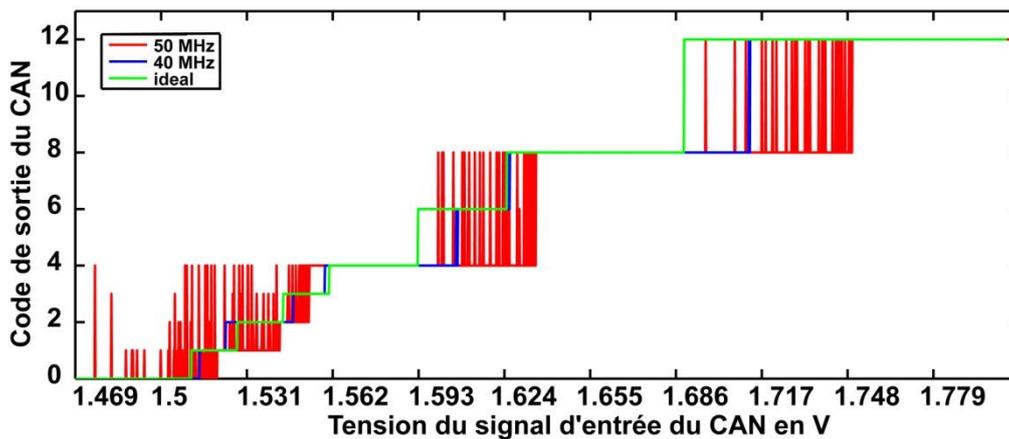


Figure 4-20 Réponse du CAN à résolution variable pour différentes fréquences de fonctionnement

Pour une fréquence d'horloge de 50 MHz des erreurs de monotonie apparaissent. Aucun code manquant n'a été observé, cependant pour maintenir des caractéristiques acceptables, la fréquence d'horloge a été limitée à 40 MHz, ce qui correspond à 8 Méchantillons/s. La source de ces erreurs est là encore liée au fonctionnement du CNA interne. Malgré une amélioration du dessin des masques il semblerait que le facteur de forme particulier du CNA ne permette pas d'atteindre les performances requises en termes de vitesse en utilisant cette architecture de CNA.

#### 4.4.1.2 Erreurs de gain et d'offset

Les erreurs de gain et d'offset ont pu être caractérisées à partir de la réponse du CAN à une rampe lente de 250 mV de dynamique en utilisant la même technique que pour les deux précédents circuits.

	Caractéristique minimale	Caractéristique maximale	Caractéristique moyenne
Erreur d'Offset (mV)	-0,5	-2,0	-1
Erreur d'Offset (LSB)	-0,03	-0,12	-0,06
Erreur de Gain (mV)	4	8,4	6,2
Erreur de Gain (LSB)	0,25	0,53	0,39

Table 4-9 Présentation de l'erreur d'offset et de gain du CAN à résolution variable

Une légère amélioration a été constatée par rapport à l'architecture SAR. L'erreur moyenne d'offset est de -0,06 LSB alors que l'erreur moyenne de gain est de 0,39 LSB. Cette amélioration permet au CAN à résolution variable d'être compatible avec les spécifications de l'expérience de l'ILC.

#### 4.4.1.3 Erreurs de DNL et d'INL

Les erreurs de DNL et d'INL ont été mesurées pour la réponse du CAN à résolution variable pour une fréquence de conversion de 8 Méchantillons/s et une dynamique de conversion de 250 mV. Le LSB varie en fonction de la gamme dans laquelle se trouve la tension à convertir. Les valeurs pour les erreurs de DNL et d'INL sont calculées par rapport au LSB de la gamme correspondante. La figure 4-21 présente les erreurs de DNL.

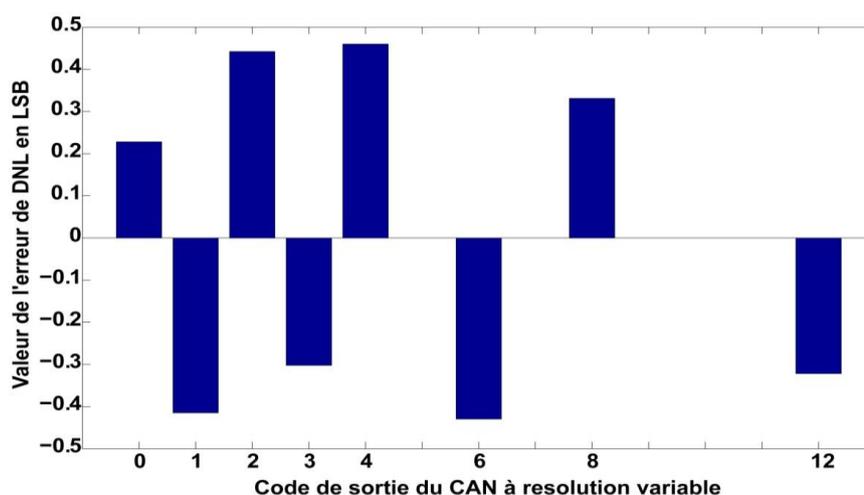


Figure 4-21 Erreur de DNL pour le CAN à résolution variable

La valeur de l'erreur de DNL est comprise entre -0,43 LSB et 0,46 LSB. Il est intéressant de constater que les codes successifs ont tendance à se compenser entre eux permettant une faible erreur d'INL. L'erreur d'INL est représentée sur la figure 4-22.

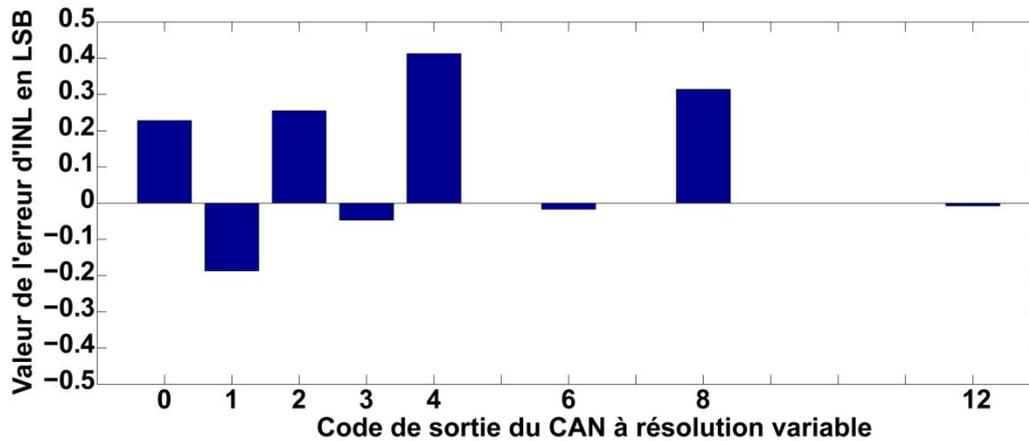


Figure 4-22 Erreur d'INL pour le CAN à résolution variable

L'erreur d'INL est comprise entre -0,41 LSB et 0,18 LSB.

L'ensemble des erreurs de DNL et d'INL sont comprises entre  $\pm 0,5$  LSB. Ces valeurs sont donc tout à fait acceptables pour un CAN.

#### 4.4.1.4 Erreur de transition

Tout comme pour les précédents circuits, l'erreur de transition a été étudiée et ses résultats sont présentés sur la figure 4-23.

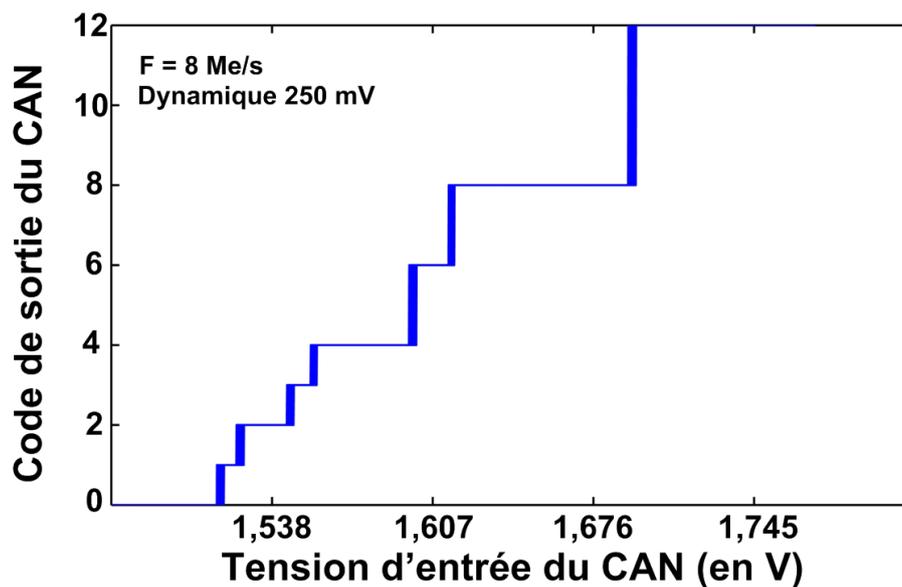


Figure 4-23 Mise en évidence des erreurs de transition du CAN à résolution variable

A partir des mesures de la figure 4-23, les largeurs des zones de transition ont été calculées et sont présentées dans la table 4-10.

Transition entre les codes	0-1	1-2	2-3	3-4	4-6	6-8	8-12
Largeur de la transition (en LSB)	0,26	0,24	0,23	0,16	0,11	0,09	0,04

Table 4-10 Valeur de la largeur des zones de transition du CAN à résolution variable

Les valeurs présentées dans la table 4-11 sont exprimées en LSB par rapport au LSB des différentes zones de résolution (de 0 à 3, de 4 à 6 et de 8 à 12). Les valeurs des zones de transition sont plus homogènes que pour le CAN SAR et sont tout à fait acceptables conjuguées aux erreurs de DNL.

#### 4.4.1.5 Erreurs quadratique moyenne

L'erreur quadratique moyenne a été calculée à partir du bruit de transition, elle est représentée sur la figure 4-24. Cette dernière a été normalisée sur 16 codes de sortie afin de la rendre plus lisible.

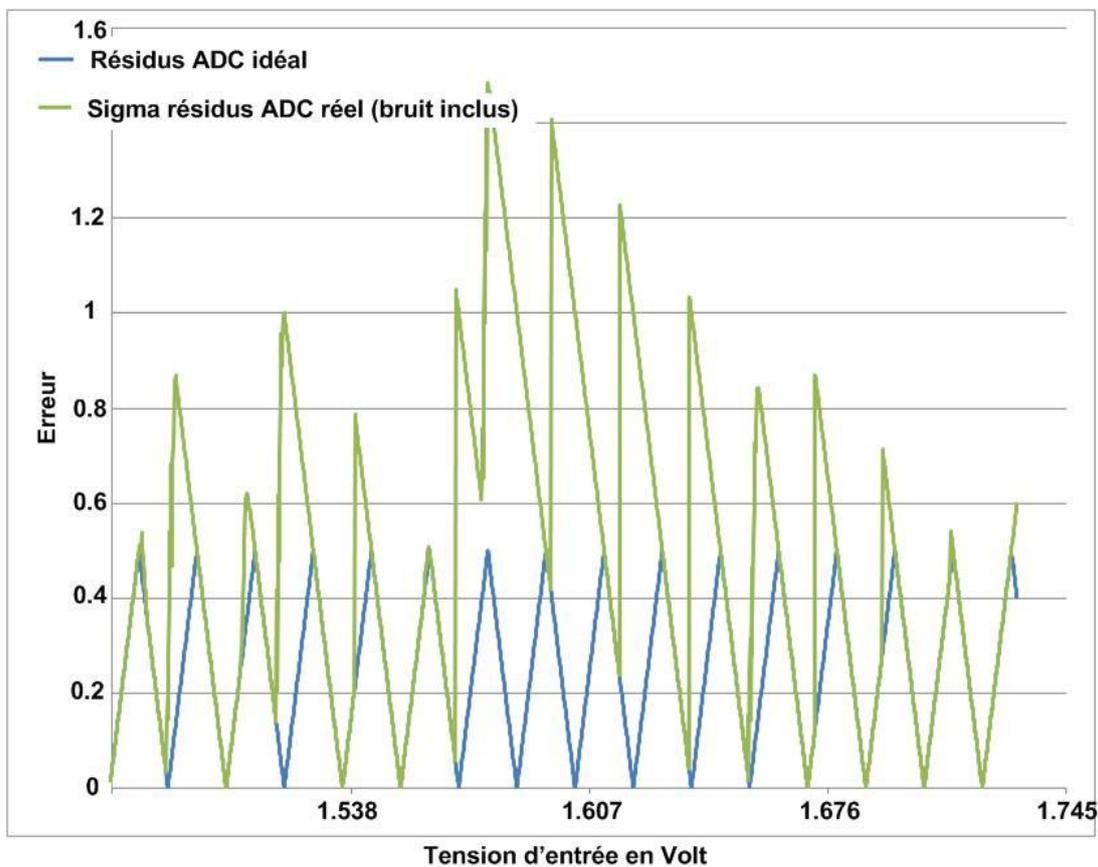


Figure 4-24 Erreur quadratique moyenne du CAN à résolution variable

L'erreur quadratique moyenne vaut 0,587 LSB. L'erreur quadratique moyenne pour les quatre premières valeurs (valeurs 0 à 3) est satisfaisante. Le premier code pour la résolution de trois bits (valeurs 4 et 5) est lui aussi bon. Le deuxième code pour trois bits de résolution présente une erreur importante qui tend à diminuer tout au long du reste de la dynamique de conversion du CAN ; pour redevenir satisfaisant sur la dernière valeur sur deux bits du CAN (valeurs 12, 13, 14 et 15). Cependant l'erreur prise dans sa globalité n'entraînera pas de dysfonctionnement grave du CAN.

#### **4.4.1.6 Diaphonie entre les voies**

Le même protocole a été utilisé que pour les deux précédents circuits. Il s'est à nouveau avéré impossible de distinguer le bruit de diaphonie entre les voies, les résultats étant identiques que lors de l'activation d'un seul canal de CAN.

#### **4.4.2 Source d'erreur du CAN à résolution variable**

Le CAN à résolution variable présente comme ces deux prédécesseurs les mêmes blocs fonctionnels et donc les mêmes sources d'erreurs. Lors des phases de post simulations, quelques décalages ont pu être observés sur la génération des signaux numériques. Bien que ces erreurs n'aient jamais engendré de dysfonctionnement du CAN, il est envisageable de développer une nouvelle machine d'état en optimisant le code RTL de cette dernière.

#### **4.4.3 Conclusion**

Le CAN à résolution variable en tant que dernier prototype développé a pu bénéficier des corrections apportées aux différents blocs le constituant grâce aux résultats de la caractérisation de ses prédécesseurs. Ses performances mesurées sont présentées dans la table 4-11.

	Mesurées	Requises
Gamme dynamique d'entrée (en mV)	$250 \pm 6$	125
Nombre de bit	4/3/2	4
Dimension (en $\mu\text{m}$ )	$25 \times 1240$	$25 \times 500$
Vitesse de conversion (en Méchantillons/s)	8	10
Erreur d'offset (en LSB)	-0,06	$< \pm 0,5$
Erreur de gain (en LSB)	0,39	$< \pm 0,5$
DNL (en LSB)	$-0,43 < x < 0,46$	$< \pm 0,5$
INL (en LSB)	$-0,41 < x < 0,18$	$< \pm 0,5$
Consommation statique (en $\mu\text{W}$ )	296	$< 500$

Table 4-11 Résumé des performances mesurées du CAN à résolution variable

Les performances de la puce MAD ont été très satisfaisantes. Le même problème de dynamique de conversion a été observé que pour le CAN SAR. Afin de pouvoir identifier ce problème, deux voies de la puce MAD ont des entrées différentielles, la conversion unipolaire-différentiel s'effectuant à l'intérieur de la puce afin d'isoler au maximum les signaux d'entrée de la puce du bruit électronique de la carte. Malheureusement ces deux voies se sont révélées muettes, une étude du dessin des masques a mis en évidence une erreur de routage dans l'étage de conversion différentiel-unipolaire. Cependant le problème lié à la dynamique de conversion devrait pouvoir être contourné en doublant le gain de l'étage d'amplification présent en amont du CAN. Seul subsiste le problème lié à la longueur du CAN dépassant d'un facteur deux les caractéristiques requises. Cependant comme le montrera le prochain chapitre de ce manuscrit, il est possible de résoudre ce point en envisageant un changement de technologie pour la conception du CAN.

## 4.5 Bilan des trois architectures

Trois circuits à base de CANs présentant chacun une architecture différente ont été soumis et caractérisés. Chaque prototype a permis d'améliorer le prototype suivant et a permis d'aboutir au CAN à résolution variable qui présente des caractéristiques très proches des spécifications requises pour une application dans un détecteur de vertex. La caractérisation de ces trois circuits a aussi permis le développement d'un banc de mesure spécifique et des solutions de traitement de données associées pour le test de CAN. Fort de ces résultats le prochain chapitre se propose de confronter les caractéristiques de ces trois architectures aux autres prototypes

développés au sein de l'IN2P3 afin de définir l'architecture la plus optimale pour le développement d'un prototype contenant une matrice de pixels associée à des CANs. Ce dernier chapitre présentera aussi des solutions afin d'améliorer les performances des trois circuits développés dans le cadre des travaux de la thèse présentée dans ce manuscrit.



## Chapitre 5

# Confrontation des performances des CANs développés pour le détecteur de vertex de l'ILC et perspectives envisageables

### Introduction

A présent que les trois architectures de CAN développées dans le cadre de ces travaux de thèse ont été détaillées et que les résultats de leurs caractérisations ont été présentés, il peut être intéressant de les confronter aux différentes architectures concurrentes développées au sein des laboratoires partenaires de l'IN2P3. Une fois cette comparaison réalisée, des propositions visant au développement d'un prototype « ultime » de CAN pour une intégration en bas de colonne d'une matrice de pixels pour la physique des particules seront étudiées.

## 5.1 Bilan sur les différentes architectures de CAN de l'IN2P3

Comme il l'a été évoqué à la fin du chapitre 2, quatre laboratoires de l'IN2P3 ont décidé de travailler sur la problématique d'un CAN intégrable en bas de colonne d'une matrice de pixels dans le cadre du détecteur de vertex de l'ILC.

- Le LPC a décidé de développer un CAN flash [80]
- Le DAPNIA a travaillé sur l'architecture SAR [82]
- Le LPSC a développé un CAN pipeline [76]

Tous les CANs ont été développés dans la technologie AMS 0.35  $\mu\text{m}$ .

Le tableau 5-1 résume les principales caractéristiques de ces convertisseurs.

	CAN SAR du DAPNIA	CAN Pipeline	CAN Flash	CAN Double Rampe	CAN SAR de l'IPHC	CAN à résolution variable
Nombre de bit	5	5	4.5	4	4	4/3/2
Vitesse de conversion	6,6 Me/s	50 Me/s	20 Me/s	1 Me/s	6 Me/s	8 Me/s
Dynamique de conversion	250 mV	32 mV	250 mV	125 mV	300 mV	250 mV
Consommation statique	300 $\mu\text{W}$	1,4 mW	1,4 mW	280 $\mu\text{W}$	300 $\mu\text{W}$	300 $\mu\text{W}$
Dimension ( $\mu\text{m}$ )	25 $\times$ 1000	80 $\times$ 1400	47 $\times$ XXX	25 $\times$ 930	25 $\times$ 911	25 $\times$ 1240
Tension d'alimentation	3.3 V	2 V	3.3 V	3.3 V	3.3 V	3.3 V
DNL (LSB)		-0,7 < x < 0,7	-0,6 < x < 0,6	-0,4 < x < 0,15	-0,46 < x < 0,62	-0,43 < x < 0,46
INL (LSB)		-0,8 < x < 1,2	-1,5 < x < 1,5	-0,35 < x < 0,25	-0,72 < x < 0,1	-0,41 < x < 0,18

Table 5-1 Comparaison de différentes architectures de CANs

On constate qu'aucun des cinq prototypes n'arrive à remplir toutes les spécifications requises. Comme attendu les deux CANs les plus rapides (le flash et le pipeline) sont aussi les plus dissipatifs. Aucun des cinq prototypes n'arrive à respecter les contraintes de dimension du

CAN. Deux prototypes (le flash et le pipeline) ont fait un choix particulier concernant la vitesse de conversion : occuper plus de surface, mais effectuer une conversion beaucoup plus rapide que nécessaire afin de n'utiliser qu'un CAN pour plusieurs colonnes. Ce choix permet de lever un certain nombre de contraintes concernant la conception des différents blocs composant les convertisseurs et cela s'avère à priori efficace. Cependant un tel choix entraîne aussi une conséquence non négligeable : un système de basculement en bas de colonne devra être développé afin de connecter alternativement les sorties des colonnes avec l'entrée du CAN. Cela implique donc outre un séquençage plus complexe pour la lecture de la matrice, de rajouter un étage d'aiguillage en bas de colonne, et donc d'augmenter encore la surface des blocs de traitements présents en bas de la matrice. Cette solution risque de s'avérer complexe à mettre en œuvre.

Le prototype de CAN s'approchant le plus des spécifications requises reste l'architecture à résolution variable. Sa longueur étant le paramètre le plus éloigné des spécifications. La partie suivante propose une solution à ce problème.

## 5.2 Dimensions des CANs

Aucune des trois architectures réalisées à l'IPHC ne permettent de répondre pour l'instant aux contraintes imposées par l'application d'un détecteur de vertex développé pour les premières couches de l'ILC. Le point le plus handicapant est sans aucun doute celui des dimensions du CAN. Comme il a été expliqué dans le chapitre 1, il est impossible d'ajouter de la matière aux couches des détecteurs sans perturber les trajectoires des particules observées. En cela, un convertisseur dépassant d'un facteur deux la spécification du détecteur de vertex n'est pas envisageable. Afin de minimiser la taille des CANs il est tout d'abord utile de détailler les dimensions des différents blocs constituant les trois architectures de CAN. La table 5-2 présente ces dimensions.

Dimension en $\mu\text{m}$	CAN double rampe	CAN SAR	CAN à résolution variable
Dimension totale	911 $\mu\text{m}$ $\times$ 25 $\mu\text{m}$	930 $\mu\text{m}$ $\times$ 25 $\mu\text{m}$	1240 $\mu\text{m}$ $\times$ 25 $\mu\text{m}$
CNA interne	465 $\mu\text{m}$ $\times$ 25 $\mu\text{m}$	519 $\mu\text{m}$ $\times$ 25 $\mu\text{m}$	566 $\mu\text{m}$ $\times$ 25 $\mu\text{m}$
Comparateur	184 $\mu\text{m}$ $\times$ 25 $\mu\text{m}$	195 $\mu\text{m}$ $\times$ 25 $\mu\text{m}$	178 $\mu\text{m}$ $\times$ 25 $\mu\text{m}$
Bloc numériques	262 $\mu\text{m}$ $\times$ 25 $\mu\text{m}$	216 $\mu\text{m}$ $\times$ 25 $\mu\text{m}$	496 $\mu\text{m}$ $\times$ 25 $\mu\text{m}$

Table 5-2 Dimension des différents blocs composants les CANs

Pour les trois architectures les deux blocs présentant la plus grande surface occupée sont le CNA interne ainsi que le bloc numérique.

Il est possible de diminuer la longueur des CANs de deux façons différentes : en premier lieu en effectuant un changement de technologie au profit d'une technologie plus submicronique, en second lieu en modifiant le pitch du pixel.

### 5.2.1 Technologies 0,18 $\mu\text{m}$ versus 0,35 $\mu\text{m}$

Comme il l'a été présenté dans le premier chapitre de ce manuscrit, la technologie 0,35  $\mu\text{m}$  est une technologie de travail. Il est intéressant d'étudier l'impact d'un changement de technologie pour les trois prototypes de CAN présentés, les prototypes finaux n'étant pas destinés à être développés avec la technologie AMS 0,35  $\mu\text{m}$ .

Dans le monde de la microélectronique en technologie CMOS, les différentes technologies sont nommées en fonction de la taille minimale de la grille du transistor. Ainsi pour une technologie 0,35  $\mu\text{m}$ , la taille minimale de la grille d'un transistor ne pourra être inférieure à 0,35  $\mu\text{m}$ . La diminution de la taille de la grille des transistors n'a pas le même impact sur les parties analogiques et numériques des circuits. Les parties numériques d'un circuit sont composées de portes logiques, ces dernières utilisent les transistors MOS comme des interrupteurs, l'information passe ou ne passe pas. La figure 5-1 présente le détail d'un inverseur CMOS à différents niveaux d'abstraction.

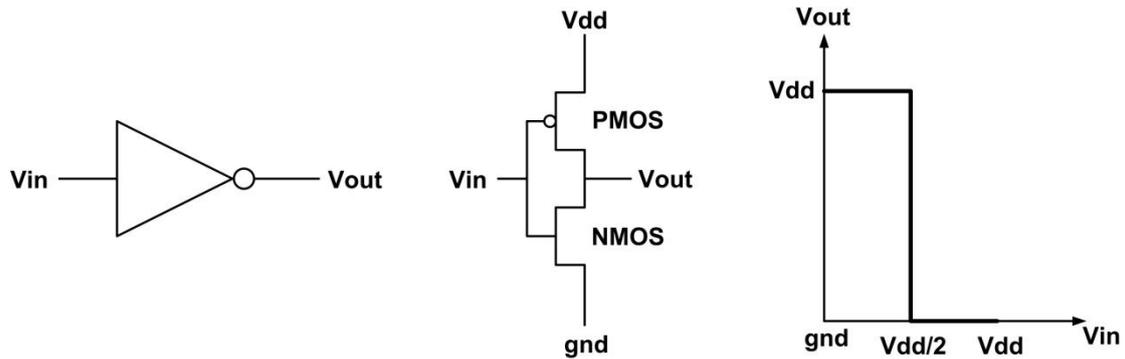


Figure 5-1 Détail d'une porte logique inverseur (INV0)

La taille minimale de la grille d'un transistor n'a que peu d'effet sur les performances des cellules logiques, mais elle a un impact considérable sur la taille de ces dernières. Plus la grille sera petite, plus il sera possible d'intégrer de transistors sur une surface équivalente et donc, plus il sera possible d'intégrer de fonctions logiques sur cette même surface.

Les circuits analogiques reposant sur le modèle électrique du transistor MOS, la longueur et la largeur des transistors ont un impact direct sur les tensions et les courants présents dans les différentes branches de circuit analogique tels des amplificateurs. Même si la technologie le permet, il ne sera, pour ces circuits, peu intéressant de diminuer la taille des transistors.

Si les différentes architectures de CAN pouvaient être transposées en technologie 0,18  $\mu\text{m}$ , c'est donc principalement sur les dimensions du bloc numérique que le gain en surface serait intéressant. La table 5-3 présente la taille d'une cellule ET-NON pour les technologies AMS 0,35  $\mu\text{m}$  [82] et XFAB 0,18  $\mu\text{m}$  [83], ainsi qu'une extrapolation des dimensions des blocs numériques et des dimensions totales des trois architectures de CANs. Ces chiffres sont issus directement des spécifications présentées sur le site internet des deux fondeurs.

	AMS 0,35 $\mu\text{m}$	XFAB 0,18 $\mu\text{m}$
Surface d'une cellule logique ET-NON	55 $\mu\text{m}^2$	9,12 $\mu\text{m}^2$
CAN double rampes : <ul style="list-style-type: none"> <li>• Bloc numérique</li> <li>• Dimension totale</li> </ul>	<ul style="list-style-type: none"> <li>• 262 <math>\mu\text{m} \times 25 \mu\text{m}</math></li> <li>• 911 <math>\mu\text{m} \times 25 \mu\text{m}</math></li> </ul>	<ul style="list-style-type: none"> <li>• 42 <math>\mu\text{m} \times 25 \mu\text{m}</math></li> <li>• 691 <math>\mu\text{m} \times 25 \mu\text{m}</math></li> </ul>
CAN SAR : <ul style="list-style-type: none"> <li>• Bloc numérique</li> <li>• Dimension totale</li> </ul>	<ul style="list-style-type: none"> <li>• 216 <math>\mu\text{m} \times 25 \mu\text{m}</math></li> <li>• 930 <math>\mu\text{m} \times 25 \mu\text{m}</math></li> </ul>	<ul style="list-style-type: none"> <li>• 35 <math>\mu\text{m} \times 25 \mu\text{m}</math></li> <li>• 749 <math>\mu\text{m} \times 25 \mu\text{m}</math></li> </ul>
CAN à résolution variable : <ul style="list-style-type: none"> <li>• Bloc numérique</li> <li>• Dimension totale</li> </ul>	<ul style="list-style-type: none"> <li>• 496 <math>\mu\text{m} \times 25 \mu\text{m}</math></li> <li>• 1240 <math>\mu\text{m} \times 25 \mu\text{m}</math></li> </ul>	<ul style="list-style-type: none"> <li>• 80 <math>\mu\text{m} \times 25 \mu\text{m}</math></li> <li>• 830 <math>\mu\text{m} \times 25 \mu\text{m}</math></li> </ul>

Table 5-3 Présentation des différences entre deux technologies submicroniques

L'architecture à résolution variable est celle bénéficiant du plus grand gain. Il est à noter que lors du dessin des masques du bloc numérique du CAN à résolution variable, un espace de 4  $\mu\text{m}$  a été perdu entre chaque bloc de cellule. Ce défaut n'a pu être corrigé faute de temps, il est donc possible de réduire la taille du bloc numérique de ce CAN de 100  $\mu\text{m}$  en technologie AMS 0,35  $\mu\text{m}$ . Les dimensions du CAN à résolution variable serait alors de 800  $\mu\text{m} \times 25 \mu\text{m}$ . Il est à noter que ces extrapolations sont grossières et ne représentent pas les dimensions réelles des CANs. En effet les chiffres présentés dans la table 5-3 ont été calculés à partir des dimensions d'une porte ET-NON en considérant qu'un gain identique était réalisable sur l'ensemble des cellules numériques. Même si ce gain est proche il n'est pas tout à fait égal. Malgré un gain extrêmement intéressant sur la surface du bloc numérique, aucun des trois prototypes de CANs ne parvient à atteindre les dimensions requises de 500  $\mu\text{m} \times 25 \mu\text{m}$ . Cependant un second avantage concernant le changement de technologie existe. Le nombre de couches de métallisation diffère suivant les technologies. Dans la technologie AMS 0,35  $\mu\text{m}$ , quatre couches de métallisation sont disponibles pour réaliser le routage du circuit. La technologie XFAB 0,18  $\mu\text{m}$  propose, elle, six couches de métallisation. Ainsi en plus d'un gain concernant le confort de routage comparé à une technologie à quatre couches de métallisation, de nouvelles technologies de condensateurs sont disponibles, les condensateurs Metal-Isolant-Metal (MIM). La figure 5-2 présente le détail du dessin physique entre une capacité poly-poly et une capacité MIM.

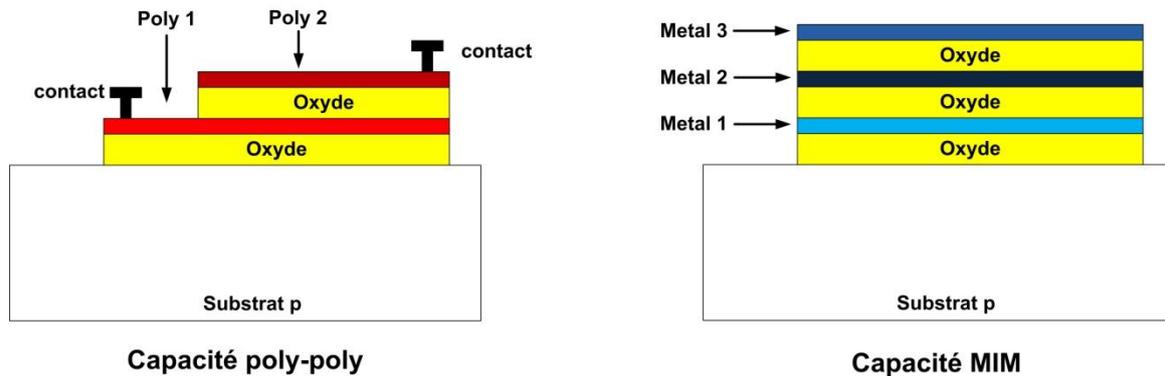


Figure 5-2 Détail d'une capacité poly-poly et d'une capacité MIM

Pour le dessin physique d'une capacité poly-poly, deux couches de polysilicium sont empilées avec une couche d'oxyde entre les deux, permettant de créer une capacité entre ces deux couches. Pour une capacité MIM le principe est le même, le polysilicium étant remplacé par une couche de métallisation. Cette technique nécessite donc le « sacrifice » de deux couches de métallisation sur la surface de la capacité. Il sera impossible de router un signal en utilisant ces deux couches. Les trois architectures de CAN ayant été développées en AMS 0,35  $\mu\text{m}$ , leur dessin physique n'a utilisé que quatre couches de métallisation. Le dessin des masques peut donc être repris tel quel en changeant simplement les capacités poly-poly en capacités MIM.

L'intérêt des capacités MIM réside dans la possibilité de les empiler. En effet en sacrifiant une couche de métal supplémentaire il est possible sur la même surface d'empiler deux capacités MIM comme le montre le dessin 5-2. Une première capacité est créée entre la couche de métal 1 et la couche de métal 2, puis une deuxième capacité de même valeur est créée entre la couche de métal 2 et la couche de métal 3. De ce fait à surface équivalente la capacité est multipliée par deux.

Après un examen détaillé des dessins des masques des trois CANs internes cette solution est facilement envisageable pour le CAN SAR et le CAN à résolution variable sans que cela n'entraîne une modification trop importante du dessin des masques. Pour l'architecture de CAN à double rampe au vue des choix de conception effectués il est impossible d'utiliser des capacités MIM empilées.

Trois points importants doivent être étudiés afin de comprendre les implications d'un changement de technique des capacités poly-poly au profit des capacités MIM :

- Leur densité par unité de surface

- La valeur des dispersions liées aux processus de fabrication
- La valeur des dispersions liées aux erreurs d'appareillement

Pour ce faire des simulations « Monte Carlo » ont été réalisées sur des capacités de 100 fF en technologie poly-poly AMS 0,35  $\mu\text{m}$  ainsi que sur des capacités de 100 fF en technologie XFAB. Des closes de confidentialité entre les sociétés AMS, XFAB et l'IPHC ne permettent pas d'inclure les résultats de ces simulations. Il peut cependant être précisé que ce paramètre ne sera pas limitant pour les performances du CNA interne. Une estimation de la taille du CAN à résolution variable peut être donnée à titre de conclusion dans la table 5-4.

	AMS 0,35 $\mu\text{m}$	XFAB 0,18 $\mu\text{m}$
<b>CAN à résolution variable :</b>		
• <b>Bloc numérique</b>	• 496 $\mu\text{m} \times 25 \mu\text{m}$	• 80 $\mu\text{m} \times 25 \mu\text{m}$
• <b>Dimension totale</b>	• 1240 $\mu\text{m} \times 25 \mu\text{m}$	• ~550 $\mu\text{m} \times 25 \mu\text{m}$

Table 5-4 Estimation de la taille d'un CAN à résolution variable en technologie 0,18  $\mu\text{m}$

Un changement de technologie s'il est extrêmement bénéfique pour les cellules numériques, présente un impact négatif sur les parties analogiques du circuit. Les propriétés électroniques des transistors MOS sont dépendantes des dimensions de ces derniers. Le gain effectué sur les cellules numériques ne peut se reporter sur les parties analogiques. Il serait facile de penser qu'il suffirait de ne pas changer les dimensions des parties numériques du circuit pour éviter tout changement des performances de ces derniers. Dans la réalité un changement de technologie engendre un effet négatif sur les transistors en augmentant la valeur des courants de fuite de ces derniers. En se basant sur l'expérience de l'équipe CMOS de l'IPHC dans ce domaine, un changement de technologie pour une technologie 0,18  $\mu\text{m}$  n'aurait aucun impact négatif sur les parties analogiques du CAN.

### 5.3 Architectures alternatives

En 2007 lors de la conférence IEEE International Solid-State Circuits M.F. Snoeij de la Delft University of Technology, le concept de « Multiple-Ramp Single Slope ADC » (MRSS ADC) a été présenté [84]. La philosophie de conversion de ce CAN est très similaire à celle du CAN double rampe numérique. La figure 5-3 présente le CAN MRSS.

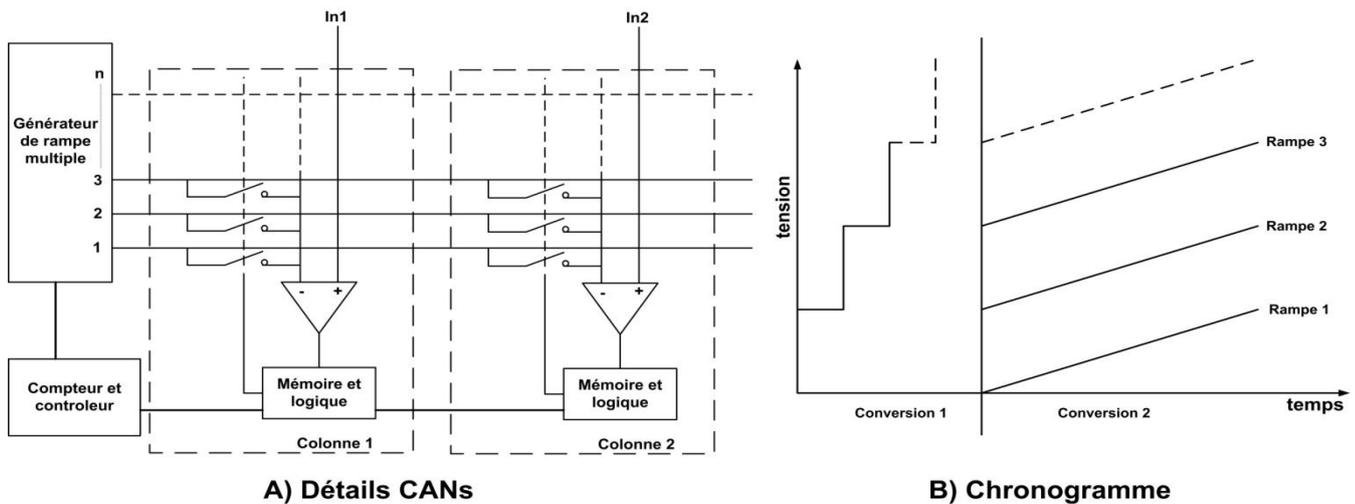


Figure 5-3 Détail du CAN MRSS

Le concept du CAN MSSR est lui aussi d'effectuer deux conversions successives, une première « grossière » pour les bits de poids fort, puis une seconde fine pour les bits de poids faible. La résolution des deux rampes déterminant la résolution du CAN. Il est aussi possible d'adapter la résolution du CAN à double rampe numérique présenté et d'étendre le concept à n rampes comme il a été expliqué dans [75].

Toute la différence entre le CAN MSSR et le CAN à double rampe numérique réside dans le fait que pour le CAN MSSR un seul générateur de rampe multiple produit les rampes pour l'ensemble des colonnes alors que pour le CAN à double rampe numérique chaque CAN est doté de son propre générateur de rampe.

La solution du CAN MSSR paraît extrêmement séduisante au vue des avantages qu'elle apporte pour l'intégration de CAN en bas de colonne de matrice de pixels :

- Un gain de surface. En partageant le générateur de rampe pour toutes les colonnes, seul reste dans chaque colonne un comparateur (~200  $\mu\text{m}$  pour le CAN à double rampes numériques) et un bloc de mémorisation associé à des cellules logiques.
- Très forte diminution des erreurs de dispersion liée au processus de fabrication sur différents CANs sur un grand nombre de colonnes, la même rampe servant pour la conversion de toutes les colonnes.

Cependant cette solution n'offre pas que des avantages :

- La longueur de la piste de métal véhiculant le signal des rampes. Celle-ci parcourt la totalité de la largeur de la matrice (plusieurs millimètres). Il y aura très probablement

une baisse de la tension sur cette distance ce qui va générer des différences de conversion entre colonnes.

La table 5-5 présente les performances du CAN MSSR.

	CAN MSSR
Nombre de bits	10
Dynamique d'entrée	1 V
LSB	0,97 mV
Puissance statique	69 $\mu$ W
Fréquence de l'Horloge principale	20 MHz
Fréquence de conversion	1 Me/s
Tension d'alimentation	2.2 V
Technologie de fabrication	0,25 $\mu$ m

Table 5-5 Performances du CAN MSSR

Le prototype de CAN MSSR étant destiné à une application dans le spectre du visible sa vitesse de conversion est trop lente pour une application directe pour le détecteur de vertex de l'ILC.

Sans pour autant le remplacer, le CAN MSSR représente une source d'inspiration intéressante pour l'évolution du CAN à double rampe numérique. Il pourrait être intéressant de déporter le CNA interne en dehors du CAN et de le partager pour plusieurs colonnes (pas forcément pour toutes afin de ne pas avoir une trop forte baisse de tension tout au long de la piste du signal de la rampe numérique). Cette solution permettrait de diminuer de manière très significative la longueur des CANs.

## Conclusion générale

Les futures grandes expériences dans le domaine de la physique des particules vont nécessiter des détecteurs destinés à la trajectométrie de plus en plus performants en termes de granularité, de dissipation de puissance ainsi qu'en termes de surface occupée. Afin d'atteindre ces nouveaux objectifs, cette future génération de détecteurs se doit de suivre l'évolution de la microélectronique moderne et d'intégrer des fonctionnalités de plus en plus évoluées au sein du même substrat de silicium (diminution du bruit électronique, amplification et prétraitement des signaux...). De fait l'intégration de convertisseur analogique numérique va se révéler être un élément incontournable. Dans le cadre du développement d'un détecteur de vertex pour la trajectométrie à base de pixel en technologie CMOS, ce convertisseur devra présenter une résolution de 4 bits, une vitesse de conversion de 10 Méchantillons/s, un bit de poids faible de 7 mV, une consommation inférieure à 500  $\mu$ W, le tout intégré dans un facteur de forme compatible avec une taille de pixel de 25  $\mu$ m. Sa longueur ne devra pas excéder 500  $\mu$ m afin de ne pas augmenter le budget matière du détecteur.

Alors que les matrices de pixel en technologie CMOS pour des applications dans le spectre visible ont connu un essor incroyable lors de ces dix dernières années, l'état de l'art concernant des CANs intégrables à des matrices de pixels pour des applications dans le domaine de la physique des particules est quasi inexistant. C'est pourquoi différents laboratoires de l'IN2P3 ont décidé d'orienter leur recherche dans cette direction.

Les travaux présentés dans ce manuscrit ont cherché à étudier différentes solutions pouvant être intégrées à une matrice de pixels dans le cadre d'un détecteur de vertex. Ils ont aussi permis le développement et la mise en place d'outils spécifiques nécessaires à la caractérisation des CANs développés.

Après une étude des différentes architectures existantes de CANs, trois prototypes présentant des architectures différentes ont été développés en utilisant la technologie AMS 0,35  $\mu\text{m}$  :

- Une architecture nommée « double rampe numérique » permet d'effectuer une conversion sur 4 bits en séparant cette dernière en deux conversions de 2 bits, chaque conversion couvrant différentes plages de la dynamique d'entrée. Cette architecture peut être considérée comme un hybride entre une architecture SAR et une architecture Wilkinson. Après avoir présenté des résultats très encourageant en simulation, la caractérisation de ce prototype s'est révélée en inadéquation avec les résultats issus des simulations. Le prototype n'a pu dépasser une vitesse de conversion de 1 Méchantillon par seconde. Après une étude approfondie du dessin des masques du CAN il est apparu que les condensateurs parasites liés à une partie du CANs avaient été sous évalués et ne permettaient pas le fonctionnement du CAN à la vitesse de conversion voulue.
- Un deuxième prototype basé sur l'architecture à approximation successive a été conçu. Ce dernier a pu atteindre une fréquence de conversion de 5 Méchantillons par seconde mais présentait un problème au niveau de la dynamique de conversion.
- Un dernier prototype présentant une architecture spécifique dédiée à une intégration en bas de colonne de matrice de pixels a été réalisé. Ce CAN se propose d'effectuer une conversion non linéaire, sa résolution changeant suivant la valeur de la tension à convertir dans la gamme dynamique d'entrée. Ainsi ce CAN présente une résolution de 4, 3 ou 2 bits. La caractérisation du circuit à base de CAN à résolution variable a permis d'atteindre une vitesse de conversion de 8 Méchantillons par seconde.

Aucun de ces trois prototypes n'a réussi à respecter les dimensions spécifiées principalement à cause de la limite physique de la technologie 0,35  $\mu\text{m}$  dans laquelle ils ont été développés.

L'exploitation des résultats issus de la caractérisation des trois architectures différentes a permis de mieux appréhender les points critiques liés au développement de tels CANs. Malgré les corrections apportées aux différentes architectures de CANs étudiés, il reste un certain nombre de perspectives d'amélioration des prototypes :

- Un changement de technologie pourrait améliorer l'intégration des CANs en réduisant leurs dimensions. De même ce changement de technologie permettrait de changer certains composants élémentaires du circuit (les condensateurs par exemple) afin d'en améliorer les performances. Ce changement aura cependant très certainement un

impact négatif sur les parties analogiques du convertisseur. Seule une étude approfondie de la technologie 0,18  $\mu\text{m}$  (ou inférieur) permettra de quantifier les gains et pertes sur le CAN.

- Les références de tension nécessaires au bon fonctionnement des circuits devront à terme être intégrées dans les CANs. Cette intégration risque de poser de nombreux défis afin d'éviter au maximum une variation de la valeur de ces références entre les différentes colonnes d'une même matrice.

En conclusion l'ensemble des recherches menées conjointement dans les équipes de l'IN2P3 ont montré les limites de la technologie 0,35  $\mu\text{m}$  pour l'intégration de circuit complexe dans un pitch aussi faible que 25  $\mu\text{m}$ . A partir des résultats des CANs développés, il semblerait qu'une solution acceptable pour le détecteur de vertex de l'ILC serait de se limiter à un discriminateur pour les premières couches du détecteur, les CANs étant intégrés dans les couches périphériques bénéficiant d'un pitch de pixel moins contraignant (de l'ordre de 35  $\mu\text{m}$ ). Un prototype intégrant une matrice de pixels associée à des CANs à résolution variable est en cours de développement au sein de l'équipe Capteur CMOS de l'IPHC. Ce prototype, s'il est soumis, intégrera des pixels dont le pitch sera 35  $\mu\text{m}$  ainsi qu'une version modifiée du CAN à résolution variable.

Ces travaux de thèse ont permis la publication de trois articles dans des conférences internationales (dont un référencé sur le site de IEEE) ainsi que la publication d'un article dans la revue NIMA.

## Liste des publications

Ces travaux de thèse ont permis la publication des articles suivant :

- Conférence avec comité de lecture et publication des actes:

- Design Circuit and Integrated System 2007, Séville, Espagne :

*« A Pixel Level, Ultra Low Power, 1 Msample/s Double Ramp A/D Converter for Monolithic Active Pixel Sensors in High Energy Physics and Biomedical Imaging Applications »*

- Design Circuit and Integrated System 2008, Grenoble, France :

*« An ultra low power and pixel level integrated SAR ADC for high energy physics »*

- IEEE Mixed Design of Integrated Circuits and System 2009, Lotz, Pologne :

*« A pixel Column Level, Ultra Low Power, 8 MSample/s Multibit A/D Converter for Monolithic Active Pixel Sensors in High Energy Physic »*

- Revue spécialisée :

- Nuclear Instruments and Methods in Physics Research section a :

*« A Column Level, Ultra Low Power, 1Msample/s Double Ramp A/D Converter for Monolithic Active Pixel Sensors in High Energy Physics »*

# Annexe A : Les circuits échantillonneurs bloqueurs

## A 1. Les circuits échantillonneurs bloqueurs (SH)

Les Convertisseurs Analogique-Numérique présupposent que la tension d'entrée à convertir restera stable pendant toute la durée de la conversion. Or lors de la phase de conversion il arrive que le signal d'entrée varie. Cette variation peut fausser le code de sortie (par exemple pour un CAN SAR). Il est possible de calculer la fréquence maximale du signal à convertir en fonction du nombre de bits du CAN et de sa vitesse de conversion.

Soit la tension d'entrée  $v(t)$ .

$$v(t) = q \left[ \frac{2^N}{2} \right] \sin(2\pi f t) \quad (\text{A-1})$$

où  $q$  représente le quantum,  $N$  le nombre de bit du convertisseur.

La dérivée de  $v(t)$  vaut :

$$\frac{dv}{dt} = q 2\pi f \left( \frac{2^N}{2} \right) \cos(2\pi f t) \quad (\text{A-2})$$

On peut alors calculer la valeur maximum de la dérivée de  $v(t)$  :

$$\left. \frac{dv}{dt} \right|_{max} = q 2\pi f \left( \frac{2^N}{2} \right) \quad (\text{A-3})$$

Et donc la fréquence maximale du signal d'entrée vaut :

$$f_{max} = \left. \frac{dv}{dt} \right|_{max} / q\pi 2^N \quad (\text{A-4})$$

C'est pourquoi il peut être intéressant d'intégrer un étage d'échantillonnage/blocage (E/B) afin de garantir la stabilité du code d'entrée. Cet étage va figer la valeur de la tension d'entrée le temps de la conversion. Le circuit E/B est composé d'étage d'amplification et d'un condensateur et d'un commutateur comme le montre la figure A-1. Tant que le commutateur est fermé, la tension aux bornes du condensateur suit la tension à convertir. Au moment où le commutateur s'ouvre, la tension aux bornes du condensateur ne suit plus les variations de la tension du signal à convertir. La tension à l'entrée du CAN est stable. Cependant, suivant la

fréquence du signal à convertir le code en sortie peut ne pas permettre une représentation fidèle du signal converti comme le montre la figure A-1

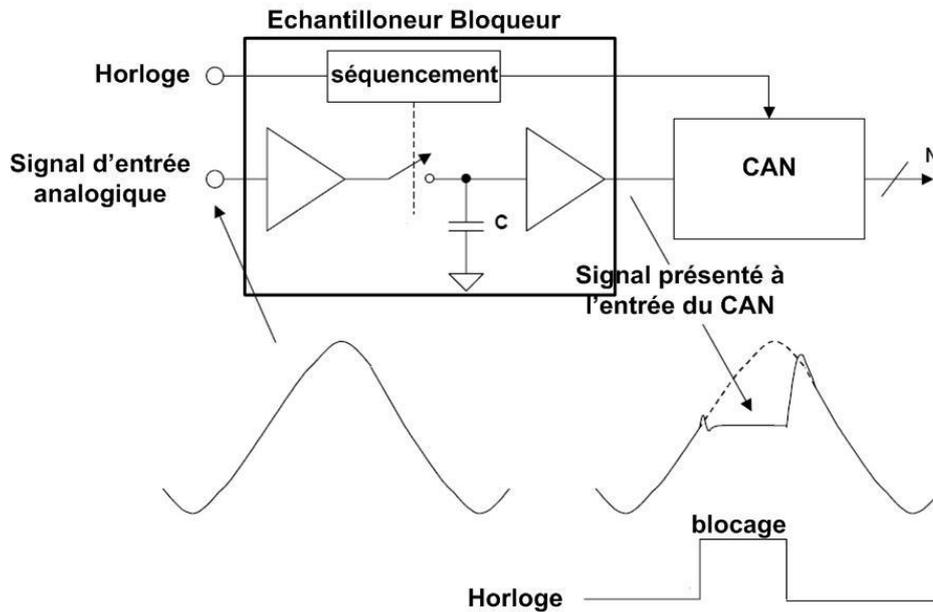


Figure A - 1 Principe de fonctionnement d'un échantillonneur bloqueur

En 1924 Harry Nyquist publia un article dans lequel il établissait une relation entre la fréquence d'un signal et la fréquence d'échantillonnage de ce dernier. Ce théorème énonce que la fréquence maximum d'échantillonnage ( $f_{e_{max}}$ ) d'un signal de fréquence  $f$  doit satisfaire le critère suivant :

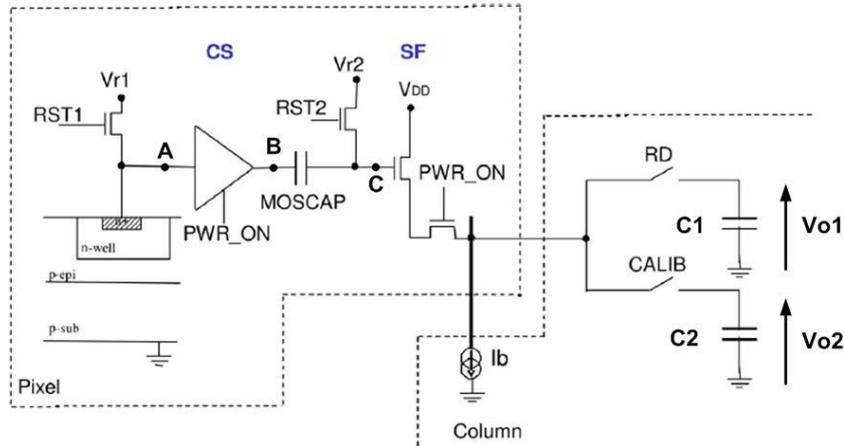
$$f_{e_{max}} > 2f \quad (\text{A-5})$$

Si ce critère n'est pas respecté il est impossible de restituer le signal original sans perte d'information.

Pour une application au sein d'une matrice de pixels le critère de Nyquist est intrinsèquement respecté, cependant l'intégration d'un étage d'E/B s'avère tout de même nécessaire.

## A 2. La chaîne de lecture complète des MAPS.

La chaîne de lecture complète d'un pixel est présentée sur la figure A-2 :



A - 2 chaîne de lecture complète d'un pixel

Soit  $V_a$  la tension entre le point A et la masse,  $V_b$  la tension entre le point B et la masse,  $V_c$  la tension entre le point C et la masse et enfin la tension  $V_{cap}$  entre les points B et C. CS et SF sont respectivement les gains des deux amplificateurs contenus dans le pixel.

Pour comprendre le double échantillonnage corrélé il faut envisager deux cycles de lecture consécutifs entre lesquels se situe un temps d'intégration. Chacun de ces cycles s'articule autour de trois phases : une phase de lecture, une phase de reset, une phase de calibration.

### Cycle 1 :

- Phase de lecture, l'interrupteur RD est fermé, les autres ouverts :

$$V_b = CS \times V_a(0) \rightarrow V_c = V_b + V_{cap} \quad (\text{A-6})$$

- Phase de reset, l'interrupteur RST2 est fermé, les autres ouverts :

$$V_b = CS \times V_a(1) \rightarrow V_c = V_{r2} \quad (\text{A-7})$$

$$V_c = V_{r2} - V_b = V_{r2} - CS \times V_a(1) \quad (\text{A-8})$$

- Phase de calibration, l'interrupteur CALIB est fermé, les autres sont ouverts :

$$V_b = CS \times V_a(1) \rightarrow V_c = V_b + V_{r2} - CS \times V_a(1) \quad (\text{A-9})$$

Entre le cycle 1 et le cycle 2 durant le temps d'intégration, il est supposé qu'une charge ait été déposée dans le pixel par une particule ionisante. Le même enchaînement des trois phases s'effectue lors du cycle 2

**Cycle 2 :**

- Phase de lecture, l'interrupteur RD est fermé, les autres ouverts :

$$V_b = CS \times V_a(2) \rightarrow V_c = V_b + V_{cap} \quad (\text{A-10})$$

$$V_b = CS \times V_a(2) \rightarrow V_c = V_b + V_{r2} - CS \times V_a(1) \quad (\text{A-11})$$

- Phase de reset, l'interrupteur RST2 est fermé, les autres ouverts :

$$V_b = CS \times V_a(2) \rightarrow V_c = V_{r2} \quad (\text{A-12})$$

$$V_c = V_{r2} - V_b = V_{r2} - CS \times V_a(2) \quad (\text{A-13})$$

- Phase de calibration, l'interrupteur CALIB est fermé, les autres sont ouverts :

$$V_b = CS \times V_a(2) \rightarrow V_c = V_b + V_{r2} - CS \times V_a(2) \quad (\text{A-14})$$

Les deux tensions stockées dans les condensateurs C1 et C2 (respectivement lors des phases de lecture et de calibration) valent :

$$V_{o1} = SF \times V_c + V_{offset} \times SF = SF(CS \times V_a(2) + V_{r2} - CSV_d(1) + V_{offset}) \quad (\text{A-15})$$

$$V_{o2} = SF \times V_c + V_{offset} \times SF = SF \times (CS \times V_a(2) + V_{r2} - CS \times V_a(2) + V_{offset}) \quad (\text{A-16})$$

L'étage de numérisation codera directement la différence de ces deux signaux.

$$V_{o1} - V_{o2} = SF \times (CS \times (V_a(1) - V_a(2))) \quad (\text{A-17})$$

L'implantation de cette technique nécessite donc un étage E/B en bas de colonne entre la sortie du pixel et l'entrée de l'étage de numérisation.

Deux architectures de circuit E/B pour une implantation en bas de colonne pour des MAPS ont été proposées dans des travaux de thèses menées à l'IPHC [76] [77]. L'ensemble du fonctionnement de ces circuits y est détaillé. Les schémas de ces circuits sont tout de même présentés sur les figures A-3 et A-4. D'autres architectures de circuit échantillonneurs bloqueurs peuvent être trouvées en [85]

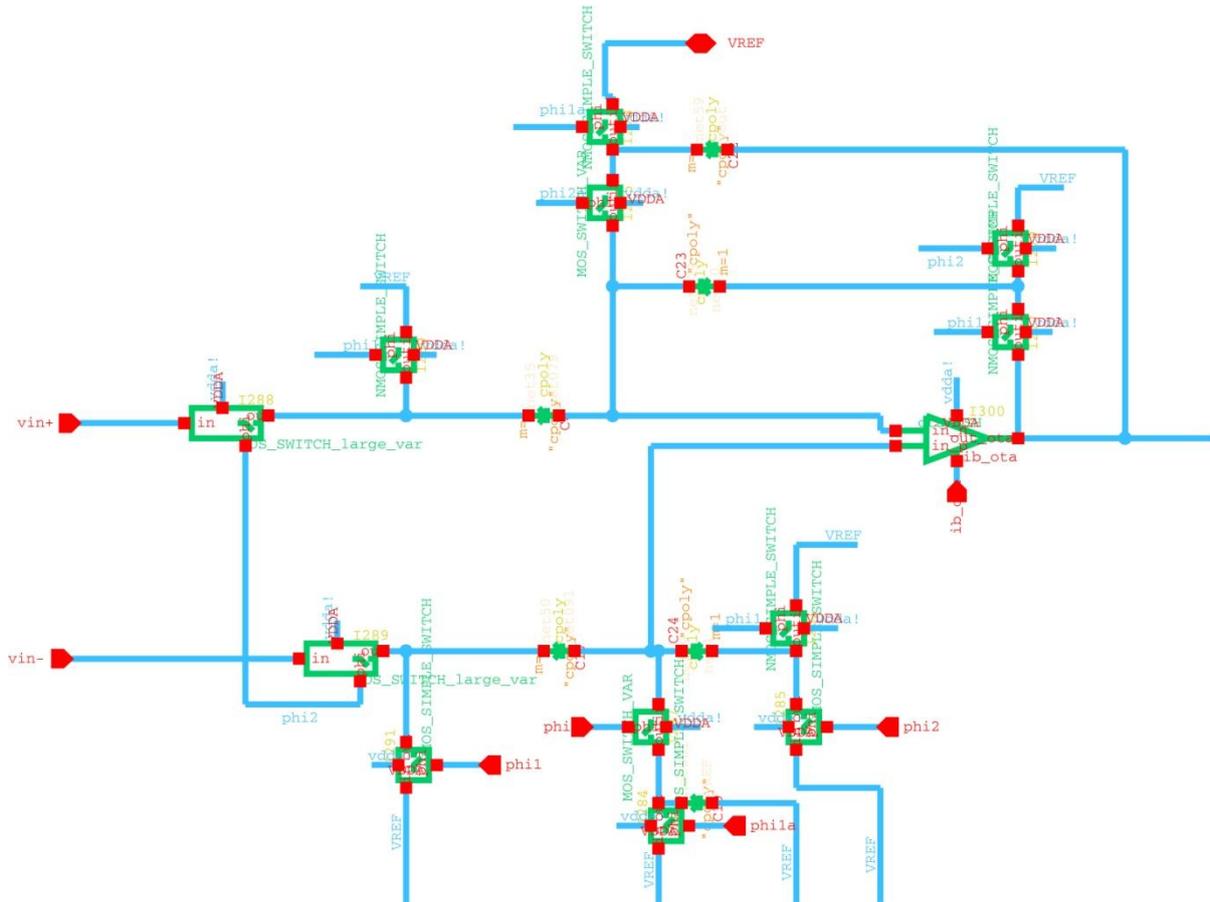


Figure A - 3 Circuit E/B proposé dans [1]

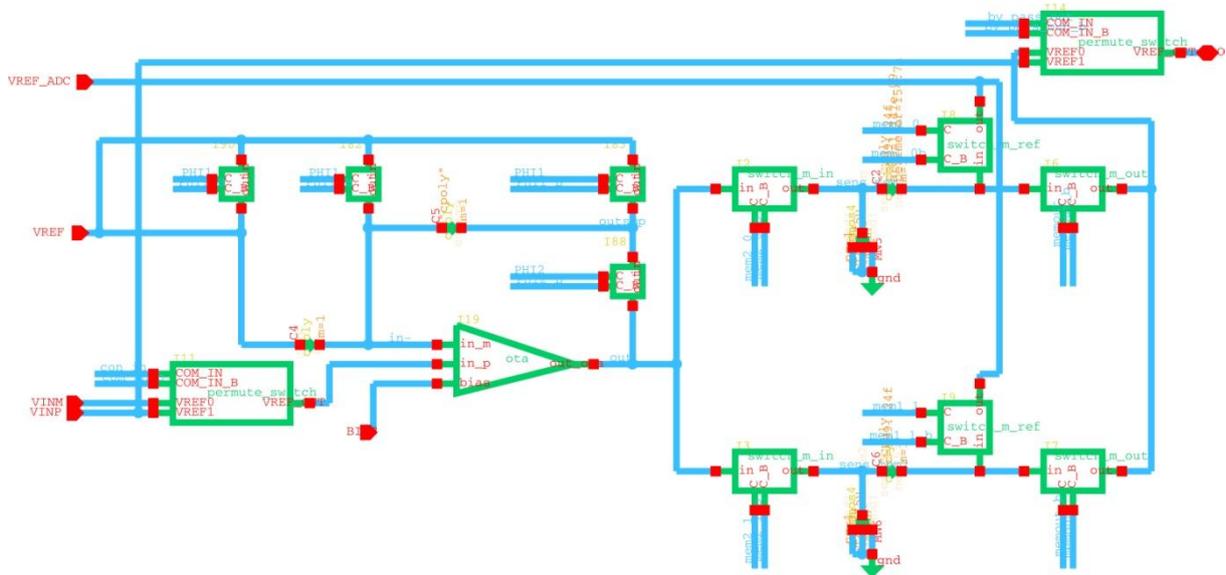


Figure A - 4 Circuit E/B proposé dans [2]



## Annexe B : Description du banc de test des trois circuits à base de CANs

Un banc de test dédié a été développé afin de caractériser les CANs soumis à l'IPHC. Pour ce faire une carte PCB a été réalisée et est présentée sur la figure B-1.

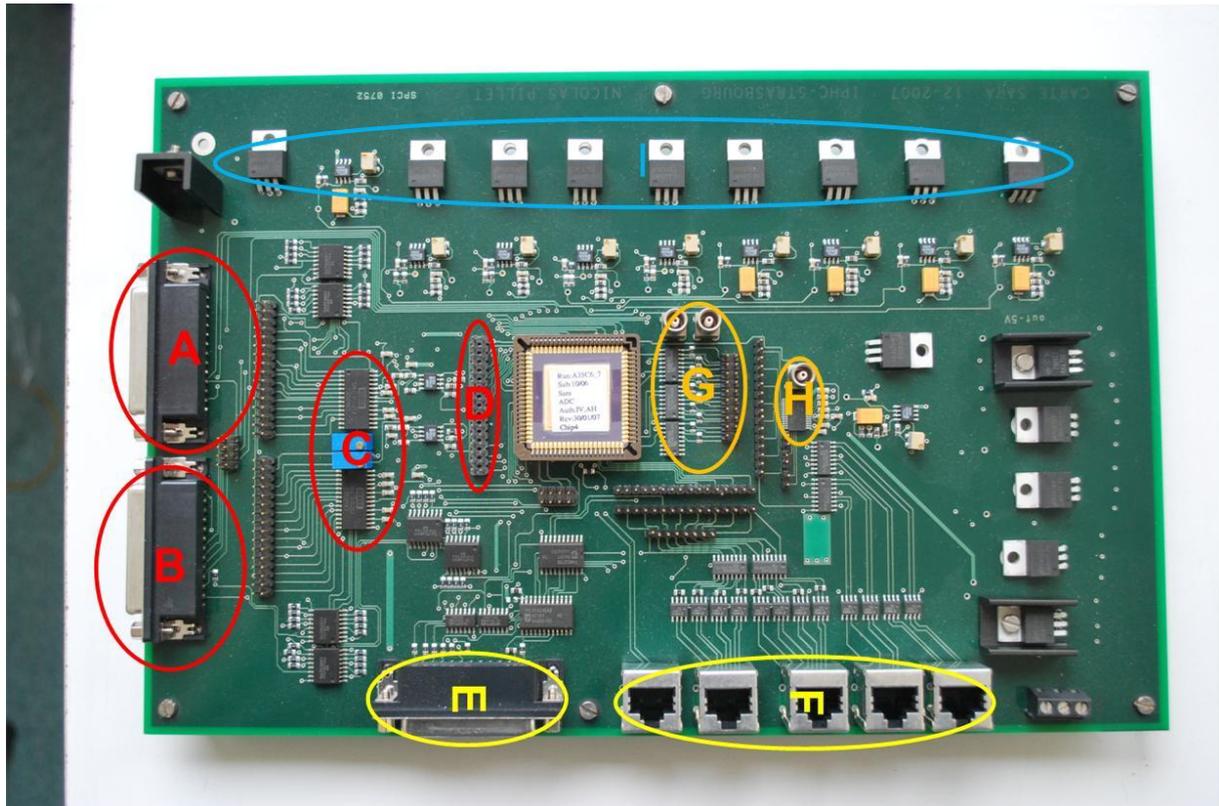


Figure B - 1 carte de test du circuit William et Sara

Cette carte se compose comme suit :

- **A** : port d'activation des différents canaux sur la puce.
- **B** : port de pilotage des CANs externes via les modules I2C.
- **C** : deux CANs DAC202U de chez Texas Instrument.
- **D** : sélection de la voie d'entrée de la puce pour le signal généré par les CANs externes.
- **E** : port d'acquisition directe par un ordinateur via le port parallèle.
- **F** : connexion RJ45 vers la carte d'acquisition.
- **G** : connectique de sortie du module de test intégré dans les puces.
- **H** : CAN commercial pour la vérification de la chaîne de lecture de la carte PCB.
- **I** : référence de tension et de courant nécessaire au bon fonctionnement de la puce.

Cette organisation de la carte de test permet deux solutions pour l'acquisition des signaux de sortie de la puce. Tout d'abord une solution « autosuffisante » qui ne nécessite qu'un ordinateur intégrant Labview©. Cette partie de la caractérisation est lente du fait de la limite en lecture/écriture du port parallèle de l'ordinateur via le logiciel Labview ©. Dans cette configuration, la puce convertie à la vitesse voulue (10Mecchantillons/s) mais l'acquisition est beaucoup plus lente (10kechantillons/s). Ensuite il est aussi possible d'utiliser une carte d'acquisition développée au sein de l'équipe de caractérisation de l'IPHC qui permet une acquisition rapide des signaux de sortie. En passant par ce module, il est alors possible de faire des acquisitions à 1Mecchantillon/s.

La mise en place de ces deux solutions permet d'évaluer les caractéristiques statiques de la puce même en cas de non disponibilité des cartes d'acquisitions rapides (50 MHz).

De même la commande des CNAs externes suit le même raisonnement, une interface développée sous Labview© permet le pilotage lent des CNAs. Cette interface est présentée sur la figure B-2 :

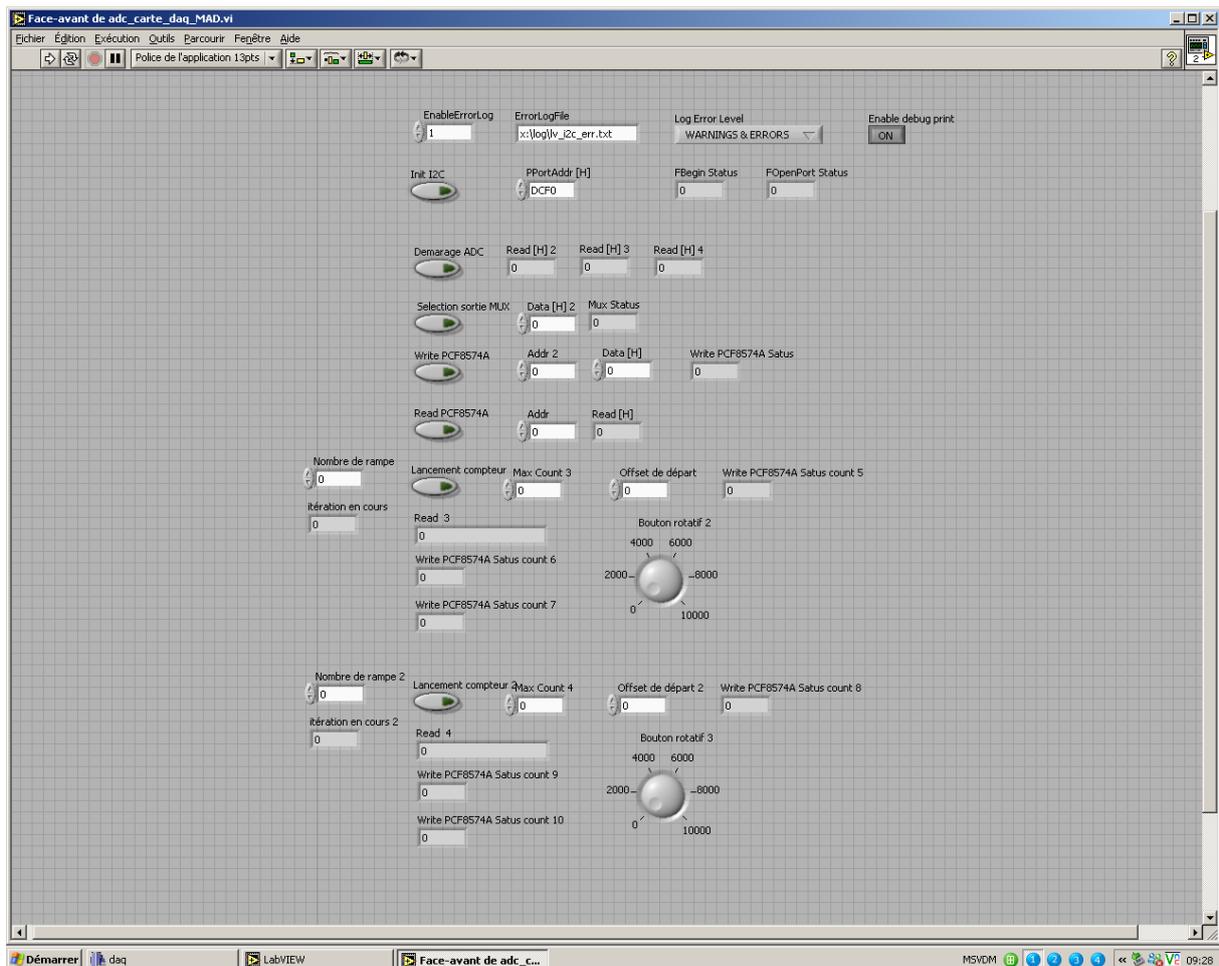


Figure B - 2 interface de commande des CNAs via Labview©

Les commandes des deux CNAs sont indépendantes l'une de l'autre et présentent deux signaux différents à l'entrée de la puce.

Les CNAs externes peuvent être pilotés directement par un générateur de séquence numérique pouvant générer des signaux à une fréquence maximale de 200 MHz.

Les CNAs externes présentent les caractéristiques suivantes :

- 12 bits
- 200 Méchantillons/s
- Sortie en courant
- Dynamique de sortie entre 2 mA et 20 mA

La figure B-3 présente l'interface de commande de la carte d'acquisition :

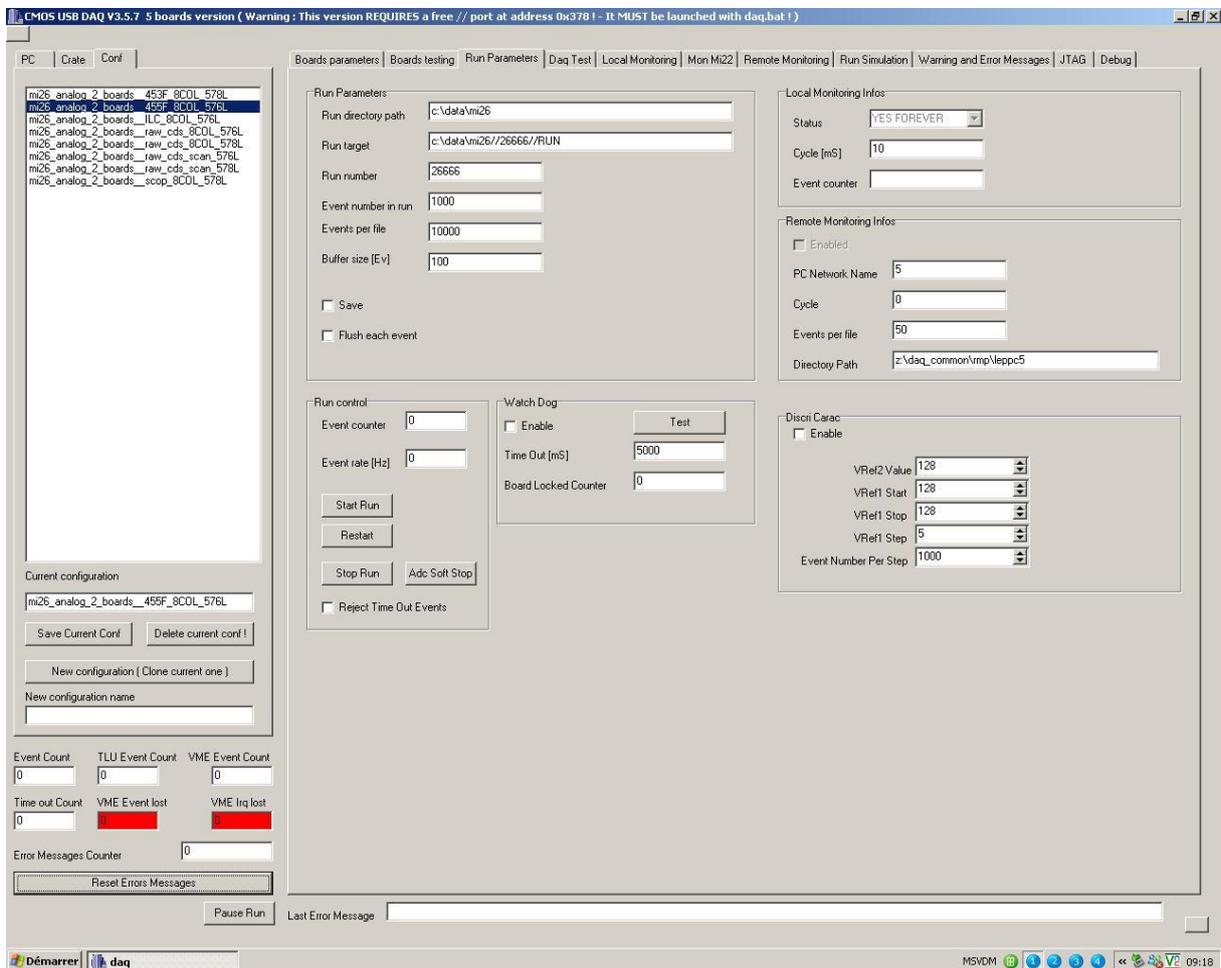


Figure B - 3 Logiciel de contrôle de la carte d'acquisition

Pour le troisième prototype il a été décidé de séparer sur deux cartes différentes les CNAs externes et la puce à tester. Cela permettra une réduction de la taille de la carte PCB servant à caractériser les prochaines puces à base de CAN, la carte incluant les CNAs pouvant être réutilisée. La figure B-4 présente ces deux cartes PCB :

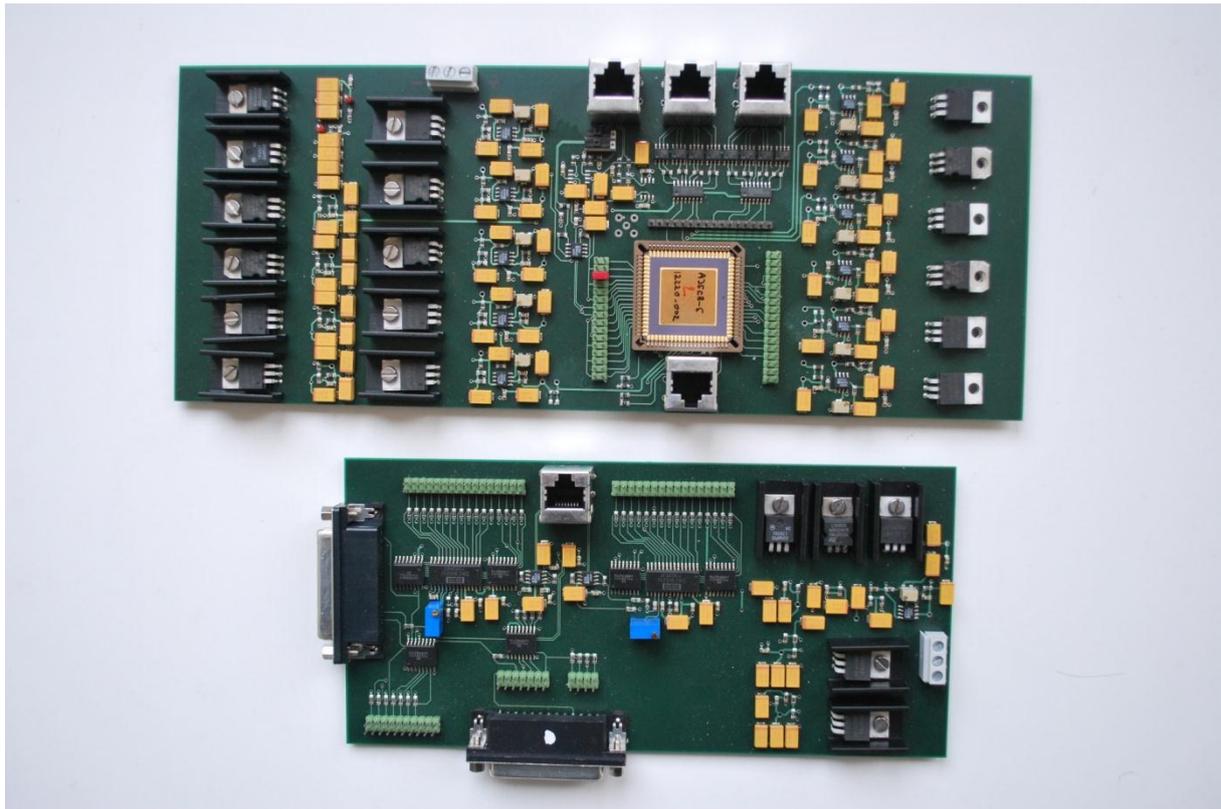


Figure B - 4 Cartes de caractérisation de la puce MAD

Les composants utilisés sont les mêmes que sur la carte présentée sur la figure B-1. La carte en bas de l'image est la carte incluant les deux CANs externes, la carte du haut est celle incluant la puce à caractériser

## Bibliographie

- [1] J. W. Sleight et al : « Challenges and opportunities for High Performance 32 nm CMOS technology », *IEEE Electron Devices Meeting*, 2006.
- [2] Warneke et al. : « Smart Dust :communicating with a Cubic Millimeter Computer », *IEEE Computer Magazine*, 2001.
- [3] « *IEEE Standard for terminology and test methods for analog to digital converters* », IEEE, 2001, ISBN 0-7381-2724-8.
- [4] R. Binbot, A. Bonnin, R. Deloche, C. Tubiana : « *Cent ans après: la radioactivité, le rayonnement d'une découverte* », EDP Sciences Editions, 1999.
- [5] R. Mermod : « *De l'électron aux quarks : une physique particulière* », PPUR presses polytechniques, 1999.
- [6] M. Crozon : « *l'Univers des particules* », Editions du Seuil, mai 1999.
- [7] S. S. Schweber : « *QED and the men who made it: Dyson, Feynman, Schwinger, and Tomonaga.* », Edition Princeton University Press, 1994.
- [8] R. K. Ellis, W. J. Stirling, B. R. Webber : « *QCD and collider physics* », Edition Cambridge University Press, 2003.
- [9] Higgs, Peter : « *Broken Symmetries and the Masses of Gauge Bosons* », *Physical Review Letters* 13: 508–509, doi:10.1103.
- [10] F. Englert, R. Brout : « *Broken Symmetry and the mass of gauge vector mesons* », *Physical Review Letters* 13 : 321–323.
- [11] G. S. Guralnik, C. R. Hagen, T. W. B. Kibble : « *Global Conservation Laws and Massless Particles* », *Physical Review Letters* 13 : 585–587.
- [12] Michel Crozon : « *La Matière première - La recherche des particules fondamentales et leurs interactions* », p. 268, Seuil, 1987.
- [13] <http://atlas.ch/>

[14] <http://cms.web.cern.ch/cms/index.html>

[15] <http://www.linearcollider.org>

[16] « International linear collider, reference design report : Accelerator », ILC

[17] <http://www.ilcild.org/>

[18] <https://silicondetector.org/display/SiD/home>

[19] M. Winter et al : « Development of swift and slim CMOS Sensors for Vertex Detector at the International Linear Collider », *ILC VD Review / ALCPG-07, Chicago, FNAL*, November 2007.

[20] M Devaux : « *Development of fast and radiation hard Monolithic Active Pixel Sensors (MAPS) optimized for open charm meson detection with the CBM - vertex detector* », manuscript de thèse, Université Louis Pasteur 2007.

[21] M. Morimoto et al : « A 2/3 inch 2 M-pixel IT-CCD image sensor with individual p-wells for separate V-CCD and H-CCD formation », *IEEE International Solid State Circuits Conference*, 1994.

[22] L. J. Koziowski et al : « Low-light-level imaging in the visible and infrared », *Conference of Laser and Electro-Optics*, 2000.

[23] A Sopczak et al : « Radiation Hardness of CCD Vertex Detectors for the ILC », *IPRD 2006, 10<sup>th</sup> Topical Seminar on Innovative Particle and Radiation Detectors*, 2006.

[24] A. Peisert : « *Silicon Microstrip Detectors, in: Instrumentation in High Energy Physics* », F. Sauli, ed., World Scientific 1992.

[25] M. Battaglia et al : « Hybrid pixel detector development for the linear collider vertex detector », *IEEE Transaction on Nuclear Science*, Volume 48, Issue 4, August 2001.

[26] H.G. Moser : « Silicon detectors systems in high energy physics », *Progress in Particle and Nuclear Physics*, 2009.

[27] R. Turchetta et al : « A monolithic active pixel sensor for charged particle tracking and imaging using standard VLSI CMOS technology », *Nuclear Instruments and Methods in Physics Research, Section A*, Volume 458, Issue 3, February 2001.

- [28] M. Winter et al : « Achievement and perspectives of CMOS pixel sensors for charged particle tracking », *TIPP09*, April 2009.
- [29] Y. Degerli et al : « A fast monolithic active pixel sensor with pixel level reset noise suppression and binary outputs for charged particle detection », *IEEE Nuclear Science Symposium and Medical Imaging Conference*, 2004.
- [30] A Besson et al : « Status of CMOS Sensors », *LCWS07-DESY*.
- [31] G. Deptuch et al : « Design and testing of monolithic active pixel sensors for charged particle tracking », *IEEE Transaction on Nuclear Science*, volume 49, Issue. 2, pp. 601–610, 2002.
- [32] G. Deptuch et al : « Monolithic Active Pixel Sensors With In-Pixel Double Sampling Operation and Column-Level Discrimination », *IEEE Transaction on Nuclear Science*, Volume 51, Issue 5, pp. 2313–2321, 2004.
- [33] J. Baudo et al : « First test results of MIMOSA – 26 a fast CMOS sensor with integrated zero suppression and digitalized output », *IEEE Nuclear Science Symposium Conference Record*, November 2009.
- [34] W.Kestler : « *The Data converter Handbook* », Elsevier, ISBN-13 978-0-7506-7841-4.
- [35] B. Baker : « what does the ADC SNR mean », *EDN* / May 27, 2004.
- [36] C-D. Keys : « *Low-Distortion Mixers for RF Communications* », Ph.D. dissertation, University of California, Berkeley, December 1994.
- [37] B. Razavi : « *Design of Analog CMOS integrated Circuits* », McGraw-Hill, edition 2002.
- [38] H. Bichsel et al : « Passage of Particles Through Matter », *The Review of Particle Physics*, april 2006, <http://pdg.lbl.gov>.
- [39] C-W. Mangelsdorf : « A 400-MHz Input Flash Converter with Error Correction », *IEEE journal of Solid-State Circuits*, Vol. 25, No. 1, February 1990.
- [40] W-T. Lee, P-H. Huang, Y-Z. Liao and Y-S. Hwang : « A New Low Power Flash ADC Using Multiple-Selection Method », *IEEE Conference on Electron Devices and Solid- State Circuits*, 2007.

- [41] « Understanding Flash ADCs », *Maxim, App. Notes, A/D and D/A Conversion/Sampling Circuits*, October 2001.
- [42] J-G. Peterson : « A Monolithic Video A/D Converter », *IEEE journal of Solid- State Circuits*, Vol. SC-14, No. 6, December 1979.
- [43] S. Yin : « A New Half-Flash Architecture for High Speed Video ADC », *IEEE Conference on Solid-State and Integrated Circuit Technology*, October, 1998.
- [44] A. Ramniceanu et al : « A 6 bit resolution, 1 GSamples/sec. analog to digital converter », *IEEE Semiconductor Conference*, 2004.
- [45] D. Miyazaki : « A 10-b 30-MS/s Low-Power Pipelined CMOS A/D Converter Using a Pseudodifferential Architecture », *IEEE journal of Solid- State Circuits*, Vol. 38, No. 2, February 2003.
- [46] « Understanding Pipelined ADCs », *Maxim, App. Notes, A/D and D/A Conversion/Sampling Circuits*, March 2001.
- [47] I. Iroaga and B. Murmann : « A 12-Bit 75-MS/s Pipelined ADC Using Incomplete Settling », *IEEE journal of Solid-State Circuits*, Vol. 42, No. 4, April 2007.
- [48] L. Samid, Y. Manoli : « A micro power continuous-time  $\Sigma\Delta$  modulator », *Solid- State Circuits Conference, 2003. ESSCIRC' 03. Proceedings of the 29<sup>th</sup> European*.
- [49] M. Dessouky and A. Kaiser : « A very low-Voltage Digital-Audio  $\Sigma\Delta$  Modulator with 88 dB Dynamic Range Using Local Switch Bootstrapping », *IEEE journal of Solid-State Circuits*, Vol. 36, No. 3, March 2001.
- [50] S. Patón : « A 70-mW 300-MHz CMOS Continuous-Time  $\Sigma\Delta$  ADC With 15-MHz Bandwidth and 11 Bits of Resolution », *IEEE journal of Solid-State Circuits*, Vol. 39, No. 7, July 2004.
- [51] E. Delagnes, D. Breton, F. Lugiez, and R. Rahmanifard : « A Low Power Multi-Channel Single Ramp ADC With up to 3.2 GHz Virtual Clock », *IEEE Transactions on Nuclear Science*, Vol. 54, No. 5, October 2007.
- [52] O. B. Milgrome et al : « A 12 Bit Analog to Digital Converter for VLSI Applications in Nuclear Science », *IEEE Transaction on Nuclear Science*, August, 1992.

- [53] N Nambiar et al : « A Current Mode Multi-Channel Wilkinson ADC », *IEEE ICSES 2008*, September , 2008.
- [54] Sheing Yan Ng et al : « A low-voltage CMOS 5-bit 600MHz 30mW SAR ADC for UWB wireless Receivers », *IEEE 48<sup>th</sup> Midwest Symposium on Circuits and Systems*, August, 2005.
- [55] Sanjay G. Talekar : « A Low Power 700MSPS 4bit Time Interleaved SAR ADC in 0.18um CMOS », *IEEE TENCON*, November 2009.
- [56] S. Mukherjee et al : « A 2.5V 10 bit SAR ADC », *IEEE 10<sup>th</sup> International Conference on VLSI Design*, January 1997.
- [57] J. Park et al : « A 1mW 10-bit 500KSPS SAR A/D Converter », *ISCAS 2000 - IEEE International Symposium on Circuits and Systems*, May, 2000.
- [58] B. M. Gordon : « Linear Electronic Analog/Digital Conversion Architectures, Their Origins, Parameters, Limitations, and Applications », *IEEE Transactions on Circuits and Systems*, Volume 25, Issue 7, July 1978.
- [59] R-H. Walden : « Analog-to-Digital Converter Survey and analysis », *IEEE Journal on selected areas in communications*, Volume 17, Issue 4, April 1999.
- [60] B. Le, T-W. Rondeau, J-H. Reed, and C-W. Bostian : « Analog-to- Digital Converters—A review of the past, present, and future », *IEEE Signal Processing Magazine*, November, 2005.
- [61] S. Hanami et al : « CMOS Aps imager employing 3.3V 12 bit 6.3 MS/s pipelined ADC », *IEEE International Symposium on Circuits and Systems*, 2004.
- [62] M. Furuta et al: « A Cyclic A/D Converter with Pixel Noise and Column-wise Offset Canceling for CMOS Image Sensors », *IEE European Solid-State Circuits Conference*, September, 2005.
- [63] Y. M. Chi et al : « CMOS Camera With In-Pixel Temporal Change Detection and ADC », *IEEE Journal of Solid-State Circuits*, Volume 42, Issue 10, October 2007.
- [64] N. Nambiar et al : « SiGe BiCMOS 12-bit 8-Channel Low Power Wilkinson ADC », *IEEE 51<sup>th</sup> Midwest Symposium on Circuits and Systems*, August, 2008.
- [65] O. B. Milgrome : « A 12 Bit Analog to Digital Converter for VLSI Applications in Nuclear Science », *IEEE*

- [66] S. Heini : « Etats d'avancement des ADCs développés à l'IPHC », *journée VLSI de l'IN2P3*, LPNHE, Paris, 2007.
- [67] H-C. Chow : « 1V 10-bit successive approximation ADC for low power biomedical application », *18<sup>th</sup> European Conference on Circuit Theory and Design*, Sevilla, 2007.
- [68] R. Gregorian : « *Introduction to CMOS OP-AMPS and Comparators* », A Wiley Interscience publication, ISBN 0-471-31778-0.
- [69] T. Kobayashi et al : « A Current-Controlled Latch Sense Amplifier and a Static Power-Saving Input Buffer for Low-Power Architecture », *IEEE Journal of Solid-State Circuits*, Volume 28, Issue. 4, APRIL 1993.
- [70] Y. Degerli et al : « Low-Power Autozeroed High-Speed Comparator for the Readout Chain of a CMOS Monolithic Active Pixel Sensor Based Vertex Detector », *IEEE Transactions on Nuclear Science*, Volume 50, Issue. 5, October 2003.
- [71] K-R. Lakshmikumar et al : « Characterization and Modeling of Mismatch in MOS Transistors for Precision Analog Design », *IEEE Journal of Solid-State Circuits*, Volume SC-21, Issue 6, December 1986.
- [72] M-J-M. Pelgrom et al : « Matching Properties of MOS Transistors », *IEEE Journal of Solid-State Circuits*, Volume 24, Issue 5, October 1989.
- [73] K. Uyttenhove et al : « Speed-Power-Accuracy Trade-off in Highspeed CMOS ADCs », *IEEE Transactions on Circuits and Systems-II: Analog and Digital Signal Processing*, Volume 49, Issue 4, April 2002.
- [74] R.K.Hester et al : « Fully differential ADC with rail to rail common mode range and nonlinear capacitor compensation », *IEEE Transactions on Solid State Circuits*, Volume 25, Issue 1, February, 1990.
- [75] R.Singh et al : « Matching Properties of linear MOS Capacitors », *IEEE Transactions on Circuits and Systems*, Volume 36, Issue 3, MARCH 1989.
- [76] S. Heini : « *Conception et integration d'un capteur à pixel actifs monolithiques et de son circuits de lectures en technologie CMOS submicronique pour les détecteurs de vertex de position du futur* », Thèse de l'Université de Strasbourg, Mars 2009.

- [77] M. Dahoumane : « *Conception, Réalisation et Caractérisation de l'Electronique Intégrée de Lecture et de Codage des Signaux des Détecteurs de Particules Chargées à Pixels Actifs en Technologie CMOS* », Thèse de l'Université de Strasbourg, Novembre 2009.
- [78] W. Kestler : « Chapter 5 Testing Data Converters », *The Data conversion Handbook*, Analog Devices, 2005.
- [79] B. Razavi : « Chapter 9 Testing and Characterization », *Principles of Data Conversion*, IEEE Press, 1995.
- [80] <http://micrhau.in2p3.fr/spip/spip.php?rubrique4>
- [81] Y. Li : « *Recherche et Développement de Capteurs Actifs Monolithiques CMOS pour la Détection de Particules Élémentaires.* », Thèse de l'Université Paris XI - Paris Sud, Septembre 2007.
- [82] <http://www.austriamicrosystems.com>
- [83] <http://www.xfab.com/>
- [84] Martijn F. Snoeij et al : « Power and Area Efficient Column-Parallel ADC Architectures for CMOS Image Sensors. », *IEEE SENSORS 2007 Conference*, 2007
- [85] B. Razavi : « Design of Sample and Hold Amplifiers for High speed Low voltage A/D Converters », *IEEE Custom Integrated Circuits Conference*, 1997.