

UNIVERSITÉ DE STRASBOURG



**Ecole Doctorale Mathématiques, Sciences
de l'Information et de l'Ingénieur**

UDS - INSA - ENGEES

Institut d'Electronique des Solides et
des Systèmes - InESS



**Ecole Doctorale des Sciences
fondamentales et appliquées**

Laboratoire d'Electronique,
d'Electrotechnique, d'Automatique et de
Télécommunications – L2EAT

Thèse en Cotutelle

Pour obtenir le grade de

Docteur de l'Université De Strasbourg

Discipline : Electronique, Electrotechnique et Automatique
Spécialité : Instrumentation Micro et Nanoélectronique
et de

Docteur (PHD) de l'Université De Douala

Discipline : Physique et Sciences de l'Ingénieur
Spécialité : Electronique, Electrotechnique et Automatique
Par

Serge Raoul DZONDE NAOUSSI

DEA en Génie Electrique et Télécommunications et
Ingénieur de Conception du Génie Electrique de l'Ecole Polytechnique de Yaoundé

IMPLANTATION DE RESEAUX NEUROMIMETIQUES SUR CIBLE FPGA - APPLICATION A L'INTEGRATION D'UN SYSTEME DE FILTRAGE ACTIF

soutenue publiquement le 18 Novembre 2011 devant le jury :

Président : M.G. Kwato Njock
Rapporteurs : E. Monmasson
A. Moukengue Imano
Examineurs : F. Braun
J. Mercklé
H. Berviller
C-H. KOM

Professeur, CEPAMOQ, Université de Douala
Professeur, SATIE, Université de Cergy-Pontoise
Professeur, L2EAT, IUT, Université de Douala
Professeur, InESS, Université de Strasbourg
Professeur, MIPS, Université de Haute Alsace
Maître de conférences, InESS, Université de Strasbourg
Chargé de Cours, L2EAT, Université de Douala

A mon épouse

Gisèle Flore

et

A ma petite princesse

Yannis Shérika Ortiz

REMERCIEMENTS

Les travaux présentés dans ce mémoire s'inscrivent dans le cadre d'une cotutelle de thèse entre l'Université de Douala au Cameroun à travers le laboratoire L2EAT et l'Université de Strasbourg à travers l'InESS. Pour cette thématique de recherche, l'InESS travaille en collaboration avec l'équipe TROP du laboratoire MIPS de l'Université de Haute Alsace de Mulhouse et l'équipe GREEN-ERGE de l'INSA de Strasbourg. Au terme de ces années de recherche, je suis heureux de pouvoir exprimer ma sincère gratitude envers les personnes qui m'ont aidé en contribuant à l'aboutissement de ce mémoire.

Je tiens tout d'abord à remercier les différentes personnes qui ont accepté d'être membres du jury de thèse :

- Monsieur **Moïse Godfroy KWATO NJOCK**, Professeur à l'Université de Douala, pour avoir accepté de présider ce jury, ainsi que pour l'intérêt qu'il a montré pour mon travail.
- Monsieur **Jean MERCKLE**, Professeur à l'Université de Haute Alsace de Mulhouse qui m'a reçu plusieurs fois au sein de la chaleureuse équipe TROP pour m'imprégner des techniques neuromimétiques. J'ai particulièrement apprécié son esprit d'ouverture et j'ai pu bénéficier de sa capacité de travail.
- Monsieur **Eric Monmasson**, Professeur à l'Université de Cergy- Pontoise en France, Monsieur **Alain TIEDEU**, Professeur à l'Ecole Nationale Supérieure Polytechnique de l'Université de Yaoundé I au Cameroun ainsi que Monsieur **Adolphe Moukengué Imano**, Professeur à l'Université de Douala au Cameroun qui ont accepté de juger ce travail et d'en être les rapporteurs.

Je tiens à remercier tout particulièrement l'équipe d'encadrement de cette thèse :

- Monsieur **Francis BRAUN**, Professeur à l'Université de Strasbourg et Directeur adjoint de l'InESS, pour qui je suis le dernier thésard. Qu'il reçoive toute l'expression de ma reconnaissance pour ses compétences scientifiques, son appui qui a facilité ma mobilité entre le Cameroun et la France pour mener à bien cette étude et pour la confiance qu'il m'a constamment témoignée durant ces années.
- Monsieur **Martin KOM**, Professeur à l'Ecole Nationale Supérieure Polytechnique de l'Université de Yaoundé I au Cameroun, qui a accepté de codiriger cette thèse.
- Monsieur **Hervé Berviller**, Maître de conférences à l'Université de Strasbourg. Je lui exprime toute mon amitié pour sa contribution dans le domaine de l'électronique numérique, sa disponibilité et les orientations qu'il a bien voulu apporter à ce travail.
- Monsieur **Charles-Hubert KOM**, Chargé de Cours à l'Université de Douala et responsable du L2EAT. Il apporté le suivi scientifique de cette thèse en me donnant les conseils nécessaires pour sa réalisation dans le contexte camerounais. J'ai pu apprécier notre franche collaboration et la marque de confiance qu'il porte à mon endroit depuis mon recrutement comme enseignant au sein du département GEII de l'IUT de Douala qu'il dirige.

J'adresse également mes remerciements à Monsieur **Bruno BEKOLO EBE**, Recteur de l'Université de Douala et à Monsieur **Louis Max AYINA OHANDJA**, Directeur de l'IUT de Douala et Coordonnateur de l'Unité de Formation Doctorale Physique et Sciences de l'Ingénieur de la même Université, qui m'ont permis d'obtenir des missions de formation de formateurs pour me rendre en France pour mes travaux.

REMERCIEMENTS

Côté France, je remercie Monsieur **Damien FLIELLER**, responsable de l'équipe GREEN-ERGE de l'INSA de Strasbourg pour m'avoir offert le banc de test expérimental.

Je pense également à **Daniel MATHIOT**, Directeur de l'InESS pour m'avoir accueilli dans son laboratoire. J'exprime ma sympathie particulièrement à mes collègues de bureau, Gyasi JOHNSON, Youssef JOUANE, Joris PASCAL pour leur grande aide et la chaleur dans les échanges que nous avons eus.

Finalement, il m'est difficile d'exprimer tout ce que je dois à ma famille. Je pense particulièrement à mon **Papa** et ma défunte **maman** pour l'inestimable soutien moral et logistique et les nombreux encouragements que j'ai toujours reçus de leur part. Je remercie mon épouse **Gisèle Flore** pour son soutien et son encouragement de chaque instant et son amour sans cesse. Je pense à tous ces moments pendant lesquels elle a souffert de mon absence alors que j'étais en mission de recherche en France pour la réalisation de cette thèse.

Table des figures

- I.1 Décomposition harmonique d'une onde polluée
- I.2 Digramme de Fresnel des puissances
- I.3 Filtre actif série
- I.4 Filtre actif parallèle
- I.5 Combinaison de filtres actifs parallèle-série
- I.6 Structure générale d'un FAP à structure de tension
- I.7 Structure classique d'une PLL triphasée.
- I.8 Filtrage des signaux dans le domaine temporel- a) méthode directe, b) méthode indirecte
- I.9 Principe de la méthode $p-q$
- I.10 Principe de la méthode SRF
- I.11 Principe de base du contrôle de courant avec modulateur
- I.12 Principe de contrôle de la tension du bus continu a) contrôle direct de v_{dc} b) contrôle du carré de v_{dc}
- I.13 Le neurone biologique
- I.14 Le modèle du perceptron multicouche
- I.15 Adaline : une architecture simple et flexible
- I.16 Rapport performances / flexibilité pour les principales technologies
- I.17 Structure interne d'un FPGA Altera Stratix II de technologie 90nm
- I.18 Technologie de programmation des FPGA; a) SRAM; b) EPROM; c) Antifusible
- I.19 Evolution des coûts de fabrication avec FPGA et ASIC
- I.20 Méthodologie de conception Top-Down
- I.21 Conception SoC basée sur les macrocellules
- I.22 Cycle classique de développement en V

- II.1 Flot classique de conception FPGA
- II.2 Processus de développement sous Altera Dsp Builder™
- II.3 Un multiplieur parallèle pour réaliser le produit une entrée 16 bits décomposée en 2 groupes et un coefficient de 10bits
- II.4 Multiplieur à trois entrées : a) structure interne – b) symbole générique
- II.5 Diviseur amélioré : a) Diviseur de Dsp Builder™ - b) Modèle du diviseur amélioré
- II.6 Variation de la fonction cosinus inverse
- II.7 Architecture de la transformation de Concordia – (a) Modèle avec 3 phases de calcul et 6 multiplieurs (b) Modèle équivalent avec 2 phases et 8 multiplieurs
- II.8 Architecture de la matrice de rotation de Park
- II.9 Modèle discret du régulateur proportionnel intégral.
- II.10 Structure d'un comparateur à Hystérésis
- II.11 Illustration du fonctionnement d'un comparateur Hystérésis
- II.12 Structure fonctionnelle de l'algorithme d'apprentissage de Widrow-Hoff
- II.13 Fonction sigmoïde – (a) Structure fonctionnelle, (b) Résultat de simulation
- II.14 Représentation d'un régulateur PI avec un Adaline
- II.15 Structure algorithmique de la commande d'un FAP

-
- II.16 Structure modulaire de commande du FAP avec identification $p-q$ et SRF
 - II.17 Diagramme temporel de l'architecture de commande d'un FAP (identification $p-q$)
 - II.18 Diagramme temporel de l'architecture de commande d'un FAP (identification SRF)

 - III.1 Structure de base d'une PLL avec deux blocs fonctionnels
 - III.2 Extraction de la composante directe de tension
 - III.3 Résultats de l'extraction des composantes directes de la tension pour 3 conditions
 - III.4 Détection de la phase instantanée par un VCO
 - III.5 Méthode neuronale de détection de la phase instantanée du réseau
 - III.6 Mesure de la fréquence instantanée
 - III.7 Utilisation de l'Adaline pour l'identification des harmoniques de la 1ère phase
 - III.8 Les entrées de l'Adaline
 - III.9 Convergence des poids de l'Adaline
 - III.10 Les signaux générés par l'algorithme d'identification des harmoniques
 - III.11 Erreurs d'estimation sous (a) MatlabTM et (b) Altera Dsp BuilderTM
 - III.12 Architecture de la méthode tri-monophasée avec deux Adalines
 - III.13 Architecture de la méthode TMM avec un seul Adaline
 - III.14 Résultats de simulation – a) la méthode tri-monophasée – b) la méthode TMM
 - III.15 Principe de la méthode SRF neuronale avec deux Adalines
 - III.16 Topologie de la méthode $SRFM$ avec un seul Adaline
 - III.17 Cas idéal : Résultats pour les méthodes SRF et $SRFM$
 - III.18 Transformation du spectre de la puissance réelle instantanée (courant harmonique et tension sinusoïdale équilibrés)
 - III.19 Composantes harmoniques de la puissance active instantanée (Charge équilibrée et tensions sinusoïdales déséquilibrées)
 - III.20 Structure du réseau Adaline pour l'estimation des harmoniques par la méthode $p-q$ dans sa formulation généralisée
 - III.21 a) Allure du courant de charge, b) son spectre harmonique
 - III.22 Evolution du THD - a) THD de la composante fondamentale du courant de charge, b) THD du courant côté source après compensation
 - III.23 Courant source après compensation - a) sa forme d'onde, b) sa décomposition spectrale
 - III.24 Extraction de puissance alternative par la méthode $p-qs$
 - III.25 Cas idéal: Comparaison des résultats de simulation de l'identification des harmoniques sur une phase a) les composantes fondamentales ; b) les courants harmoniques
 - III.26 Tension source polluée d'une harmonique d'ordre 3: Comparaison des résultats de simulation de l'identification des harmoniques sur une phase a) les composantes fondamentales ; b) les courants harmoniques
 - III.27 Variation de charge à 0.1s : Comparaison des résultats de simulation de l'identification des harmoniques sur une phase a) les composantes fondamentales ; b) les courants harmoniques
 - III.28 Tension source déséquilibrée : Composantes fondamentales des courants de charge après extraction des harmoniques sur une phase
-

- III.29 Plate-forme de prototypage FPGA
- III.30 Application de la technique de multiplexage au système de génération des courants de référence a) Illustration de l'apprentissage parallèle avec quatre Adalines. b) Utilisation d'un seul Adaline par multiplexage
- III.31 Flot de données transitant par les cellules mémoire, et puissances en sortie de l'Adaline par l'approche $p-qm$
- III.32 Composantes fondamentales après extraction des harmoniques dans cinq conditions de simulation avec les méthodes $p-qm$ et $p-q$
- III.33 Schéma d'un onduleur de tension triphasé
- III.34 Principe du contrôle par hystérésis
- III.35 Evolution du courant produit par l'onduleur a) par un contrôle par hystérésis numérique b) par un contrôle par hystérésis à bande nulle
- III.36 Poursuite du courant de référence par la méthode HBZ
- III.37 Principe de poursuite des courants par MLI
- III.38 Commande des interrupteurs par MLI naturelle
- III.39 Schéma de la commande PI neuronale
- III.40 Résultats de la poursuite d'un courant de référence à l'aide d'un PI neuronal
- III.41 Poursuite des courants de référence - a) résultats pour un contrôleur PI neuronal - b) résultats pour un contrôle HBZ c) Comparaison des erreurs de poursuite
- III.42 Résultat de la régulation de la tension continue
- III.43 Comparaison des courants coté source après compensation dans cinq conditions de simulation.
- III.44 Compensation en simulation du déphasage courant-tension par la méthode $p-qm$

- IV.1 Flot de conception : Etape de simulation mixte
- IV.2 Carte de développement Stratix DSP 2S180
- IV.3 Carte d'interface connectée à la carte de développement
- IV.4 Schéma de principe de la plateforme expérimentale
- IV.5 Méthode $p-qm$ - Filtrage des harmoniques à partir de mesures expérimentales du courant pollué : a) tension de source, b) courant de charge c) composante fondamentale après filtrage des harmoniques
- IV.6 Obtention d'un signal harmonique à partir d'un signal pollué
- IV.7 Le signal pollué estimé et sa composante fondamentale.
- IV.8 Principe expérimental pour la validation simultanée de l'extraction des harmoniques et du contrôle de courant – commande en boucle ouverte
- IV.9 La tension de source
- IV.10 Le courant absorbé par la charge non linéaire
- IV.11 Résultats avant compensation - 1) courant charge, 2) courant source, 3) tension source
- IV.12 Spectre harmonique du courant de la source avant compensation
- IV.13 Identification des harmoniques de courant par la méthode directe
- IV.14 Résultats expérimentaux en boucle ouverte – Méthode ITM a) tension source, b) courant charge, c) courant de référence, d) courant prévu coté source après compensation

- IV.15 Résultats expérimentaux en boucle ouverte - Méthode SRFM – 1) courant charge, 2) courant prévu coté source après compensation 3) tension source, 4) courant de référence
- IV.16 Principe expérimental de la stratégie de compensation du FAP – commande en boucle fermée
- IV.17 Résultats expérimentaux en boucle fermée - Méthode ITM : 1) tension source, 2) courant charge, 3) courant de référence, 4) courant coté source
- IV.18 Méthode ITM : Spectre harmonique du courant de source avant et après compensation
- IV.19 Impulsions MLI de commande des IGBTs obtenues expérimentalement
- IV.20 Résultats expérimentaux en boucle fermée - Méthode SRFM : 1) tension source, 2) courant charge, 3) courant de référence, 4) courant coté
- IV.21 Méthode SRFM : Spectre harmonique du courant de source avant et après compensation
- IV.22 Résultats expérimentaux en boucle fermée - Méthode $p-qm$: a) tension source, b) courant charge triphasé, c) courant de référence, d) courant coté source
- IV.23 Compensation expérimentale du déphasage courant-tension par la méthode $p-qm$
- IV.24 Etat des ressources consommées dans le FPGA pour différentes méthodes d'identification des harmoniques (contrôle HBZ)
- IV.25 Domaines d'utilisation des cibles DSP et FPGA

Liste des tableaux

- I.1 Limites des émissions de courants harmoniques (Norme CEI 61000-3-2) (Courant appelé par les appareils ≤ 16 A par phase de classe A)
- I.2 Synthèse des solutions de dépollution
- I.3 Analogie entre le neurone biologique et le neurone artificiel
- I.4 Comparatif entre les technologies de programmation des FPGA

- II.1 Comparaison des outils et méthodologies de conception

- III.1 Caractéristiques du signal pollué
- III.2 Résultats comparatifs du prototypage de la méthode directe dans 2 cibles FPGA
- III.3 Consommation des ressources FPGA pour les méthodes *Tri-monophasé* et *TMM*
- III.4 Résultats comparatifs du prototypage FPGA pour les méthodes *SRF* et *SRFM*
- III.5 Comparaison des techniques de compensation
- III.6 Paramètres de simulation
- III.7 Indicateurs de performance des méthodes de compensation harmonique
- III.8 Comparaison des taux d'occupation du FPGA pour les 5 méthodes
- III.9 Evaluation comparative des performances des méthodes $p-qm$ et $p-q$
- III.10 Taux d'occupation du FPGA pour les méthodes $p-q$ et $p-qm$
- III.11 Comparatif du suivi de consigne des différents contrôleurs
- III.12 Impact des différents contrôleurs dans la consommation des ressources du FPGA

- IV.1 Retard maximum introduit par chaque composant utilisé pour l'acquisition des signaux et la commande de l'onduleur
- IV.2 Evaluation temporelle de l'architecture de commande du FAP par la méthode $p-q$
- IV.3 Evaluation temporelle de l'architecture de commande du FAP par la méthode SRFM
- IV.4 Comparaison entre les solutions d'implantations FPGA et DSP
- IV.5 Performances de compensation avec différentes méthodes d'identification et de contrôle en expérimentation sur les cibles DSP et FPGA

ACRONYMES

Concernant les systèmes électriques

DSP : Digital Signal Processor (*Processeur de traitement des signaux numériques*)
FPGA : Field Programmable Gates Array (*Réseaux de portes logiques programmables*)
ASIC: Application Specific Integrated Circuit (*Circuit intégré pour applications spécifiques*)
CPLD : Complex Programmable Logic Device
SoPC : System on Programmable Chip
FAP : Filtre Actif Parallèle (*Active power filter -APF*)
FAS : Filtre Actif Série
IGBT : Insulated Gate Bipolar Transistor (*Transistor bipolaire à grille isolée*)
GTO : Gate Turn-Off
p-q : Méthode des puissances instantanées (*p-qm* : *p-q* multiplexées)
SRFM : Synchronous Reference Frame Modified (*Méthode de synchronisation modifiée*)
TMM : Tri-Monophasée Modifiée (*Improved three -monophase – ITM*)
HBZ : Hystérésis numérique à Bande Zéro
MLI : Modulation de Largeur d'Impulsion (*Pulse Width Modulation*)
SVPWM : Space Vector Pulse Width Modulation (*MLI par vecteur d'état*)
PID : Régulateur Proportionnel Intégral Dérivé
PLL : Phase Locked-Loop (*Boucle à verrouillage de phase*)
RST : Régulateur polynomial par placement des pôles
VCO : Voltage Controlled Oscillator (*Oscillateur Contrôlé en Tension*)
THD : Total Harmonic Distortion (*Taux de distorsion harmonique*)
UPQC : Unified Power Quality Conditioner (*Filtre parallèle-série actifs*)

Concernant les réseaux de neurones

Adaline : ADAPtive LINear Element ou Adaptive Linear Neuron (*Réseau adaptatif linéaire*)
ANN : Artificial Neural Networks (*Réseaux de neurones artificiels*)
LMS : Least Mean Square (*Méthode des moindres carrés*)
MLP : Multi Layer Perceptron (*Perceptron multicouches*)

Autres acronymes

FPB : Filtre Passe-Bas (*Low-pass filter*)
FFT : Fast Fourier Transform (*Transformée de Fourier rapide - TFR*)
TFD : Transformée de Fourier Discrète (*Discrete Fourier Transform*)
VHDL : Very high speed integrated circuits Hardware Description Language (*Langage de description matérielle des circuits intégrés à grande échelle*)
VHDL-AMS : VHDL-Analog and Mixed Signals (*VHDL pour signaux analogiques et mixtes*)
GFD : Graphe Flot de Données
VLSI : Very Large Scale Integration (*Intégration à grande échelle*)
RTL : Register transfert level (*Niveau transfert de registre*)
ALUT : Adaptive Look-Up Table (*Table de transcodage adaptive*)
LAB : Logic Array Blocks (*Bloc d'éléments logiques*)
ALM : Adaptive Logic Modules (*Modules logiques adaptatifs*)
SRAM : Static Random Access Memory (*RAM statique*)
EPROM : Erasable Programmable Read-Only Memory (ROM effaçable et programmable)
InESS : Institut d'Electronique du Solide et des Systèmes
CPER : Contrat Plan Etat-Région
CEI : Commission Electrotechnique Internationale
IEEE : Institute of Electrical and Electronics Engineers

TABLE DES MATIERES

INTRODUCTION GENERALE	1
CHAPITRE I: IMPLEMENTATION SUR FPGA DES TECHNIQUES NEURONALES POUR LE FILTRAGE ACTIF DES RESEAUX ELECTRIQUES	
I.1. INTRODUCTION SUR LA QUALITE D'ENERGIE.....	4
I.2. PROBLEMATIQUE DES HARMONIQUES.....	4
I.2.1. Origine et représentation.....	4
I.2.2. Propagation et conséquences	6
I.2.3. Caractérisation et normes.....	6
I.2.3.1. Le Taux de Distorsion Harmonique	6
I.2.3.2. Le facteur de puissance.....	7
I.2.3.3. Normes en vigueur	7
I.3. SOLUTIONS DE DEPOLLUTION DES RESEAUX ELECTRIQUES.....	9
I.3.1. Solutions classiques.....	9
I.3.2. Solutions récentes.....	10
I.3.3. Comparatif et choix du FAP	11
I.3.4. Etat de l'art sur les FAPs	12
I.3.5. Contrôle générique du FAP	13
I.3.5.1. Bloc de synchronisation.....	14
I.3.5.2. Boucle d'identification des courants de référence.....	14
I.3.5.3. Boucle interne de contrôle de courant.....	20
I.3.5.4. Boucle de régulation de la tension du côté continu de l'onduleur	21
I.4 APPLICATION DES TECHNIQUES NEURONALES POUR LA COMMANDE DES SYSTEMES ELECTRIQUES	22
I.4.1. Généralités sur les réseaux de neurones	22
I.4.2. Architectures et apprentissage des réseaux de neurones	24
I.4.3. Principe de l'Adaline.....	25
I.4.4. Méthodes d'identification et de contrôle à base de réseaux de neurones	26
I.4.5. Commande neuronale des systèmes électriques	27
I.5. METHODOLOGIES DE CONCEPTION DES CONTROLEURS NUMERIQUES POUR LES SYSTEMES DE CONVERSION DE L'ENERGIE ELECTRIQUE	28
I.5.1. Implantation des architectures de commande.	28
I.5.1.1. Modélisation analogique ou Numérique ?.....	29
I.5.1.2. Solution d'implantation type « processeur » ou mixte.....	29
I.5.1.3. Solution d'implantation type « logique »	30

TABLE DES MATIERES

I.5.1.4. Avantages et inconvénients des FPGA.....	33
I.5.2. Méthodologies de conception	34
I.5.2.1. La méthode descendante Top-Down.....	34
I.5.2.2. La méthode basée sur des Blocs Réutilisables.....	35
I.5.2.3. La méthode d'Adéquation Algorithme Architecture A ³	35
I.5.2.4. La méthode de conception modulaire.....	36
I.5.2.5. Le cycle de développement traditionnel en V.....	36
I.6 POSITIONNEMENT DE NOTRE ETUDE.....	37
I.6.1. Implication des techniques neuronales dans le Filtrage actif.....	37
I.6.1.1 Extraction des composantes de la tension	37
I.6.1.2. Identification des harmoniques de courants.....	38
I.6.1.3. Méthodes de régulation et commande de l'onduleur	39
I.6.2. Apports des FPGA pour la commande neuronale des FAPs	40
I.7. CONCLUSION.....	41

CHAPITRE II : APPROCHE MODULAIRE EN VUE DE LA CONSTITUTION D'UNE BIBLIOTHEQUE DEDIEE AU DEVELOPPEMENT SUR FPGA DE LA COMMANDE DES FAPs

II.1 INTRODUCTION	43
II.2. PROBLEMATIQUE LIEE AUX OUTILS DE CONCEPTION DES SYSTEMES ...	43
II.2.1. Les possibilités de description	44
II.2.1.1. La description littérale.....	44
II.2.1.2. La description schématique	45
II.2.2. Compatibilité entre Matlab/Simulink TM et Dsp Builder TM	48
II.3. CREATION D'UNE BIBLIOTHEQUE POUR LA MISE EN ŒUVRE DES ARCHITECTURES DE COMMANDE DES SYSTEMES ELECTRIQUES	48
II.3.1. Les opérateurs "grains fins"	48
II.3.1.1. Le multiplieur à entrées multiples.....	49
II.3.1.2. Le diviseur de nombres fractionnaires et signés.....	50
II.3.1.3. Les blocs trigonométriques.....	51
II.3.2. Les opérateurs de transformation vectorielle.....	53
II.3.2.1. La Transformation de Concordia	53
II.3.2.2. La Matrice de rotation de Park.....	54
II.3.3. Les blocs spécifiques.....	55
II.3.3.1. Le Régulateur Proportionnel et Intégral.....	55
II.3.3.2. Le comparateur à Hystérésis.....	56
II.3.4. Les opérateurs synthétisant les fonctions neuromimétiques.....	57
II.3.4.1. Le bloc "Apprentissage" de Widrow-Hoff.....	57

TABLE DES MATIERES

II.3.4.2. La fonction d'activation (sigmoïde)	57
II.3.4.3. Le Régulateur PI neuronal.....	58
II.4. CONCEPTION MODULAIRE DE L'ALGORITHME DE COMMANDE DU FAP. 58	
II.4.1. Approche de conception architecturale	59
II.4.2. Généralités sur le partitionnement modulaire d'une architecture de commande ...	60
II.4.2.1. Présentation des principes de partitionnement modulaire	60
II.4.2.2. Critères de partitionnement modulaire	60
II.4.3. Architectures modulaires de commande d'un FAP	61
II.4.4. Analyse temporelle.....	63
II.4. CONCLUSION.....	65

CHAPITRE III : MODELISATION NEURONALE DE LA COMMANDE DU FAP, EVALUATION DES PERFORMANCES DE FILTRAGE

III.1 INTRODUCTION	66
III.2. BLOC DE SYNCHRONISATION	66
III.2.1 Extraction des composantes symétriques de tension	67
III.2.2 Détection de la phase instantanée	69
III.3. MODELISATION NEURONALE DE L'IDENTIFICATION DES HARMONIQUES	71
III.3.1. Méthode Directe	71
III.3.1.1 Rappel théorique.....	71
III.3.1.2. Résultats de simulation	73
III.3.1.3. Résultats du prototypage FPGA	75
III.3.2. Méthode Tri-Monophasée Modifiée	76
III.3.2.1. Rappel sur la méthode tri-monophasée.....	76
III.3.2.2. Elaboration de la méthode Tri-Monophasée Modifiée	77
III.3.2.3. Résultats de simulation et prototypage FPGA	78
III.3.3. Méthode synchrone modifiée	79
III.3.3.1. Méthode SRF neuronale.....	79
III.3.3.2. Modification de la méthode SRF neuronale.....	81
III.3.3.3. Exemple de simulation et prototypage FPGA.....	82
III.3.4. Méthode des puissances active et réactive instantanées ($p-q$).....	83
III.3.4.1. Rappel sur la méthode $p-q$	83
III.3.4.2. Modélisation à base des réseaux de neurones	85
III.3.5. Méthode " $p-q$ simplifiée" ou $p-qs$	88
III.3.6. Etude comparative des Méthodes d'Identification des harmoniques	88
III.3.6.1. Performance des méthodes d'identification	88
III.3.6.2. Comparaison structurelle et fonctionnelle	90

TABLE DES MATIERES

III.3.6.3. Résultats de simulation	91
III.3.6.4. Prototypage FPGA.....	94
III.4. NOUVELLE APPROCHE D'IDENTIFICATION P-Q MULTIPLEXEE POUR UNE IMPLANTATION OPTIMALE SUR FPGA.....	95
III.4.1. Présentation de la méthode.....	95
III.4.2. Evaluation de la méthode $p-qm$	97
III.5. POURSUITE DES COURANTS DE REFERENCE.....	99
III.5.1. Modélisation de l'onduleur et du filtre de sortie	99
III.5.2. Contrôle des courants par hystérésis.....	101
III.5.3. Contrôle des courants par MLI.....	102
III.5.3.1 Utilisation d'un correcteur PI.....	103
III.5.3.2 Utilisation d'un correcteur PI neuronal.....	104
III.5.4. Etude comparative des méthodes de poursuite de courant.....	105
III.6 SIMULATION DE L'ENSEMBLE DU SYSTEME DE COMPENSATION.....	107
III.6.1. Régulation de tension continue.....	107
III.6.2. Performances de la compensation active	108
III.8. CONCLUSION	108

**CHAPITRE IV : PROTOTYPAGE FPGA ET VALIDATION EXPERIMENTALE DE
LA COMMANDE DU FAP**

IV.1. INTRODUCTION.....	110
IV.2. APPROCHE DE DEVELOPPEMENT POUR UNE MINIMISATION DES RESSOURCES DU FPGA.....	110
IV.2.1. Flot de conception	110
IV.2.1.1. Etape de simulation fonctionnelle	110
IV.2.1.2. Etape de simulation mixte.....	111
IV.2.2. Stratégie de réduction de la taille des architectures neuronales	111
IV.2.2.1. Réduction du nombre de réseaux de neurones et autres blocs redondants	112
IV.2.2.2. Choix du format de données à virgule fixe.....	112
IV.2.2.3. Optimisation de la surface occupée à l'aide du synthétiseur	112
IV.3. VALIDATION EXPERIMENTALE DE LA COMMANDE DU FAP.....	113
IV.3.1. Présentation de la plate-forme expérimentale	113
IV.3.1.1. Carte de développement FPGA Stratix EP2S180	113
IV.3.1.2. Carte d'interface auxiliaire	114
IV.3.1.3. Environnement réel de filtrage actif.....	115
IV.3.2. Résultats expérimentaux	116
IV.3.2.1. Mode opératoire	116

TABLE DES MATIERES

IV.3.2.2. Commande du FAP en boucle ouverte	120
IV.3.2.3. Commande du FAP en boucle fermée	123
IV.3.3. Caractérisation de l'implantation FPGA de la commande du FAP.....	127
IV.3.3.1 Analyse temporelle	127
IV.3.3.2 Analyse de la consommation des ressources FPGA.....	130
IV.3.3.3 Comparaison entre la solution d'implantation FPGA et la solution DSP	131
IV.4. CONCLUSION	134
CONCLUSION GENERALE	136
ANNEXE I : TRANSFORMATION VECTORIELLE A L'AIDE DES MATRICES DE PASSAGE.....	138
ANNEXE II : PLATE-FORME EXPERIMENTALE.....	141
ANNEXE III : PLANS DE LA CARTE D'INTERFACE	142
PUBLICATIONS ET COMMUNICATIONS DU DOCTORANT	143
BIBLIOGRAPHIE	144
RESUME	154

***INTRODUCTION
GENERALE***

INTRODUCTION GENERALE

1. Contexte

La qualité de l'énergie électrique concerne tous les acteurs du domaine énergétique, à savoir les producteurs, les distributeurs et consommateurs d'électricité. Elle est devenue un sujet important ces dernières années, essentiellement pour les raisons suivantes :

- Des impératifs économiques : les perturbations électriques ont un coût élevé pour les industriels car elles engendrent des arrêts de production, des pertes de matières premières, une baisse de la qualité de la production, un vieillissement prématuré des équipements, etc.
- La généralisation des équipements d'électronique de puissance sensibles aux perturbations et/ou générateurs de perturbations : Malgré leurs multiples avantages (souplesse de fonctionnement, excellent rendement, performances élevées), ils ont la particularité de consommer des courants déformés.
- L'ouverture du marché de l'électricité en France et bientôt au Cameroun : la libéralisation du marché de l'électricité incite les fournisseurs à offrir à leurs clients une énergie de meilleure qualité.

Parmi les dispositifs d'électronique de puissance présents sur le réseau électrique, certains convertisseurs sont utilisés dans des applications de filtrage actif. Leur action consiste à injecter des courants sur le réseau afin d'améliorer la qualité des tensions et courants disponibles. L'amélioration de la performance de ces dispositifs dans diverses conditions de fonctionnement des sources d'énergie et des charges du réseau électrique est une préoccupation constante de certains acteurs du monde de la recherche.

Une des thématiques de recherche des laboratoires InESS (Institut d'Electronique du Solide et des Systèmes) de l'Université de Strasbourg et L2EAT (Laboratoire d'Electronique, Electrotechnique, Automatique et Télécommunication) de l'Université de Douala concerne l'intégration sur cible ASIC/FPGA d'algorithmes de commande de systèmes électriques. L'InESS a ainsi mis au point une méthodologie d'implantation basée sur les principes de conception modulaire et d'adéquation algorithme architecture. Dans le cadre du Contrat de Plan Etat Région, en partenariat avec le laboratoire MIPS-TROP de l'Université de Haute Alsace de Mulhouse, l'InESS travaille sur les apports d'une commande intelligente de type neuromimétique pour un système d'injection de courants compensatoires. Cette collaboration est née de la complémentarité de ces deux laboratoires pour l'intégration sur cible matérielle de systèmes de commande intelligents. A ce sujet, un banc de test expérimental a été élaboré en parallèle à partir des plates-formes de l'équipe TROP et du troisième partenaire, le laboratoire GREEN-ERGE de l'INSA Strasbourg. Il a pour but de tester les différentes techniques de commande (notamment les commandes neuronales et neuro-floues) en situation réelle et par la suite, de sélectionner et tester celles qui seront aptes à l'intégration.

Les objectifs du projet concernent principalement les points suivants:

- Le développement et l'intégration des fonctionnalités de mesure, filtrage, contrôle, calcul et estimation dans le domaine de la commande
- L'application aux systèmes électriques (convertisseurs, actionneurs, filtre actif, ...)
- Les techniques d'intégration de systèmes de commande

2. Objectifs scientifiques

Dans le cadre du projet décrit précédemment, l'objectif principal de la thèse est d'étendre la méthodologie d'implantation développée au sein de l'InESS vers les opérateurs et fonctions neuromimétiques.

Le développement d'opérateurs et de modules « IP logiciels » synthétisant les fonctions neuromimétiques permettra de valider ce travail en intégrant sur cible FPGA le système de commande intelligent du filtre actif présenté plus haut.

A partir de ces travaux, une évolution envisagée consisterait en la création d'un outil permettant la génération automatique de blocs synthétisables en fonction des caractéristiques de la charge et de celles du filtrage souhaité.

3. Contributions

L'idée de base était l'utilisation d'une cible unique de type FPGA pour l'implantation de toute l'architecture de commande d'un FAP. Jusqu'à présent cette intégration se faisait essentiellement dans des cibles de type processeur comme le DSP ou selon une approche conjointe DSP/FPGA. Plusieurs méthodes d'identification des harmoniques existantes ont ainsi été exploitées et adaptées à un environnement de développement pour FPGA du constructeur Altera, appelé Dsp BuilderTM. C'est ainsi que les algorithmes d'identification obtenus ont été simulés et implémentés sur cible matérielle avec un succès relatif au composant FPGA choisi et/ou à la méthode adoptée. Nous avons ainsi axé notre travail de recherche sur l'aspect adéquation algorithme architecture afin de minimiser le taux de remplissage du FPGA en phase de prototypage. Cette approche a donné lieu aux contributions suivantes :

- Définition d'une approche de conception modulaire sans modules de calcul identiques fonctionnant en parallèle. Cette approche méthodologique a été complétée d'une part par un choix du format de données à virgule fixe à travers l'algorithme conforme aux données échangées, et d'autre part par la prise en compte de la contrainte de surface lors de la compilation par l'outil de synthèse.
- Elaboration de nouvelles approches d'extraction de courants de référence dont les plus importantes sont : la méthode Tri-Monophasée Modifiée, la méthode synchrone modifiée, la méthode des puissances instantanées multiplexées. La comparaison avec les méthodes originales nous a permis de constater que les performances de filtrage étaient maintenues et même améliorées dans certains cas.
- Caractérisation de l'implantation FPGA sous l'aspect temporel par la mesure du temps d'exécution des algorithmes et sous l'aspect surface d'occupation par l'évaluation du taux de remplissage du FPGA en général et la consommation des ressources de calcul en particulier. C'est ainsi que le gain d'espace généré par ces nouvelles approches est mis en évidence.

4. Plan du manuscrit

Ce rapport de thèse est organisé de la manière suivante :

Le chapitre I définit le terme « qualité de l'énergie électrique » et présente les principaux types de perturbations ainsi que leurs origines, causes, conséquences et traits caractéristiques. Les solutions de dépollution classiques et actuelles sont passées en revue et le FAP est retenu pour ses performances et en raison de la législation sur les normes de qualité de l'énergie plutôt portée sur la compensation des harmoniques de courant. Par la suite, un état de l'art sur l'implication des techniques neuromimétiques dans la commande des systèmes de conversion de l'énergie électrique est proposé ainsi que des aspects méthodologiques de conception des contrôleurs numériques. Enfin, le positionnement de notre étude est exposé autour l'implémentation optimale sur FPGA de la commande du FAP à base de réseaux de neurones.

Le chapitre II présente une approche modulaire de conception qui nous a permis de partitionner l'architecture de commande du FAP. Le développement des différents modules passe par la création d'une bibliothèque dédiée au développement sur FPGA de la commande des FAPs pour compléter celle de l'outil de conception Altera Dsp BuilderTM.

Le chapitre III présente la modélisation neuronale de la commande du FAP. Cette stratégie consiste à généraliser l'utilisation des réseaux de neurones dans ses modules constitutifs de tels que la PLL, le module d'extraction des courants de référence et le module de contrôle de courant, afin de rendre cette commande plus adaptative et performante. Les méthodes obtenues sont évaluées et comparées par rapport aux critères efficacité et taux de consommation du FPGA.

Le chapitre IV traite essentiellement de la validation des différentes fonctionnalités de la commande d'un FAP par l'intégration de l'ensemble de l'architecture sur FPGA. Tout d'abord, le flot de conception à travers l'outil de synthèse est présenté. Après une brève description de la plate-forme expérimentale de filtrage actif, les résultats de tests obtenus sont présentés. Enfin, une évaluation de la solution d'implantation sur cible matérielle de type FPGA vient justifier les orientations de cette thèse.

CHAPITRE I

**IMPLEMENTATION SUR FPGA DES
TECHNIQUES NEURONALES POUR
LE FILTRAGE ACTIF DES RESEAUX
ELECTRIQUES**

I.1. INTRODUCTION SUR LA QUALITE D'ENERGIE

La Qualité d'énergie est un concept très large qui peut se définir par rapport à la continuité de la fourniture électrique et la forme de la tension disponible. L'évaluation de cette qualité consiste habituellement à caractériser les perturbations électromagnétiques parmi lesquelles on peut citer :

- les creux de tension et coupures
- les harmoniques
- les surtensions
- les déséquilibres de tension
- les variations de la fréquence d'alimentation, etc.

Ces perturbations peuvent être groupées en quatre catégories selon qu'elles affectent l'amplitude, la forme d'onde, la fréquence et la symétrie de la tension. Elles peuvent aussi être classées selon quelles soient permanentes, semi-permanentes ou aléatoires (foudre, court-circuit, manœuvre...).

A la fin des années 80, la recherche s'intéresse d'avantage à la qualité de l'onde de tension [BO-00]. La raison principale de cet intérêt est l'évolution de la nature des charges connectées au réseau avec notamment l'utilisation massive des systèmes d'Electronique de Puissance pour l'alimentation et le contrôle de charges électriques. Avec leurs caractéristiques non-linéaires, les perturbations présentes sur le réseau, notamment les harmoniques, se sont multipliées.

Poussée par une législation favorable, comme par le développement des technologies de production primaire, la production décentralisée d'énergie à base de sources renouvelables et/ou de procédés à haut rendement est devenue durant ces dernières années un complément économiquement intéressant pour les grands producteurs classiques centralisés. Les producteurs décentralisés constituent un nouveau type de « charge » pour le réseau de distribution : au lieu d'absorber de l'énergie, ils l'injectent, ouvrant la porte à la bidirectionnalité énergétique du réseau de distribution. Pourtant, le réseau de distribution n'a pas été conçu pour ce type d'opération ; le raccordement des producteurs exige donc une révision détaillée du fonctionnement du réseau, afin de s'assurer que la stabilité du réseau et la qualité de distribution ne soient pas dégradées.

Nous allons dans la suite nous intéresser à la problématique des harmoniques générées par la généralisation de l'utilisation d'équipements à base d'électronique de puissance dans les réseaux électriques.

I.2. PROBLEMATIQUE DES HARMONIQUES

Il est question dans cette section de présenter simplement les harmoniques, leurs effets ainsi que la réglementation au niveau du producteur et surtout du consommateur.

I.2.1. Origine et représentation

Dans les secteurs industriel et domestique on constate une recrudescence de générateurs d'harmoniques. Il s'agit des dispositifs, tels que les convertisseurs statiques, contenant des éléments de commutation ainsi que d'autres dispositifs à caractéristique tension-courant non linéaire :

- *Convertisseurs statiques* - Les convertisseurs statiques sont les sources d'harmoniques les plus gênantes du fait du nombre et de la puissance des dispositifs installés. On peut citer de manière non exhaustive :

- Les redresseurs monophasés et triphasés. Ils génèrent des harmoniques dont la fréquence dépend sensiblement de la commande adoptée.
- Les cycloconvertisseurs utilisés pour régler la vitesse des moteurs à courant alternatif.
- Les gradateurs utilisés dans les entraînements de faible puissance, les systèmes d'éclairage et de chauffage et les systèmes de conduite des réseaux
- Les variateurs de vitesse électroniques constitués principalement d'un convertisseur statique et d'une partie électronique, destinés à commander la vitesse d'un moteur électrique

➤ *Dispositifs à caractéristique tension-courant non linéaire* - On distingue :

- les fours à arc et à induction.
- les transformateurs
- les machines tournantes
- inductances saturées, etc.

Dans une moindre mesure, d'autres charges non linéaires, c'est-à-dire qui n'absorbent pas un courant sinusoïdal, même lorsqu'elles sont alimentées par une tension sinusoïdale peuvent être citées parmi les générateurs d'harmoniques :

- les appareils domestiques tels que téléviseurs, lampes à décharges, lampes fluorescentes à ballast électronique.
- les alimentations à découpage informatique.

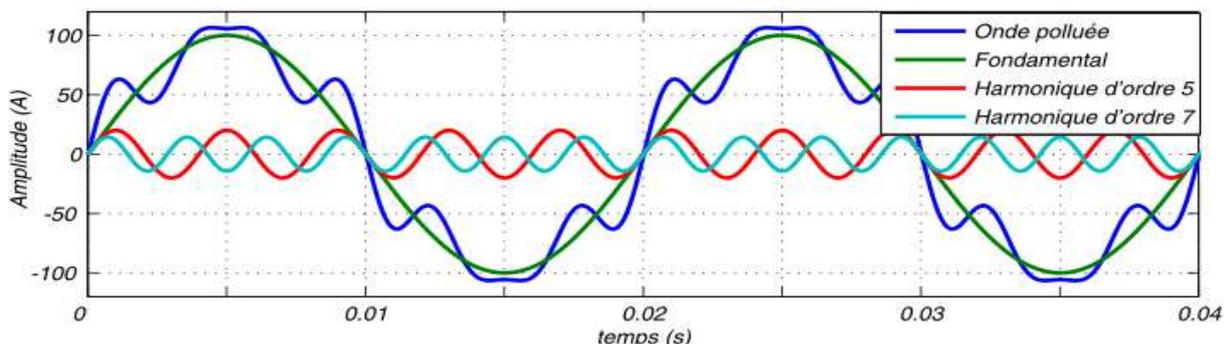


Fig. I-1. Décomposition harmonique d'une onde polluée

La figure I.1 donne l'allure d'une onde polluée par des harmoniques de rang 5 et 7. La décomposition de cette onde permet de mettre en évidence ces harmoniques considérées comme les plus néfastes, ainsi que la composante fondamentale. Dans les réseaux électriques triphasés, les principales composantes harmoniques sont de rang 5, 7, 11 et 13 ($6 \cdot h \pm 1$, avec $h=1,2,\dots$). En général les charges du réseau sont symétriques. Dans ces conditions les harmoniques de rang 2 sont sensés être nulles.

Les ponts de diodes sont les plus présents sur les applications de puissance pour plusieurs raisons : ils sont non commandables, avec une durée de vie importante et un coût d'achat beaucoup plus faible que des solutions plus évoluées. Bien plus que les ordinateurs et autres téléviseurs, les redresseurs monophasés à diodes avec filtrage capacitif ont la particularité de générer les courants harmoniques de rang 3. Ceux-ci sont particulièrement néfastes pour les réseaux électriques triphasés en raison des courants de neutre importants alors produits. Il en va de même pour les harmoniques de rangs multiples de 3, aussi connus sous l'appellation "harmoniques séquence zéro". Toutefois, en présence de charges non linéaires triphasées,

équilibrées, symétriques et sans raccordement au neutre, il n'y a pas génération de l'harmonique de rang 3, ni d'harmoniques de rangs multiples de 3.

I.2.2. Propagation et conséquences

Dès la génération des courants harmoniques par des charges non-linéaires, ceux-ci se propagent à travers le réseau en faisant face à deux types d'obstacle :

- *Les bifurcations* : à chaque bifurcation le courant se partagera en fonction de l'impédance observée sur chaque branche de la bifurcation (selon la loi du diviseur de courant).
- *Les impédances asymétriques* : l'impédance du réseau est pratiquement identique pour le système direct et inverse. Par contre, son impédance homopolaire dépend de plusieurs facteurs comme le régime de neutre, le couplage ou les caractéristiques des circuits magnétiques de ses éléments etc. La propagation des harmoniques homopolaires sera donc tributaire de tous ces paramètres.

Les tensions et courants harmoniques superposés à l'onde fondamentale conjuguent leurs effets sur les appareils et équipements utilisés. En fonction des récepteurs rencontrés, on peut classer les effets engendrés par les harmoniques en deux types : les effets instantanés et les effets à terme.

- *Les effets quasi-instantanés.*
 - Les perturbations concernent principalement des dispositifs de régulation électronique. *Les tensions harmoniques* peuvent ainsi influencer les liaisons et les équipements "courants faibles", entraînant des pertes d'exploitation.
 - Vibrations, bruits
Par les efforts électrodynamiques proportionnels aux courants instantanés en présence, *les courants harmoniques* généreront des vibrations, des bruits acoustiques, surtout dans les appareils électromagnétiques (transformateurs, inductances), entraînant dans certains cas leur destruction.
 - La présence d'harmoniques sur les signaux provoque le déplacement du passage par zéro et des modifications de la valeur de crête de l'onde.
- *Les effets à terme dus aux échauffements.*
 - Echauffement et vieillissement des condensateurs
 - Echauffement dû aux pertes supplémentaires des machines et des transformateurs et des câbles.
 - Diminution de leur durée de vie par surcharge thermique.

I.2.3. Caractérisation et normes

I.2.3.1. Le Taux de Distorsion Harmonique

La mesure de cette pollution est très importante car elle permet de caractériser les installations et de s'assurer de la bonne qualité de l'énergie distribuée. Différents critères sont définis pour mesurer les perturbations harmoniques, mais c'est le Taux de Distorsion Harmonique qui est employé plus couramment. Le terme THD (*Total Harmonic Distorsion*) sera utilisé pour désigner le Taux de Distorsion Harmonique : c'est le rapport de la valeur efficace des harmoniques à la valeur efficace du fondamental seul.

$$THD(\%) = 100 \frac{\sqrt{\sum_{i=2}^{i=n} I_{ci}^2}}{I_{c1}} \quad (1.1)$$

où I_{c1} correspond à la valeur efficace du courant fondamental et I_{ci} représente les valeurs efficaces des différentes harmoniques du courant. Le domaine des fréquences qui correspond à l'étude des harmoniques est généralement compris entre 100 et 2KHz; soit de l'harmonique de rang 2 jusqu'à l'harmonique de rang 40. Les harmoniques de fréquence plus élevée sont fortement atténuées par l'effet de peau et par la présence des inductances de lignes. Il est à signaler aussi que l'amplitude des harmoniques décroît avec la fréquence.

I.2.3.2. Le facteur de puissance

Budenau [AN-84] a proposé qu'en présence des harmoniques, la puissance apparente monophasée soit séparée en 3 composantes orthogonales. Son expression est donnée par l'équation suivante :

$$S = \sqrt{P^2 + Q^2 + D^2} \quad (1.2)$$

P est la puissance active, Q la puissance réactive et D la puissance déformante liée aux harmoniques. Normalement, pour un signal sinusoïdal le facteur de puissance est donné par le rapport entre la puissance active P et la puissance apparente S .

$$F_p = \frac{P}{S} = \frac{P}{\sqrt{P^2 + Q^2 + D^2}} = \cos \phi \cos \psi \quad (1.3)$$

Ainsi donc, les harmoniques affectent aussi le facteur de puissance. Ceci peut se traduire par le diagramme de Fresnel des puissances de la figure I.2.

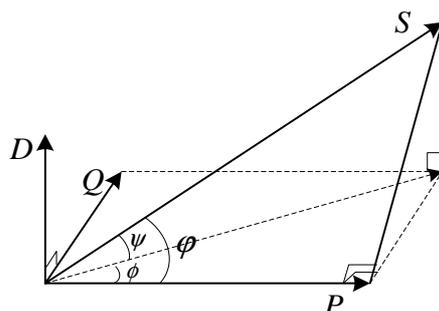


Fig. I.2. Diagramme de Fresnel des puissances

I.2.3.3. Normes en vigueur

La C.E.I. (*Commission Electrotechnique Internationale*) et l'I.E.E.E (*Institute of Electrical and Electronics Engineers*) sont les deux principaux organismes internationaux de normalisation dans le domaine de l'électrotechnique et particulièrement dans le domaine des perturbations électriques. La CEI est un organisme officiel composé de comités nationaux de 63 pays, tandis que l'IEEE est une association professionnelle. Contrairement à l'IEEE qui utilise la notion de « qualité de l'énergie » dans ses normes, la CEI préfère plutôt le concept

de "Compatibilité Electromagnétique". Les émissions harmoniques sont aussi soumises à différentes dispositions normatives et réglementaires :

- normes de compatibilité adaptées aux réseaux,
- normes d'émission applicables aux produits générateurs d'harmoniques,
- recommandations des distributeurs d'énergie applicables aux installations.

Les normes de la CEI sont regroupées dans la publication CEI-61000. On peut y retrouver les normes qui établissent des limites pour les émissions de courants harmoniques (CEI 61000-3-2, CEI 61000- 3-4 et 61000-3-6), celles qui établissent le niveau de compatibilité (CEI 61000-2-4 et 61000-2-2) et qui déterminent le taux de distorsion harmonique de la tension de référence sur le réseau.

En particulier, la norme CEI 61000-3-2 représentée sur le tableau I.1 fixe la limitation des courants injectés dans le réseau public pour des équipements dont le courant par phase est inférieur à 16 A. Il s'agit là des appareils du domaine domestique. Les normes ci-dessus sont obligatoires mais restent incomplètes et ne permettent pas de garantir totalement la compatibilité électromagnétique sur les réseaux publics. C'est la raison pour laquelle la compagnie EDF (Electricité de France) émet quelques recommandations concernant le raccordement des utilisateurs sur le réseau. Par exemple, les limitations en tension harmonique à respecter par ses clients sont :

- pour chaque rang pair, la tension harmonique est limitée à 0,6%,
- pour chaque rang impair, la tension harmonique est limitée à 1%,
- limitation du THD à 1,6%.

Dans le cadre du contrat EMERAUDE signé avec ses abonnés tarif vert, il y a un engagement réciproque : de qualité, pour EDF, et de limitation de pollution de la part de l'abonné. En plus, EDF autorise ses clients à consommer de la puissance réactive, sans être facturé, jusqu'à 40% de la puissance active absorbée.

	Rang harmonique	Courant harmonique maximal autorisé (A)
impaires	3	2,3
	5	1,14
	7	0,77
	9	0,4
	11	0,33
	13	0,21
	$15 < h < 39$	$0,15 * 15 / h$
paires	2	1,08
	4	0,43
	6	0,33
	$8 < h < 40$	$0,23 * 8 / h$

Tab. I.1. Limites des émissions de courants harmoniques (Norme CEI 61000-3-2)
(Courant appelé par les appareils ≤ 16 A par phase de classe A).

Ces normes ont pour but de sensibiliser le consommateur ainsi que le fabricant d'appareils polluants pour le respect d'une certaine qualité de l'énergie absorbée, mais il se pose de plus en plus la question des "petits" producteurs qui se raccordent sur le réseau. Les contraintes pour le raccordement d'une production décentralisée en HTA (*Haute Tension A*) sont fixées

en ce qui concerne les limites d'émission en courant par l'arrêté Français du 17 mars 2003 relatif aux conditions techniques de raccordement au réseau public des installations de production autonome d'énergie électrique. Il est à noter que le domaine HTA est utilisé en France à la place de MT (*Moyenne Tension*) pour désigner les tensions U ($1 < U \leq 50$ kV) en courant alternatif. Depuis le 10 juillet 2006, un arrêté fixe les conditions d'achat de l'électricité produite par les installations utilisant l'énergie radiative du soleil.

I.3. SOLUTIONS DE DEPOLLUTION DES RESEAUX ELECTRIQUES

Les systèmes d'Electronique de Puissance utilisés pour l'amélioration de la qualité de l'énergie sont essentiellement des systèmes de compensation. Ils travaillent en combinaison avec le réseau, en superposant leur énergie à celle de ce dernier. Ces dispositifs font partie de la famille des actionneurs réseau, dont le but est d'échanger de l'énergie avec le réseau afin d'améliorer la qualité de fourniture. Ils peuvent se connecter soit en série soit en shunt avec le réseau, et ils peuvent être passifs ou actifs en fonction de l'application.

I.3.1. Solutions classiques

Les solutions traditionnelles de dépollution sont essentiellement des solutions passives ou des modifications structurelles permettant de traiter directement les harmoniques. On peut citer :

- *Le surdimensionnement de l'installation électrique* : Au moment de la conception d'une installation nouvelle, l'idée consiste à surdimensionner tous les éléments de l'installation susceptibles de véhiculer des courants harmoniques afin d'en éviter les conséquences. Cette solution entraîne un accroissement important du coût de l'installation.
- *L'augmentation de la puissance de court-circuit* : La puissance harmonique augmente lorsque la puissance de court circuit diminue si l'on ne prend pas en compte les phénomènes de résonance. On a donc intérêt à connecter les sources polluantes à un point du réseau où l'impédance réseau est la plus faible possible en séparant magnétiquement les différentes charges.
- *Les transformateurs à couplage passif* : certains couplages du type triangle-zigzag permettent de supprimer les harmoniques de rang 3 et leurs multiples au prix de l'augmentation de l'impédance de ligne, et donc d'une augmentation de la distorsion de la tension.
- *Les filtres passifs* : Ils sont composés par des éléments passifs comme des inductances, des condensateurs et des résistances. On distingue quatre types de filtres passifs : les filtres réglés à des fréquences déterminées, les filtres passe-haut, les filtres passe-bas (FPB) et les filtres passe-bande. Les filtres harmoniques passifs ont l'avantage de pouvoir corriger le facteur de puissance en dimensionnant correctement les condensateurs afin d'échanger une quantité déterminée de puissance réactive avec le réseau. Cependant, ces filtres présentent quelques inconvénients :
 - L'impédance du réseau en présence des filtres peut faire apparaître des résonances.
 - Le filtrage passif peut absorber les courants harmoniques d'autres charges non linéaires et dans ce cas, le filtre passif peut être surchargé.
 - Le filtrage passif est peu flexible et, en cas de modifications dans le réseau, il peut avoir du mal à s'adapter aux nouveaux besoins du filtrage.
 - La conception des filtres passifs doit considérer la tolérance de fabrication et les dérives paramétriques qui apparaissent à l'usage.

Ainsi, avant d'installer un filtre de ce type, une étude détaillée doit être menée afin d'analyser, cas par cas, les risques de résonance et de surcharge.

I.3.2. Solutions récentes

Ces solutions sont proposées comme des solutions efficaces de dépollution des réseaux électriques afin de traiter les inconvénients inhérents aux solutions traditionnelles comme les filtres passifs (non adaptatifs aux variations de la charge et du réseau, phénomènes de résonance). En outre, une autre raison qui a motivé le développement de ce type de filtre est l'apparition de nouveaux composants semi-conducteurs comme les IGBT (*Insulated Gate Bipolar Transistor*), interrupteurs haute fréquence commandables en ouverture et en fermeture. Le but de ces filtres est de générer soit des courants, soit des tensions harmoniques de manière à compenser les perturbations responsables de la dégradation des performances des équipements et installations électriques. Parmi toutes les solutions modernes, on trouve trois structures classiquement utilisées :

- Le filtre actif série (FAS) conçu pour compenser toutes les perturbations de tension comme les harmoniques, les déséquilibres et les creux de tension,
- le filtre actif parallèle : conçu pour compenser toutes les perturbations de courant comme les harmoniques, les déséquilibres et la puissance réactive,
- Le compensateur actif parallèle-série : solution universelle pour compenser toutes les perturbations en courant et en tension.

Le filtre actif série : Le rôle d'un FAS (figure I.3) est de modifier localement l'impédance du réseau. Il se comporte comme une source de tension harmonique qui annule les tensions perturbatrices (creux, déséquilibre, harmonique) venant de la source et celles générées par la circulation de courants perturbateurs à travers l'impédance du réseau. Ainsi, la tension aux bornes de la charge peut être rendue sinusoïdale. Cependant, le FAS ne permet pas de compenser les courants harmoniques consommés par la charge.

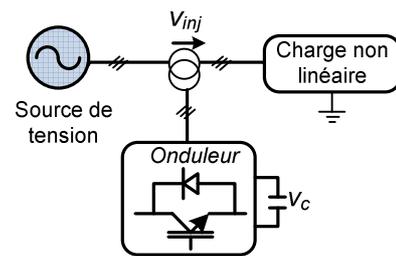


Fig. I.3 : Filtre actif série

Le filtre actif parallèle : Le FAP encore appelé compensateur shunt (figure I.4) se connecte en parallèle avec le réseau de distribution et injecte en temps réel les composantes harmoniques des courants absorbés par les charges non linéaires connectées au réseau. Ainsi, le courant fourni par la source d'énergie devient sinusoïdal.

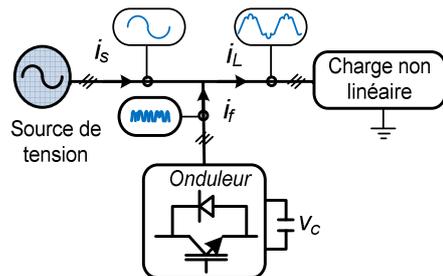


Fig. I.4: Filtre actif parallèle

Le compensateur actif parallèle-série : Ce dispositif qui associe les filtres actifs parallèle et série bénéficie de ce fait des avantages des deux types de filtres. C'est ainsi qu'il est également appelé UPQC (*Unified Power Quality Conditioner*). Il permet donc d'assurer simultanément un courant sinusoïdal et une tension du réseau électrique également sinusoïdale [AL-02]. Le filtre actif série, lorsqu'il est placé en amont du filtre actif parallèle comme montré sur la figure I.5, permet de dépolluer la source des tensions perturbatrices. Lorsqu'il

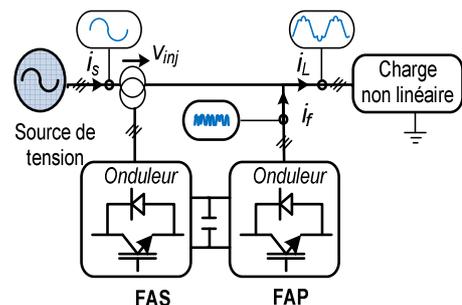


Fig. I.5 : Combinaison de filtres

est placé en aval, il permet d'isoler la charge de la source perturbée. actifs parallèle-série

Les inconvénients des filtres passifs (résonances série ou parallèle avec la source et/ou la charge, détérioration des performances du filtre lors de variations de l'impédance du réseau, etc.) et des filtres actifs (coût élevé en raison du dimensionnement des composants de puissance) ont conduit à l'élaboration d'une nouvelle topologie de filtre actif. Il s'agit du *filtre hybride* qui est en réalité une association de filtres actifs de faibles puissances à des filtres passifs pour en combiner les avantages [DE-08]. Ainsi, les filtres passifs éliminent les harmoniques en basses fréquences, ce qui permet de réduire le dimensionnement du filtre actif qui ne compense que le reste des perturbations. En conséquence, le filtre actif hybride est plus petit (au niveau de dimensionnement) que pour un filtre actif conventionnel et la réponse est bien meilleure qu'avec des filtres passifs seuls. Pour cette raison, il est considéré comme l'une des meilleures solutions pour filtrer les harmoniques de courant des réseaux de distribution. De plus, du point de vue économique, le filtre hybride présente un atout majeur : il permet de réduire le coût du dispositif de filtrage, actuellement l'un des obstacles à une plus large utilisation des filtres actifs. Cependant, pour l'instant, ces filtres hybrides ont eu une pénétration très limitée sur le marché. Ce type de solution permet donc d'avoir un bon compromis pour un type particulier de charge mais reste bien moins performant qu'un filtre actif pur.

I.3.3. Comparatif et choix du FAP

Le tableau I.2 présente un récapitulatif des avantages et inconvénients de cinq schémas de dépollution : renforcement de la puissance de court-circuit, filtrage passif, filtrage actif série, filtrage actif parallèle et le filtrage parallèle-série actifs. Le compensateur parallèle-série actifs élimine toutes les perturbations liées à la tension et au courant. Néanmoins, cette solution dite universelle reste difficilement réalisable en pratique. Le FAP génère des composantes harmoniques aux mêmes fréquences et en opposition de phase aux perturbations mesurées. Il compense les courants harmoniques engendrés par une charge non linéaire, tout en s'adaptant aux évolutions du récepteur. Cependant, la compensation des harmoniques de tension n'est pas toujours évidente avec cette approche.

<i>Principe</i>	<i>avantages</i>	<i>inconvénients</i>
renforcement de la puissance de court-circuit	amélioration de la forme de la tension	pas d'amélioration de la forme du courant, pas toujours réalisable
filtrage passif	amélioration de la forme du courant	risque de résonance, pas d'adaptabilité
filtrage actif série	amélioration de la forme de la tension, adaptabilité aux variations de charge et du réseau	pas d'amélioration de la forme du courant
filtrage actif parallèle	amélioration de la forme du courant, adaptabilité aux variations de charge et du réseau	amélioration de la forme de la tension pas toujours évidente
Combinaison parallèle-série actifs	amélioration de la forme du courant, amélioration de la forme de la tension, adaptabilité aux variations de charge et du réseau	réalisation difficile

Tab. I.2 Synthèse des solutions de dépollution

En raison des normes sur la qualité de l'énergie (plutôt portée sur la compensation des harmoniques de courant) et les bonnes performances obtenues par le FAP, nous avons retenu cette topologie de compensation pour notre stratégie de dépollution des perturbations harmoniques. Malgré les contraintes de coût, le filtrage actif parallèle dans les réseaux électriques basse tension, reste l'une des méthodes de compensation les plus étudiées et les plus développées. Cette méthode qui allie rapidité et efficacité, présente des avantages certains et un potentiel de développement important. Un FAP est dit à structure courant ou à structure tension selon le type de stockage de l'énergie, réalisé par une inductance ou un condensateur. Cependant, les FAPs à structure tension sont plus fréquemment mis en œuvre dans les applications industrielles pour la simplicité de leurs commandes, leur coût limité et leur taille physique réduite [AK-06], [RO-07]. Par conséquent, nous avons choisi de considérer la structure tension dans ce manuscrit. Les performances des FAPs sont améliorées aujourd'hui par des stratégies de contrôles avancées.

I.3.4. Etat de l'art sur les FAPs

Dans [ALA-02] un état de l'art des FAPs de puissance est présenté. Cette étude a été approfondie et ensuite élargie aux filtres actifs multiniveaux. La première famille des FAPs a été conçue à partir d'onduleurs à thyristors commandés en MLI [GY-76]. Ces filtres ont été développés pour éliminer les harmoniques générés par les convertisseurs utilisés dans les systèmes de transmission de courant continu en haute tension (*High-Voltage Direct Current - HVDC*). Toutefois, à cette époque la technologie des interrupteurs d'électronique de puissance ne leur permettait pas de fonctionner aux fréquences de commutation et aux niveaux de puissance exigés par la réalité industrielle. Cette barrière technologique sera franchie, dès 1977, lors de la conception d'un premier prototype de FAP à base de thyristors à commutation naturelle pour la compensation de courant harmonique [MO-77]. Cependant, l'application des onduleurs à base de thyristors a tout de suite posé le problème de la génération non désirée de composantes injectées sur le réseau à la fréquence de commutation.

Au cours des années 1980, de nouveaux composants de puissance associant hautes fréquences de commutation et fortes puissances ont été développés. Profitant de ces avancées, et de l'avènement des interrupteurs de puissance du type GTO (*Gate Turn-Off*) et IGBT, de nombreux onduleurs de puissance, commandés en MLI, ont pu être conçus en vue de répondre aux contraintes industrielles de conception des FAPs [AK-86]. Ces premiers prototypes ne compensaient alors que les perturbations harmoniques de courant. Suite à ces premiers développements, d'autres types de FAPs ont pu être réalisés pour compenser à la fois la puissance réactive, et/ou les harmoniques et les déséquilibres de courant dans les sites *commerciaux* et/ou industriels [LA-97], [CH-00].

Parallèlement, en 1997, le premier filtre à topologie *multiniveaux* à plus de deux composants semi-conducteur par bras fut proposé dans la référence [AU-97]. Ce filtre actif avec un onduleur clampé par le neutre, présentait deux avantages en termes de limitation des contraintes en tension subies par les interrupteurs de puissance et d'amélioration des qualités spectrales de la tension de sortie composée ici d'au moins trois niveaux. Dès lors, l'intérêt aux filtres actifs multiniveaux, en vue de leur application industrielle en moyenne et forte puissance, n'a cessé de s'intensifier. En effet, en 1998 S. Round *et al.* proposèrent un FAP trois niveaux susceptible de dériver les harmoniques dans des sites commerciaux et industriels [RO-98]. Ils démontrèrent que la topologie trois niveaux permet l'utilisation d'une inductance de sortie de plus petite valeur en comparaison à la topologie deux niveaux. Les années qui ont suivi ont vu de nombreuses publications sur les filtres actifs multi-niveaux avec différentes topologies : dans [SN-01], l'auteur propose une topologie à capacité flottante avec commutation douce; la référence [MI-04] utilise un convertisseur en cascade asymétrique,

puis dans [OR-06] une mise en cascade de quatre onduleurs de tension monophasés en pont, à base d'interrupteurs à trois états différents permet de mettre en œuvre un filtre actif 81 niveaux. Au delà des avantages d'une telle structure en termes de faible fréquence de commutation des composants, et d'obtention de meilleures formes d'onde tension/courant, il faut signaler l'inconvénient du surcoût. Plus récemment, il a été proposé dans [RA-10], un FAP à structure de tension avec sept niveaux d'onduleurs monophasés à pont complet montés en cascade. Afin d'obtenir les courants de compensation adéquats, une méthode de contrôle de courant à MLI multi-porteuse a été adoptée.

L'évolution des FAPs, a aussi permis l'extraordinaire interaction avec les énergies renouvelables. En effet, on connaît aujourd'hui des filtres actifs appliqués aux systèmes solaires [WU-05], [NE-09], et aux aérogénérateurs (turbines éoliennes) [AB-03], [CH-08].

Dans la pratique, quelques fabricants proposent sur leurs catalogues des FAPs : ABB, Siemens, MGE UPS, AIM Europe et Mesta Electronics, Circutor, etc. Selon le fabricant et le modèle, la puissance des filtres, triphasés pour la plupart, varie entre 10 à 2000KVA. Ils se connectent en basse tension ($V < 690V$), supportent des courants entre 300-480A et donnent le choix de se connecter avec ou sans neutre raccordé. Les filtres permettent une compensation globale des harmoniques, souvent jusqu'à l'harmonique 50. L'utilisation de ces filtres qui se généralise dans différentes applications du génie électrique, produit une réduction des coûts d'exploitation et une prolongation de la durée de vie des installations. Cependant, le FAP constitué de plusieurs blocs reste une solution de dépollution complexe qui a besoin d'une étude approfondie et minutieuse pour avoir un bon rendement. Chaque bloc remplit une tâche bien précise et dépend fortement des performances des autres blocs. Cette dépendance rend encore une fois la modélisation plus difficile et demande une sélection rigoureuse des techniques de commande à utiliser.

I.3.5. Contrôle générique du FAP

La figure I.6 présente le schéma bloc du contrôle générique d'un filtre actif shunt. Ce schéma est représentatif pour toutes les structures de contrôles dans lesquelles on retrouve généralement des boucles imbriquées telles que:

- la boucle de synchronisation avec le réseau
- la boucle d'identification des courants de référence
- la boucle de poursuite de courant et/ou de contrôle de puissance
- la boucle de régulation de la tension du côté continu de l'onduleur

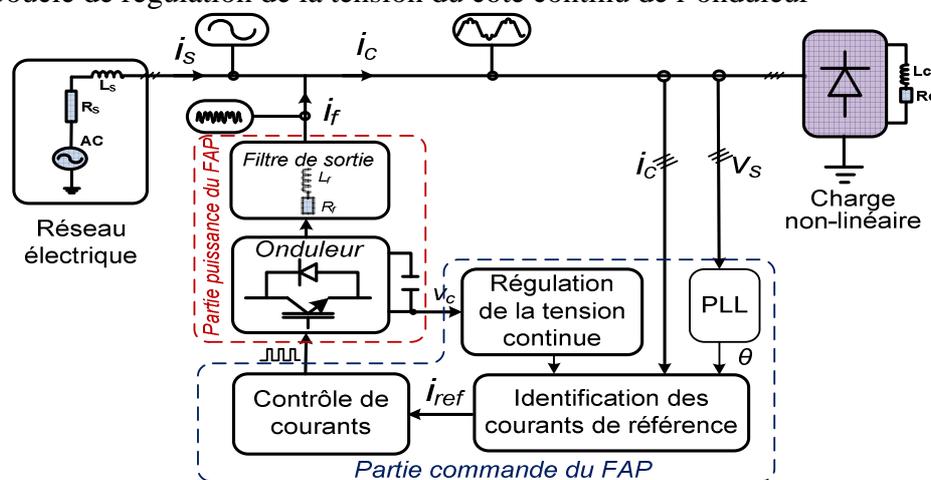


Fig. I.6 Structure générale d'un FAP à structure de tension

I.3.5.1. Bloc de synchronisation

Afin d'échanger une puissance contrôlée, l'onduleur doit toujours être synchronisé avec le réseau. Le bloc de synchronisation consiste à obtenir la phase de la tension instantanée du réseau. Plusieurs techniques sont utilisées, le choix le plus commun consiste à utiliser une boucle à verrouillage de phase (*Phase Locked Loop* - PLL) [HS-96]. Cependant, quelques auteurs utilisent à cet effet une estimation du flux virtuel [MA-04]. Dans les applications liées au réseau électrique, la PLL sert essentiellement à estimer et filtrer la phase et l'amplitude instantanées du phaseur équivalent d'un système triphasé. La PLL réalise en fait le suivi de phase de la composante directe de la tension du réseau, v_{sd} , afin d'éliminer la composante en quadrature, v_{sq} , ce qui se produit lorsque la phase estimée, $\hat{\theta}$ est égale à la phase du réseau. La figure I.7 montre la structure classique d'une PLL triphasée [HS-96]. Elle est composée d'un détecteur de phase (la transformée de coordonnées), un FPB (le correcteur) et un oscillateur (l'intégrateur).

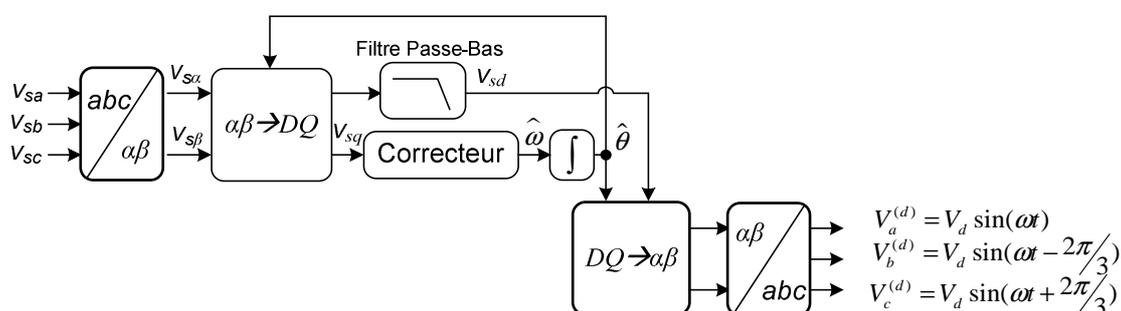


Fig. I.7. Structure classique d'une PLL triphasée.

Du fait de la nature du correcteur généralement de type PI d'une PLL, l'information de phase obtenue à sa sortie dépend de sa bande passante. Ainsi, si celle-ci est très élevée, la phase de sortie sera une image de celle correspondant au phaseur équivalent instantané de la tension, c'est-à-dire, contenant tous les harmoniques. Par contre, si la bande passante est suffisamment réduite, les harmoniques seront filtrés et la sortie sera une image de la phase de la composante fondamentale. Ce dernier cas constitue la meilleure solution pour pouvoir rejeter les harmoniques qui agissent sur la phase [ET-03]. Toutefois, ce fait entraîne une diminution de la dynamique de la PLL. Evidemment, cette dynamique limitée provoque un ralentissement du temps de synchronisation lors de la mise en route du système. Le réglage de ce correcteur et la robustesse de la méthode ont été largement analysés dans [KU-97] [ET-03] [AW-04]. Dans [SI-08], il est proposé une PLL pour un FAP triphasé, basée sur une méthode de synchronisation, exempt de contrôleur PI et garantissant un régime transitoire rapide et une robustesse à toute épreuve. Pour atteindre des performances similaires, Ngac Ky Nguyen et al. proposent dans [NG-09], une PLL basée sur la théorie des puissances instantanées et impliquant les techniques neuromimétiques.

I.3.5.2. Boucle d'identification des courants de référence

La fonction d'identification est une approche particulière d'extraction des harmoniques, destinée à fournir les références de courant que l'onduleur devra imposer pour réaliser l'opération de filtrage actif. On distingue des méthodes d'extraction globale (tous les harmoniques à compenser sont présents dans la référence) et sélective (les harmoniques à compenser sont choisis et limités). Selon François Defäy et al. dans [DE-08], le problème

majeur des méthodes d'extraction basées sur l'estimation ou le calcul de la fréquence fondamentale réside sur la présence d'harmoniques parasites qui vont perturber les références en courant ou en puissance. Cela aura un effet direct sur la qualité du compensateur actif et ce qu'elle que soit sa loi de commande. Les méthodes d'identification permettent de supprimer ces perturbations. Nous allons par la suite faire un aperçu des techniques classiques d'extraction des harmoniques avant d'insister sur les méthodes d'identification.

a) *Les méthodes globales d'extraction*

Ces méthodes consistent à imposer des courants les plus sinusoïdaux possibles. Pour ce faire, il faut mesurer les courants de charge, puis filtrer ces courants pour obtenir le courant de référence à injecter. La figure I.8 présente les deux méthodes possibles (directes ou indirectes) utilisant deux types de filtres différents.

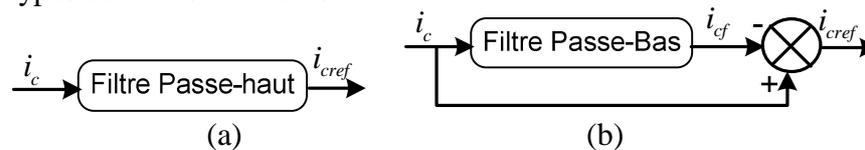


Fig. I.8. Filtrage des signaux dans le domaine temporel- a) méthode directe, b) méthode indirecte

Ces filtres doivent respecter les caractéristiques suivantes :

- *l'atténuation* : les amplitudes des signaux doivent être conservées pour que les références soient exactes.
- *le déphasage* : à cause de la méthode d'injection de courant en opposition avec les charges, il est impératif de conserver la phase des courants.
- *le temps de réponse* : il doit être maîtrisé pour être capable de faire face à des variations brutales de charge.

Tous ces paramètres détermineront la performance de ces méthodes. La principale différence entre la méthode directe et indirecte est perceptible lors des variations de charge. Lors d'un filtrage en temps réel, il apparaît intrinsèquement un déphasage qui agira sur la composante active du courant (cas de la méthode indirecte) alors que le déphasage impactera sur les composantes harmoniques pour l'autre méthode (directe). Il est préférable d'avoir un déphasage sur la composante active, qui se traduira par une variation de la tension du bus continu (lequel est régulé par une boucle de tension) que sur les courants harmoniques. Pour conclure, ces méthodes permettent de mettre en évidence les caractéristiques fréquentielles des courants mais nécessitent des filtres d'ordre élevé qui seront coûteux et difficiles à mettre en place.

b) *Les méthodes d'extraction sélective*

Parmi les méthodes sélectives qui existent pour calculer les courants de référence, on peut évoquer :

- *L'utilisation de filtre résonnant sur les harmoniques à conserver* : Cette méthode présente des avantages car le déphasage et la qualité des filtres est plus facile à maîtriser que dans le cas de la méthode globale. Par contre il faut mettre autant de filtres que d'harmoniques à compenser, ce qui alourdit la méthode. De plus dans le cas du filtrage numérique, il faut avoir une fréquence d'échantillonnage la plus élevée possible. On différencie plusieurs manuscrits adoptant cette technique : le filtre Notch [RA-95], les intégrateurs généralisés en repère fixe [SM-97], etc.
- *La transformée de Fourier discrète* : elle est basée sur le calcul d'un vecteur issu des N points enregistrés sur une séquence (d'une durée au moins égale à la période

réseau). On obtient alors le spectre de chaque raie harmonique (TFD(k)) à l'instant k avec une résolution inversement proportionnelle au nombre de points.

- *La transformée de Fourier discrète récursive* : elle se base sur la transformée discrète mais prend en compte les termes calculés aux instants précédents et actuels soit TFD(k) et TFD(k-1).
- *Le filtre de Kalman* : il s'agit de faire une prédiction à l'instant k+1 des références en utilisant un modèle d'état du signal. Il faut alors ne garder que la composante utile du signal, et cela peut se faire avec une référence fixe ou tournante. Il existe aussi une application d'un filtre de Kalman étendu [RO-02] qui permet une bonne mise en œuvre sur un DSP mais nécessite un modèle du signal assez complexe à mettre en place pour des réseaux perturbés.

L'application de ces méthodes permet de mieux contrôler les déphasages induits. En fait, ces déphasages sont dus au retard d'échantillonnage, lequel s'accroît lorsque le rang des harmoniques augmente (le rapport entre le déphasage et la période des harmoniques diminue). Avec la FFT (transformée de Fourier rapide), on peut donc extraire le fondamental en faisant un enregistrement multiple de la période du fondamental et en utilisant un filtrage spectral [MA-99] pour les harmoniques. Ceci présentera comme inconvénient d'obtenir les références avec un retard de deux périodes d'échantillonnage.

c) *Les méthodes d'identification*

Dans le domaine fréquentiel, l'identification des harmoniques de courant passe par l'analyse de Fourier. Asiminoaei et al. présentent dans [AS-07] une évaluation exhaustive des méthodes de détection d'harmoniques parmi lesquelles la transformée discrète, la transformée rapide et la transformée discrète récursive. Ces méthodes fréquentielles sont bien adaptées aux charges où le contenu harmonique varie lentement. Par ailleurs, elles ont l'avantage d'identifier les harmoniques individuellement afin de réaliser une compensation sélective. Néanmoins, les inconvénients les plus importants de ces méthodes sont des résultats moyens en régime transitoire et un volume de calcul important [RE-03] pour compenser les retards et de ne pas permettre de mettre en évidence des pointes de puissance [MA-99].

Les méthodes du domaine temporel permettent une réponse plus rapide et requièrent moins d'opérations que les méthodes précédentes. Elles sont basées sur la séparation du fondamental ou de certains harmoniques du reste des harmoniques par le filtrage. Parmi ces méthodes d'identification, on peut citer par exemple des techniques basées sur les moindres carrés, des algorithmes itératifs, ou des méthodes plus importantes comme celle des puissances instantanées $p-q$, initialement développée par Akagi [AK-83] ou encore celle du courant instantané $d-q$, aussi appelée méthode synchrone ou méthode du référentiel lié au synchronisme, proposée initialement par Bhattacharya [BH-91]. Nous verrons par la suite que l'implication des techniques neuronales dites neuromimétiques à l'identification des harmoniques a favorisé une extension des méthodes existantes, les rendant capables de faire face à des variations brusques de charge et autres paramètres du réseau électrique.

- *Méthode des Puissances Instantanées* : La méthode des puissances active et réactive instantanées est illustrée par la figure I.9. Elle exploite la transformation de Concordia des tensions simples et des courants de ligne, afin de calculer les puissances active et réactive instantanées p et q .

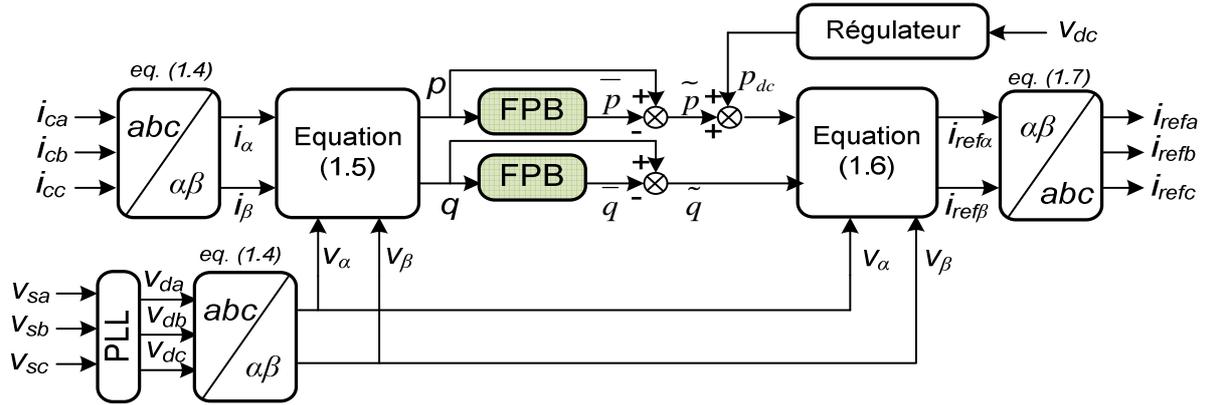


Fig. I.9 – Principe de la méthode p - q

Ainsi, de la même manière que les tensions simples mesurées coté source, les courants de charge peuvent être obtenues dans le repère $\alpha\beta$ par la relation (1.4). Par la suite, le calcul des puissances instantanées peut se faire aisément par l'équation (1.5).

$$\begin{bmatrix} i_{c0} \\ i_{c\alpha} \\ i_{c\beta} \end{bmatrix} = C_o \begin{bmatrix} i_{ca} \\ i_{cb} \\ i_{cc} \end{bmatrix} \quad (1.4)$$

$$\begin{bmatrix} p \\ q \end{bmatrix} = \begin{bmatrix} v_\alpha & v_\beta \\ -v_\beta & v_\alpha \end{bmatrix} \begin{bmatrix} i_\alpha \\ i_\beta \end{bmatrix} \quad (1.5)$$

où $C_o = \sqrt{\frac{2}{3}} \begin{bmatrix} \frac{1}{\sqrt{2}} & \frac{1}{\sqrt{2}} & \frac{1}{\sqrt{2}} \\ 1 & -\frac{1}{2} & -\frac{1}{2} \\ 0 & \frac{\sqrt{3}}{2} & -\frac{\sqrt{3}}{2} \end{bmatrix}$ est la matrice de Concordia. Sachant que $p = \bar{p} + \tilde{p}$ et

$q = \bar{q} + \tilde{q}$, un FPB permet de retrouver les parties continues \bar{p} de p et \bar{q} de q , liées au fondamental. De ce fait, les parties alternatives \tilde{p} et \tilde{q} obtenues permettent le calcul des courants de référence dans le repère $\alpha\beta$ selon la relation (1.6)

$$\begin{bmatrix} i_{ref\alpha} \\ i_{ref\beta} \end{bmatrix} = \frac{1}{\Delta} \begin{bmatrix} v_\alpha & -v_\beta \\ v_\beta & v_\alpha \end{bmatrix} \begin{bmatrix} \tilde{p} + p_{dc} \\ \tilde{q} \end{bmatrix} \text{ avec } \Delta = v_\alpha^2 + v_\beta^2 \quad (1.6)$$

p_{dc} étant la puissance ajoutée à \tilde{p} , et nécessaire à la régulation de la tension continue. Ensuite, avec l'expression (1.7), ces courants de référence sont retrouvés dans le repère abc .

$$\begin{bmatrix} i_{refa} \\ i_{refb} \\ i_{refc} \end{bmatrix} = T_{32} \begin{bmatrix} i_{ref\alpha} \\ i_{ref\beta} \end{bmatrix} \quad (1.7)$$

$$T_{32} = \sqrt{\frac{2}{3}} \begin{bmatrix} 1 & 0 \\ -\frac{1}{2} & \frac{\sqrt{3}}{2} \\ -\frac{1}{2} & -\frac{\sqrt{3}}{2} \end{bmatrix}$$

est la matrice de Concordia utilisée pour le passage du repère diphasé

$\alpha\beta$ vers le repère triphasé abc .

- *Méthode du référentiel lié au synchronisme* : Le principe de cette méthode très connue sous le nom de méthode SRF (*Synchronous Reference Frame*) est présenté à la figure I.10. Tout d'abord, on transforme le courant dans un repère tournant en utilisant la transformée de Park. Ainsi, les courants sont composés d'une composante continue, liée au fondamental, et une composante alternative, liée aux harmoniques, qui peuvent être séparées en utilisant directement un filtre passe-haut ou de manière indirecte par un filtre passe-bas.

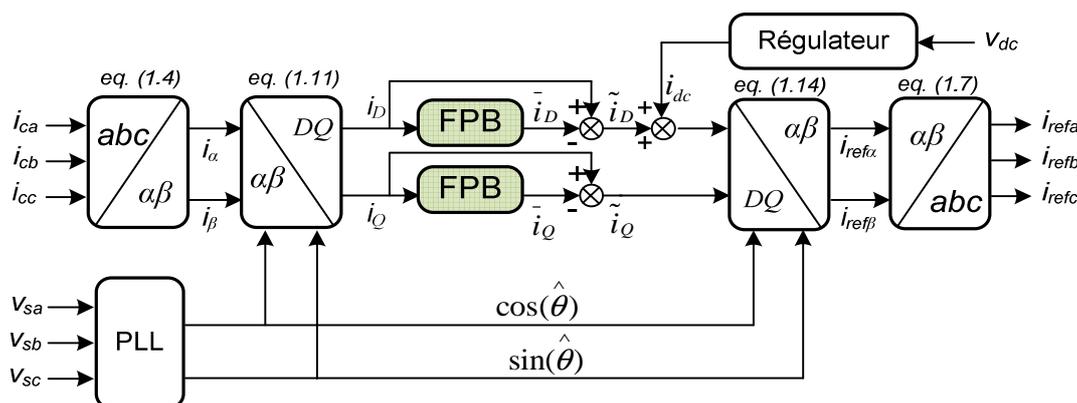


Fig. I.10 – Principe de la méthode SRF

Dans l'expression simplifiée du courant pollué absorbé par la charge, et donné par la relation (1.8), la première partie représente les courants fondamentaux, et la seconde la somme des harmoniques.

$$\begin{bmatrix} i_{ca} \\ i_{cb} \\ i_{cc} \end{bmatrix} = I_1 \begin{bmatrix} \cos(\omega t - \alpha_1) \\ \cos(\omega t - \alpha_1 - 2\pi/3) \\ \cos(\omega t - \alpha_1 + 2\pi/3) \end{bmatrix} + \sum_{n=2\dots N} I_n \begin{bmatrix} \cos(n\omega t - \alpha_n) \\ \cos(n\omega t - \alpha_n - 2\pi/3) \\ \cos(n\omega t - \alpha_n + 2\pi/3) \end{bmatrix} \quad (1.8)$$

I_1 et I_n sont les amplitudes des composantes fondamentale et harmonique de i_c . L'expression (1.8) peut aussi s'écrire sous la forme (1.9),

$$\begin{bmatrix} i_{ca} \\ i_{cb} \\ i_{cc} \end{bmatrix} = P \begin{bmatrix} i_D \\ i_Q \end{bmatrix} \text{ avec } P = T_{32}\rho(\omega t) \quad (1.9)$$

P est la transformée de Park qui est le produit de la matrice de Concordia T_{32} et la matrice de rotation de Park $\rho(\omega t)$ pour le passage vers les repères $\alpha\beta$ et DQ .

Dans ce cas, $\rho(\omega t) = \begin{bmatrix} \cos(\omega t) & -\sin(\omega t) \\ \sin(\omega t) & \cos(\omega t) \end{bmatrix}$ où $\hat{\theta} = \omega t$ est la position angulaire de la tension fondamentale du réseau estimée par la PLL. Les indices D et Q désigne l'axe direct et l'axe en quadrature du repère DQ . Dans un premier temps, la transformation vers le repère $\alpha\beta$ permet d'obtenir séparément les courants fondamentaux et harmoniques (équation (1.10))

$$\begin{bmatrix} i_\alpha \\ i_\beta \end{bmatrix} = T^T_{32} \begin{bmatrix} i_{ca} \\ i_{cb} \\ i_{cc} \end{bmatrix} = \sqrt{\frac{3}{2}} I_1 \begin{bmatrix} \cos(\omega t - \alpha_1) \\ \sin(\omega t - \alpha_1) \end{bmatrix} + \sum_{n=2\dots N} \sqrt{\frac{3}{2}} I_n \begin{bmatrix} \cos(n\omega t - \alpha_n) \\ \sin(n\omega t - \alpha_n) \end{bmatrix} \quad (1.10)$$

Par la suite, la matrice de rotation de Park, avec un angle de $(-\omega t)$ est appliquée sur les courants de l'équation (1.10) pour obtenir ceux de la relation (1.11).

$$\begin{bmatrix} i_D \\ i_Q \end{bmatrix} = \rho(-\omega t) \begin{bmatrix} i_\alpha \\ i_\beta \end{bmatrix} = \sqrt{\frac{3}{2}} I_1 \begin{bmatrix} \cos(\alpha_1) \\ -\sin(\alpha_1) \end{bmatrix} + \sum_{n=2\dots N} \sqrt{\frac{3}{2}} I_n \begin{bmatrix} \cos((n-1)\omega t - \alpha_n) \\ \sin((n-1)\omega t - \alpha_n) \end{bmatrix} \quad (1.11)$$

Sachant que $\begin{bmatrix} i_D \\ i_Q \end{bmatrix} = \begin{bmatrix} \bar{i}_D + \tilde{i}_Q \\ \bar{i}_Q + \tilde{i}_D \end{bmatrix}$, nous identifions ainsi la composante continue et la composante alternative que nous présentons à travers les équations (1.12) et (1.13)

$$\begin{bmatrix} \bar{i}_D \\ \bar{i}_Q \end{bmatrix} = \sqrt{\frac{3}{2}} I_1 \begin{bmatrix} \cos(\alpha_1) \\ -\sin(\alpha_1) \end{bmatrix} \quad (1.12)$$

$$\begin{bmatrix} \tilde{i}_D \\ \tilde{i}_Q \end{bmatrix} = \sum_{n=2\dots N} \sqrt{\frac{3}{2}} I_n \begin{bmatrix} \cos((n-1)\omega t - \alpha_n) \\ \sin((n-1)\omega t - \alpha_n) \end{bmatrix} \quad (1.13)$$

Les courants de référence dans le repère $\alpha\beta$ sont retrouvés par l'expression (1.14) :

$$\begin{bmatrix} i_{ref\alpha} \\ i_{ref\beta} \end{bmatrix} = \begin{bmatrix} \cos(\hat{\theta}) & -\sin(\hat{\theta}) \\ \sin(\hat{\theta}) & \cos(\hat{\theta}) \end{bmatrix} \begin{bmatrix} \tilde{i}_D + i_{dc} \\ \tilde{i}_Q \end{bmatrix} \quad (1.14)$$

Nous avons ici ajouté à \tilde{i}_D , le courant i_{dc} nécessaire à la régulation de la tension continue du système de stockage capacitif. De plus, si l'objectif est de compenser dans le même temps l'énergie réactive, il suffit dans la relation (1.14) d'ajouter \bar{i}_Q à \tilde{i}_Q afin de retrouver les courants de références dans le repère $\alpha\beta$ selon la relation (1.15)

$$\begin{bmatrix} i_{ref\alpha} \\ i_{ref\beta} \end{bmatrix} = \begin{bmatrix} \cos(\hat{\theta}) & -\sin(\hat{\theta}) \\ \sin(\hat{\theta}) & \cos(\hat{\theta}) \end{bmatrix} \begin{bmatrix} \tilde{i}_D + i_{dc} \\ \bar{i}_Q + \tilde{i}_Q \end{bmatrix} \quad (1.15)$$

Les courants de références dans le repère abc s'obtiennent à leur tour en appliquant la transformation de la relation (1.7)

I.3.5.3. Boucle interne de contrôle de courant

Cette boucle de contrôle reçoit en entrée les variables de référence et génère en sortie le courant à injecter sur le réseau pour réaliser la compensation harmonique. Un correcteur est éventuellement utilisé pour élaborer les tensions adéquates qui sont comparées au signal issu du modulateur afin de générer des signaux carrés pour la commande des interrupteurs de l'onduleur. Dans la plupart des cas, les correcteurs à Hystérésis ou les correcteurs à base d'intégrateurs (comme le correcteur PI en repères tournants multiples ou le correcteur Multi-Résonant) sont proposés.

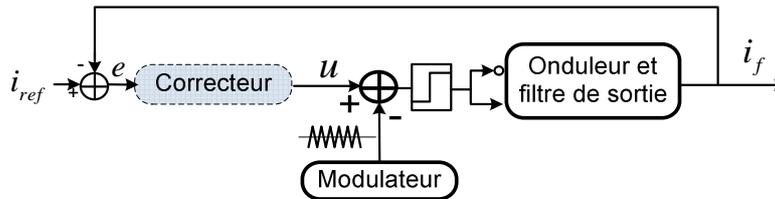


Fig. I.11. Principe de base du contrôle de courant avec modulateur

La boucle de contrôle de courant est un point critique dans le contrôle du système car elle doit disposer d'une bande passante suffisante afin de pouvoir corriger, en sus du fondamental, les composantes harmoniques. Par ailleurs, dans cette boucle, il faut considérer l'effet du retard de calcul de l'implantation numérique dans le réglage des correcteurs afin d'éviter des problèmes de stabilité car dans cette application la fréquence de commutation et celle de l'harmonique le plus haut que l'on veut compenser sont relativement proches. Ainsi, dans une application de filtrage actif, cette boucle devient critique car les bonnes performances du filtre dépendent aussi de la qualité des contrôles de cette boucle.

Pour obtenir de bonnes performances de contrôle, la fonction de Modulation de Largeur d'Impulsions (MLI) généralement associée à cette boucle sert à déterminer les instants de commutation des interrupteurs afin d'obtenir une séquence de commutation qui présente le même spectre basse fréquence que le signal d'origine. La MLI consiste à adopter une fréquence de commutation suffisamment élevée par rapport à la fréquence maximale du signal de sortie souhaité, et de reproduire la valeur moyenne de ce signal à chaque période de commutation en jouant sur la durée d'application des tensions positives et négatives par rapport au point milieu du bus continu. L'objectif de cette commande est de diminuer les harmoniques supplémentaires et non-souhaités présents dans les courants générés par l'onduleur. Ce sujet a été largement abordé dans plusieurs études de recherche [HO-03] [GO-05]. Une très intéressante monographie a été faite dans [CP-02] à propos des deux techniques de modulation essentiellement utilisées pour le contrôle de courant. Il s'agit de la MLI intersective et la MLI vectorielle.

La *Modulation intersective* est la plus classique et consiste à comparer le signal de référence de tension à une porteuse haute fréquence. Le résultat de cette comparaison détermine les instants de commutation des interrupteurs et donc d'application de tensions positives ou négatives.

Dans la *Modulation vectorielle*, les vecteurs à appliquer et les temps d'application de ces vecteurs (afin d'obtenir en valeur moyenne une tension de référence à partir des états de commutation de l'onduleur) sont calculés analytiquement à travers des équations mathématiques. Chacun des états possibles du convertisseur est représenté par un vecteur de

tension. Si l'on sélectionne les vecteurs adéquats et si l'on les applique dans l'ordre correct il est possible d'obtenir une fréquence de commutation réduite au niveau des interrupteurs de l'onduleur diminuant ainsi les pertes. La modulation vectorielle diffère, entre autres choses, des techniques intersectives par le fait qu'elle est conduite en synchronisme sur trois phases, ainsi les signaux de commandes sont élaborés en tenant compte de l'état des trois bras de l'onduleur en même temps.

I.3.5.4. Boucle de régulation de la tension du côté continu de l'onduleur

Dans le filtre actif, les pertes par commutation des semi-conducteurs de l'onduleur et au niveau du filtre de sortie, sont les principales causes de variation de la tension du bus continu v_{dc} . La figure I.12 montre le principe de la régulation cette tension. Elle peut se faire soit en ajoutant à la puissance \tilde{p} une consigne de puissance notée p_{dc} , (voir figure I.9), soit en ajoutant au courant \tilde{i}_D une consigne de courant noté i_{dc} (voir figure I.10), afin de compenser les pertes.

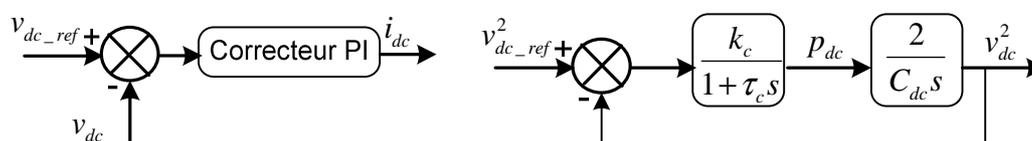


Fig. I.12. Principe de contrôle de la tension du bus continu a) contrôle direct de v_{dc} b) contrôle du carré de v_{dc}

On peut ainsi directement contrôler la tension du bus continu (figure I.12. a), mais il y a souvent intérêt, pour des raisons de linéarité, de contrôler plutôt le carré de la tension comme sur la figure I.12.b.

En régime permanent, les courants de référence ne contiennent pas de composante fondamentale et la puissance nécessaire pour compenser les pertes est faible. Dans ce cas, un simple régulateur proportionnel peut s'avérer suffisant. Cependant, pour filtrer les fluctuations de v_{dc} , un FPB du premier ordre peut être ajouté en sortie du régulateur proportionnel. La fonction de transfert du régulateur est alors la suivante:

$$R(s) = \frac{k_c}{1 + \tau_c s} \quad (1.16)$$

Avec k_c et τ_c , représentant respectivement le gain statique du régulateur et la constante de temps du filtre du premier ordre.

En négligeant les pertes par commutation dans l'onduleur ainsi que les pertes dans l'inductance triphasée L_f du filtre de sortie, la relation liant la puissance active absorbée par le filtre actif et la tension aux bornes du condensateur peut s'écrire sous la forme suivante :

$$p_{dc} = \frac{d}{dt} \left(\frac{1}{2} C_{dc} v_{dc}^2 \right) \quad (1.17)$$

En appliquant la transformation de Laplace à l'expression (1.17) nous obtenons ce qui suit:

$$v_{dc}^2(s) = \frac{2p_c^*(s)}{C_{dc}s} \quad (1.18)$$

Ainsi, en boucle fermée la fonction de transfert est du second ordre et peut s'écrire sous la forme :

$$H(s) = \frac{\omega_c^2}{s^2 + 2\xi\omega_c s + \omega_c^2} \quad (1.19)$$

avec par identification les paramètres caractéristiques $\omega_c = \sqrt{\frac{2k_c}{C_{dc}\tau_c}}$ et $\xi = \frac{1}{2\sqrt{2}} \sqrt{\frac{C_{dc}}{k_c\tau_c}}$

Pour réaliser un bon compromis entre performances dynamique et statique ξ doit être compris entre 0,5 et 0,707. Ainsi, afin d'obtenir un amortissement suffisant, le produit $k_c\tau_c$ doit être limité. Le choix de k_c a pour objectif d'obtenir un temps de réponse minimal afin de ne pas nuire à la dynamique du filtre actif. Dans la suite, nous étudierons l'apport des techniques neuromimétiques dans l'amélioration de la commande des systèmes électriques.

I.4 APPLICATION DES TECHNIQUES NEURONALES POUR LA COMMANDE DES SYSTEMES ELECTRIQUES

De précédents travaux effectués pour essayer de comprendre le comportement du cerveau humain ont permis de représenter celui-ci par un ensemble de composants structurels appelés neurones artificiels comparables aux neurones biologiques. Selon Haykin, un réseau de neurones est un processus distribué de manière massivement parallèle, qui a une propension naturelle à mémoriser des connaissances de façon expérimentale et de les rendre disponibles pour utilisation. Il ressemble au cerveau en deux points :

- la connaissance est acquise au travers d'un processus d'apprentissage ;
- les poids des connections entre les neurones sont utilisés pour mémoriser la connaissance

Les techniques neuromimétiques se sont rapidement imposées dans des domaines tels que le traitement de l'image, la robotique, la gestion financière, etc. [PA-10] [ST-10] [MA-09], mais leur application dans le domaine de l'électronique de puissance est assez récente. Dans la suite, nous présentons cette approche à base d'intelligence artificielle, retenue dans le cadre de notre travail, avant de faire un état sur son implication croissante dans la commande des systèmes électriques.

I.4.1. Généralités sur les réseaux de neurones

Les neurones biologiques constituent l'unité fonctionnelle de base du système nerveux. Ils assurent le traitement des signaux bioélectriques appelés influx nerveux. En fait, les neurones font une sommation des signaux reçus en entrée et fournissent en sortie un courant en fonction du résultat obtenu. On distingue trois parties d'un neurone biologique (figure I.13) :

- La somma : c'est le cœur de l'activité nerveuse situé au centre du neurone.
- L'axone : attaché au somma qui est électriquement actif, ce dernier conduit l'impulsion générée par le neurone vers l'entrée (synapse) d'un autre neurone.
- Les Dendrites : électriquement passives, elles reçoivent les impulsions d'autres neurones.

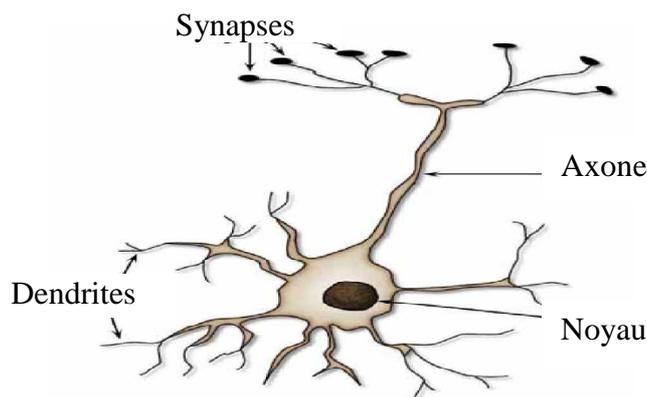


Fig. I.13 - Le neurone biologique

Les réseaux de neurones artificiels (*Artificial Neural Networks* - ANN) sont apparus en 1943 lors d'essais de modélisation du neurone biologique par Warren McCulloch et Walter Pitts. La modélisation consiste à mettre en œuvre un système de réseaux neuronaux sous un aspect non pas biologique mais artificiel. Le tableau I.3 établit la correspondance entre le neurone formel et le neurone biologique. Chaque neurone artificiel (ou formel) est un processeur élémentaire qui génère à partir d'entrées issues de neurones « amonts » une sortie unique qui à son tour alimente un certain nombre de neurones « aval ». A chacune des entrées est associé un poids w représentatif de la force de la connexion, lequel est mis à jour selon un processus d'apprentissage.

<i>Neurone biologique</i>	<i>Neurone artificiel</i>
Synapses	Poids de connexion
Axones	Signal de sortie
Dendrite	Signal d'entrée
Somma	Fonction d'activation

Tab. I.3 : Analogie entre le neurone biologique et le neurone artificiel

La première règle d'apprentissage fut proposée par Donald Hebb en 1950. A l'origine, il s'agit d'une loi non supervisée qui stipule que si deux neurones sont activés en même temps, alors le poids de la connexion qui les relie augmente. L'apprentissage qui concerne les modèles les plus utilisés est une phase du développement d'un réseau de neurones durant laquelle son comportement est modifié jusqu'à l'obtention du comportement désiré. En réalité, le réseau adapte sa structure selon un algorithme d'apprentissage afin de fournir les valeurs désirées sur ses neurones de sortie.

Le perceptron simple ou mono-couche de Frank Rosenblatt [RO-58] est le premier réseau de neurones fonctionnel muni d'une méthode d'apprentissage. Dans ce cas, chaque neurone est un automate linéaire généralisé dont la fonction de transfert est de type seuil. Il est surtout utilisé pour la reconnaissance de forme.

Deux ans plus tard, le Professeur Bernard Widrow et son étudiant Ted Hoff présentent ADALINE (*Adaptive Linear Neuron*) [WI-60], une évolution du perceptron de Rosenblatt où les fonctions d'activation des neurones sont désormais des fonctions linéaires. La règle d'apprentissage utilisée, la règle de Widrow-Hoff, est à la base de la puissance de ce nouveau réseau. Il s'agit d'une adaptation de la méthode des moindres carrés totaux, qui ramène l'apprentissage à une descente de gradient. De manière générale le perceptron est efficace pour la résolution des problèmes linéairement séparables.

Le véritable essor des réseaux de neurones a débuté au cours des années 80 avec une variante multicouche du perceptron et la règle d'apprentissage de rétropropagation. Une synthèse complète sur l'évolution des réseaux de neurones et de leurs classifications peut être trouvée dans le livre d'Haykin, [HA-94] ou celui de Dreyfus *et al.* [DR-02].

I.4.2. Architectures et apprentissage des réseaux de neurones

On peut distinguer trois types d'architectures de réseaux de neurones : les réseaux non bouclés, les réseaux bouclés et les réseaux à connexions complexes.

- Les réseaux non bouclés ou réseaux à propagation avant (*feedforward networks*) ont leurs neurones organisés sous la forme d'une ou de plusieurs couches successives. L'information circule de la couche d'entrée vers la couche de sortie au travers d'éventuelles couches intermédiaires mais sans retour en arrière. Le Perceptron adopte ce type d'architecture.
- Les réseaux bouclés ou les réseaux récurrents (*recurrent networks*) possèdent une structure similaire à celle des réseaux unidirectionnels mais complétée par des connexions entre éléments de la même couche ou vers des couches « amonts ». Ces réseaux sont assez puissants car leur fonctionnement est séquentiel et adopte un comportement dynamique.
- La catégorie des réseaux à connexions complexes concerne tous les réseaux non répertoriés dans les deux catégories précédemment citées. Nous pouvons mentionner les SOM (*Self Organizing Map*), LVQ (*Learning Vector Quantization*), ART (*Adaptive Resonance Theory*), RCE (*Restricted Coulomb Energy*), les réseaux probabilistes, etc.

Dans [ME-03], Meireles et al. font une revue exhaustive des applications industrielles des réseaux de neurones. Cet article a pour but de permettre aux industriels de décider du choix du type de topologie et d'algorithme d'apprentissage des réseaux de neurones adaptés au problème à résoudre. L'apprentissage fait appel à des exemples de comportement du processus à modéliser.

- L'apprentissage est *supervisé* quand il est possible de fournir une sortie désirée. Les poids du réseau de neurones sont ajustés en fonction d'un signal d'erreur qui est la différence entre la sortie fournie par le réseau et la sortie désirée.
- L'apprentissage est *non-supervisé* lorsque l'adaptation des poids ne dépend que des critères internes au réseau. L'adaptation se fait uniquement avec les signaux d'entrées. Aucun signal d'erreur, aucune sortie désirée n'est prise en compte.
- L'apprentissage est de type « *par renforcement* » lorsque le réseau de neurones interagit avec l'environnement. L'environnement donne une récompense pour une réponse satisfaisante du réseau et assigne une pénalité dans le cas contraire. Le réseau doit ainsi découvrir les réponses qui lui donnent un maximum de récompenses.

Le choix d'utiliser une architecture de réseau de neurones, ou un type d'apprentissage dépend de l'application mais aussi des capacités de traitement du système sur lequel ces architectures vont être implantées. Les perceptrons se prêtent bien à nos applications du fait de la simplicité de leur mise en œuvre et du déroulement parallèle des calculs qui rendent l'apprentissage en ligne plus efficace. Une couche cachée unique avec des fonctions d'activations non linéaires peut garantir de bons résultats [SA-89]; ce qui établit les perceptrons comme une classe d'*approximateurs universels*. Quant au nombre de neurones, il est déterminé de manière expérimentale sans règles particulières.

De manière générale, un perceptron multicouches contient une couche d'entrée (la rétine), une ou plusieurs couches cachées, chargées des calculs suivant une fonction de transfert avec

un seuil, et une couche de sortie (couche de décision). La couche d'entrée représente toujours une couche virtuelle associée aux entrées du système. Elle ne contient aucun neurone tandis que les couches suivantes sont des couches de neurones. Dans l'exemple illustré à la figure I.14, il y a 4 entrées, 3 neurones sur l'unique couche cachée et 2 neurones sur la couche de sortie. Les sorties des neurones de la dernière couche correspondent toujours aux sorties du système.

Les neurones sont reliés entre eux par des connexions pondérées. Ce sont les poids de ces connexions qui gouvernent le fonctionnement du réseau et "programment" une application de l'espace des entrées vers l'espace des sorties à l'aide d'une transformation non linéaire. L'algorithme de rétropropagation du gradient consiste alors à mesurer l'erreur entre les sorties désirées et les sorties observées résultant de la propagation vers l'avant des entrées et à renvoyer cette erreur à travers les couches du réseau en allant des sorties vers les entrées, jusqu'à ce que les poids des connexions se stabilisent.

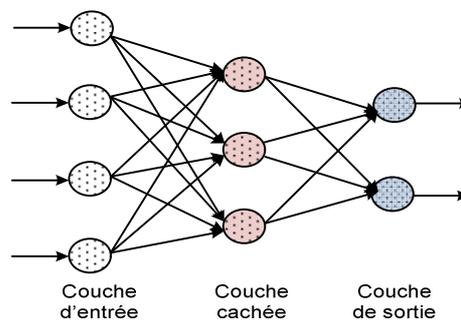


Fig. I.14. Le modèle du perceptron multicouche

Dans notre étude, nous avons principalement utilisé les réseaux de neurones de type Adaline, cas particulier des perceptrons multicouches. De tels réseaux possèdent une architecture très simple ; une couche d'entrée et une couche de sortie. De plus, ils sont très efficaces dans des tâches d'estimation de signaux et leur implémentation sur un processus de traitement du signal est possible [GA-97].

I.4.3. Principe de l'Adaline

Dans sa structure à couche unique présentée à la figure I.15, le modèle de l'Adaline ressemble au Perceptron, cependant la loi d'apprentissage est différente.

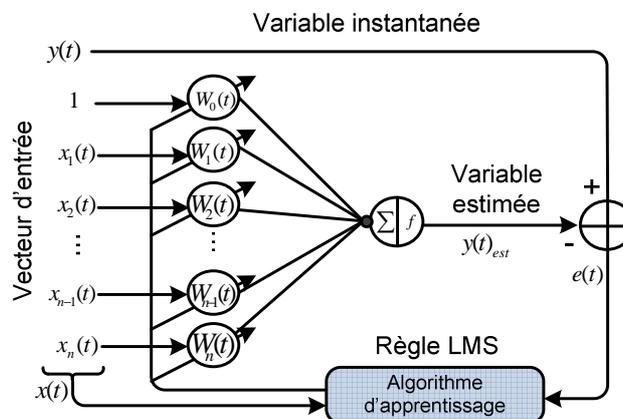


Fig. I.15 - Adaline: une architecture simple et flexible

Encore appelée règle delta ou LMS (Least-Mean Squares), la convergence de cet algorithme d'apprentissage supervisé a été démontrée dans [WI-96]. Les principales applications de l'Adaline se trouvent dans le filtrage adaptatif et dans la prédiction des signaux. L'apprentissage est réalisé par itération selon les étapes suivantes :

1. Initialisation du vecteur poids $W^T(t)$ et du paramètre d'apprentissage μ
2. Application du vecteur $X(t)$ en entrée du réseau,
3. Calcul de la sortie $y(t)_{est} = W(t)^T X(t)$
4. Calculer de l'erreur d'estimation $e(t) = y(t) - y(t)_{est}$
5. Mise à jour du vecteur poids par l'expression $W(t+1) = W(t) + \frac{\mu \cdot e(t) \cdot X(t)}{X^T(t) \cdot X(t)}$, $0 < \mu < 1$
6. $t \rightarrow t + 1$ et retour à l'étape 2.

$X(t) = [1 \quad \sin \omega t \quad \cos \omega t \quad \dots \quad \sin n\omega t \quad \cos n\omega t]^T$ est le vecteur d'entrée et

$W^T(t) = [W_0(t) \quad W_1(t) \quad W_2(t) \quad \dots \quad W_{n-1}(t) \quad W_n(t)]$ est le vecteur des poids. Cette architecture adaptative sera utilisée dans les chapitres 3 et 4 pour l'élaboration de l'architecture de la commande du FAP.

I.4.4. Méthodes d'identification et de contrôle à base de réseaux de neurones

La majorité des systèmes réels présentent des non-linéarités, des bruits non mesurables, des dynamiques non modélisables, etc., qui posent beaucoup de problèmes lorsqu'il s'agit de concevoir une stratégie de commande. Les deux dernières décennies ont vu le développement des techniques classiques et l'apparition de nouvelles théories de commande. Les théories de commandes récentes telles que les méthodes adaptatives, les méthodes optimales et les théories classiques de commande ont besoin du modèle linéaire du système. Le modèle mathématique du système est requis, mais en général, ces modèles ne reflètent pas les vraies propriétés physiques du système. La commande neuronale qui a trouvé des applications dans la commande de processus chimiques, la robotique, le traitement d'image, etc. peut se passer du modèle mathématique du système. Les architectures neuronales les plus répandues sont celles utilisant des structures de commande peu complexes. Cela se justifie par leur excellente caractéristique de généralisation (aptitude des neurones à utiliser ses informations pour traiter des cas nouveaux), le parallélisme de calcul et leur implémentation plus efficiente. La plupart des commandes utilisant un réseau de neurones en tant que contrôleur nécessitent une étape d'identification et une étape de contrôle. L'identification consiste à élaborer un modèle neuronal qui est une estimation du processus à commander et cela au moyen d'une phase d'apprentissage. Cette étape permet de prédire le comportement d'un système pour différentes conditions de fonctionnement et d'élaborer une loi de commande à appliquer au processus, pour qu'il réalise l'objectif assigné. L'identification peut être soit préalable (hors ligne), ou peut se faire intégralement en ligne. Dans [DJ-05] deux techniques d'identification à base de réseaux de neurones multicouches sont présentées : la méthode d'identification directe et la méthode d'identification inverse.

La commande utilise les connaissances acquises pendant la phase d'identification et/ou de l'apprentissage en ligne pour élaborer des signaux de commande. Un apprentissage en ligne, pendant la commande du système, est intéressant si des perturbations viennent affecter le processus ou son environnement. Les paramètres du neuro-contrôleur sont alors ajustés continuellement pendant son utilisation sur le processus. On retrouve aussi dans [DJ-05] une synthèse de différentes architectures de commande. Les plus simples se basent sur l'apprentissage d'un contrôleur conventionnel déjà existant, certaines opèrent un apprentissage

hors-ligne du modèle inverse du processus ou d'un modèle de référence et enfin, d'autres travaillent complètement en ligne.

Dans le livre d'Omatu *et al.* [OM-96], un exposé détaillé est fait sur différentes stratégies de commande à base de réseaux de neurones. Les auteurs proposent une classification des différentes stratégies et discutent du principe de l'apprentissage en ligne en utilisant l'algorithme de la rétropropagation de l'erreur. Plusieurs tests sur des exemples de laboratoire tels que la commande d'un pendule inversé et d'un véhicule électrique ont été réalisés par les réseaux de neurones et comparés avec des techniques classiques. Les méthodes d'identification et de contrôle sont aussi à la base de la commande des systèmes électriques en général, et des filtres actifs en particulier.

I.4.5. Commande neuronale des systèmes électriques

Les techniques neuronales en Electronique de Puissance ont d'abord été associées à la commande de moteurs. En effet, dans [WE-91] un réseau de neurones multicouche permet de faire suivre une trajectoire déterminée à la vitesse du rotor. Comme alternative aux méthodes d'identification traditionnelles, les réseaux de neurones ont été utilisés pour l'identification et la commande en ligne du courant du stator [BU-95]. L'intégration des techniques neuronales dans le schéma de la commande vectorielle et leur implémentation sur cible matérielle est relatée dans [B0-01], [MO-02].

Depuis quelques années, les techniques neuronales ont fait leur apparition dans le filtrage actif les réseaux électriques. Les recherches sur les réseaux de neurones dans le domaine des commandes de filtre actif en général et du FAP en particulier, sont de plus en plus importantes dans la littérature. En particulier, R. Bansal et al. proposent dans [BA-03] une synthèse du contrôle de la puissance réactive dans les réseaux électriques par l'utilisation des techniques neuromimétiques.

Des contributions remarquables de l'équipe du département d'électrotechnique de l'Université de Huelva en Espagne consistent en l'utilisation de la méthode des vecteurs de Park avec des Adalines pour l'identification des harmoniques [VA-01]. Cette méthode permet de travailler dans des conditions extrêmes en réduisant les besoins de calculs. La commande de l'onduleur se fait par un réseau de type Feedforward [VA-02].

Une équipe du département de génie électrique et informatique de l'Université de Waterloo au Canada, utilise un Adaline pour une identification sélective des harmoniques avant de les réinjecter dans le réseau en opposition de phase [SH-02].

Les techniques de l'intelligence artificielle et principalement les réseaux de neurones appliqués à la commande des systèmes électriques offrent plusieurs avantages :

- leur conception ne requiert pas de modèle mathématique du processus à commander.
- elles améliorent les performances de la commande comparées à certaines techniques classiques,
- elles tiennent compte des changements qui surviennent dans le processus,
- elles peuvent apporter des solutions pour des problèmes insolubles par les méthodes classiques
- certaines architectures sont moins coûteuses que d'autres en termes d'implémentation matérielle

En dehors des réseaux de neurones, d'autres techniques intelligentes existent pour l'élaboration des stratégies de commande adaptatives et efficaces. Parmi ces techniques on peut citer :

La commande floue : C'est l'application de la logique floue qui repose sur la théorie des ensembles flous développée par Zadeh (1965). Depuis 1990, année de sa véritable éclosion, la logique floue s'introduit dans de nombreuses applications « grand public » notamment au Japon. Sa mise en œuvre est maintenant facilitée par la disponibilité de composants dédiés et de puissants outils de développement. Pour la mise en œuvre de la commande floue, on procède tout d'abord à la « fuzzification » qui consiste à transformer les entrées réelles du système en un sous-ensemble flou de variables. On utilise alors ces variables floues dans un mécanisme d'inférence qui crée et détermine les variables floues de sortie en utilisant les opérations sur les fonctions d'appartenance. Finalement, on effectue la « défuzzification » qui consiste à extraire une valeur réelle de sortie à partir de la fonction d'appartenance du sous-ensemble flou de sortie. La logique floue, comme les réseaux de neurones, s'est largement répandue ces dernières années dans les applications électriques.

Les systèmes neuro-flous : L'utilisation conjointe des réseaux de neurones et de la logique floue permet de tirer les avantages des deux méthodes ; les capacités d'apprentissage de la première et la lisibilité et la souplesse de la seconde. Diverses combinaisons de ces deux méthodes ont été développées depuis 1988. Elles ont donné naissance aux systèmes neuro-flous, qui sont le plus souvent orientées vers la commande de système complexes et les problèmes de classification. George Lee et al. dans [Lee, 2001] définissent un système neuro-flou comme étant un réseau neuronal multicouche avec des paramètres flous, ou comme un système flou mis en application sous une forme distribuée parallèle. Des applications dans le traitement du signal et le filtrage adaptatif ont été réalisées avec une catégorie d'architecture appelé ANFIS. Plusieurs ouvrages et articles montrent de bonnes performances du modèle ANFIS lorsqu'il est utilisé dans la commande de moteurs [Grabowski, 2000], [Akcayol, 2004], [Melin et Castillo, 2005].

Les algorithmes génétiques : Les algorithmes génétiques, comme les réseaux de neurones, font partie des Réseaux Adaptatifs Non-linéaires [Renders, 1995]. Ils sont composés d'un grand nombre d'unités élémentaires ou agents qui traitent l'information le plus souvent de façon parallèle et distribuée. Les algorithmes génétiques ont été développés à des fins d'optimisation. Ils permettent la recherche d'un extremum global. Ces algorithmes s'inspirent des mécanismes de sélection naturelle (proposé par Darwin) et de la génétique de l'évolution. Un algorithme génétique fait évoluer une population de gènes en utilisant ces mécanismes. Cette technique est peu utilisée, par comparaison aux trois précédentes, dans le cas des applications électriques. Le nombre de calculs et d'itérations que nécessite le processus de détermination des règles est très élevé.

I.5. METHODOLOGIES DE CONCEPTION DES CONTROLEURS NUMERIQUES POUR LES SYSTEMES DE CONVERSION DE L'ENERGIE ELECTRIQUE

I.5.1. Implantation des architectures de commande.

Les progrès technologiques dans le domaine de la micro-électronique permettent aujourd'hui d'intégrer des architectures complexes à plusieurs millions de transistors sur un même substrat. Pour ce faire, il est nécessaire d'utiliser une méthode de conception à l'aide de systèmes de développement sur ordinateur (outils CAO). Elle consiste à formaliser le cahier des charges sous forme de descriptions fonctionnelles, de schémas, de machines d'états..., afin d'en réaliser une simulation et ainsi pouvoir valider la fonctionnalité. Le langage VHDL (*Very high speed integrated circuits Hardware Description Language*) est généralement utilisé pour le développement des applications. En fonction de celles-ci, on peut avoir recours à l'implantation analogique ou numérique. La cible généralement programmée peut être de type « processeur » (processeur, DSP pour *Digital Signal Processing*...) ou de type « logique »

(CPLD, FPGA, ASIC) ou mixte (on parle alors de Co-design pour *Concurrent Design*). Les CPLD (*Complex Programmable Logic Device*) qui intègrent plusieurs circuits logiques programmables, sont considérés comme des composants rapides tandis que les FPGA (*Field Programmable Logic Array*) offrent une forte densité d'intégration. Les ASICs (*Application Specific Integrated Circuit*) quant à eux sont des circuits utilisés pour des applications spécifiques.

I.5.1.1. Modélisation analogique ou Numérique ?

a) Modélisation Analogique

Cette approche offre un avantage certain du fait que les grandeurs traitées sont des grandeurs continues, ce qui permet de réaliser un contrôle avec une haute résolution. Toutefois, les composants analogiques sont soumis aux contraintes thermiques et de vieillissement qui conduisent à des variations comportementales néfastes impliquant un réajustement régulier des paramètres du système électronique. Ainsi, bien que la conception d'une commande analogique soit simple, sa réalisation est d'autant plus délicate que le nombre de composants augmente. De nos jours, la description comportementale des circuits analogiques peut se faire grâce à des langages comme VHDL-AMS (*VHDL-Analog and Mixed Signal*) [PE-05]. Il est alors concevable de modéliser des systèmes électriques (interrupteurs de puissance, etc.) et même non électriques (éléments hydrauliques, thermiques, etc.). Cette modélisation qui correspond à une cible ASIC est tout de même peu utilisée contrairement à la modélisation numérique.

b) Modélisation numérique

Cette approche peu sensible au vieillissement et aux perturbations diverses, permet une grande flexibilité de modification des structures de contrôle. En outre, grâce à la réalisation simple des fonctions de mémorisation et de retards, utiles pour l'élaboration de certaines fonctions trigonométriques, il est possible de réaliser des algorithmes ayant un niveau de complexité plus haut que celui obtenu avec des contrôles analogiques. Les avantages des circuits intégrés numériques en termes de puissance, de rapidité de traitement et de communication ainsi que de coût sont intéressants. Toutefois, le monde réel étant analogique, les circuits numériques sont liés à un environnement analogique par des Convertisseurs Numérique Analogique (CNA) et des Convertisseurs Analogique Numérique (CAN) à format binaire dont la précision est relative aux performances d'échantillonnage et de quantification. D'une manière générale cette modélisation offre plus d'atouts que la modélisation analogique.

I.5.1.2. Solution d'implantation type « processeur » ou mixte

De nos jours, l'implantation des fonctionnalités de commande n'est plus seulement envisagée de manière logicielle à partir des processeurs programmables, microcontrôleurs ou cibles dédiées DSP conçues pour des applications précises telles que la MLI. On s'oriente de plus en plus vers des solutions dites de conception conjointe logicielle-matérielle ou même entièrement matérielle [KE-02]. La solution d'implantation logicielle offre l'avantage d'être généralement basée sur la programmation avec des langages de haut niveau tel que le langage C; ce qui diminue le temps de conception. Pour la mise en œuvre, des logiciels tels que *Matlab/Simulink*TM permettent à partir d'une interface graphique, de générer un code implantable dans des DSPs en utilisant l'utilitaire *dSPACE*.

L'implantation sur cible conjointe logicielle-matérielle ou Co-design a pour but de choisir pour chaque fonctionnalité d'un système, entre une solution type « processeur » (microcontrôleur, DSP) et une solution intégrée (ASIC, FPGA). Cela consiste à choisir

conjointement la représentation des données traitées et l'implémentation des opérateurs arithmétiques dans un système fixe ou embarqué. Ce point de vue récent permet de maîtriser un niveau de liberté supplémentaire dans la conception d'architectures et de tenir compte très tôt de la qualité numérique des résultats produits par le système. Difficile à mettre en œuvre, elle correspond mieux aux applications militaires (radar, sonar, aviation...) pour lesquelles l'aspect coût est moins important.

I.5.1.3. Solution d'implantation type « logique »

La première approche concerne l'implantation sur des circuits monolithiques de l'application (ASIC). Elle consiste alors à réaliser le dessin des masques (layout) afin de fournir les fichiers nécessaires aux fondeurs pour la réalisation du circuit. La réalisation d'un circuit monolithique n'a d'intérêt que pour des applications nécessitant une production de masse ou des performances non atteintes par d'autres technologies (vitesse, circuit mixte analogique numérique, système sur puce,...). La deuxième approche quant à elle, s'adresse à une production limitée. Elle consiste à programmer des systèmes exclusivement numériques (CPLD/FPGA) permettant de concevoir et de réaliser des architectures avec un faible investissement de développement. Dans [DZ-07b], les auteurs présentent la mise en œuvre d'une plate-forme à base de deux cartes FPGA pour l'intégration d'architectures de commande de systèmes électriques. La carte à faible densité d'intégration est dédiée à l'acquisition des signaux analogiques ainsi qu'au transfert en sortie des signaux issus de la deuxième carte à plus grande densité d'intégration, qui est réservée au traitement des données sous forme numérique. Des modules périphériques sont implantés dans les FPGA de manière à assurer, selon un protocole adéquat, une communication semi-duplex entre les deux cartes.

a) Introduction aux systèmes reconfigurables à base de FPGA

Le choix des technologies reconfigurables est d'apporter une solution intermédiaire entre les circuits spécifiques (ASIC) possédant des performances remarquables, un degré de flexibilité faible pour un temps de développement (*time-to-market*) élevé et les processeurs (MPU pour *Micro-Processing Unit*) possédant une forte flexibilité et une puissance de calcul limitée pour un temps de développement court. Ces technologies présentent une solution intermédiaire permettant un compromis entre puissance de calcul (supérieure à celle des processeurs) et un degré de flexibilité (supérieur à celui des ASIC). La figure I.16 schématise le rapport performance / flexibilité pour les principales technologies de calcul disponibles actuellement. Outre leur bon compromis puissance / flexibilité, les technologies programmables permettent des phases de développement et de prototypage rapides par rapport à la conception d'un circuit personnalisé de type ASIC. De plus, les temps sont comparables à ceux du développement microprogrammé.

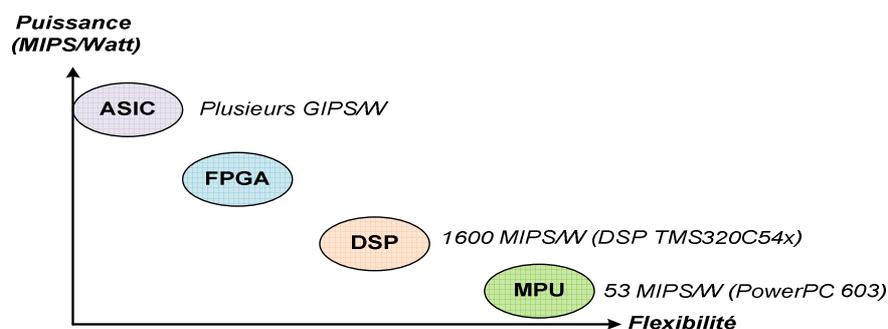


Fig. I.16. Rapport performances / flexibilité pour les principales technologies [JO-09]

b) Les circuits FPGA

Un FPGA est un composant prédiffusé généralement constitué d'une matrice de « blocs logiques » (*Logic Array Blocks – LAB*) programmables entourés de blocs d'entrée/sortie programmables. Ces unités de calcul sont connectées à travers des canaux de routage configurables. On peut remarquer sur la figure I.17 que chaque LAB d'un FPGA Stratix II de Altera est constitué de huit (8) modules logiques adaptatifs (*Adaptive Logic Modules – ALM*). De façon générale, un bloc ou cellule logique configurable à l'instar d'un ALM représente la brique de base de l'architecture d'un tel FPGA. Il abrite deux tables de transcodage (*Look Up Table – LUT*), une ou plusieurs fonctions programmables réalisées par des éléments de mémorisation (registres) et une chaîne de propagation rapide de la retenue pour la réalisation d'additionneurs rapides. La reconfiguration de LUT est très flexible, et peut être exploitée pour réaliser n'importe quel circuit numérique. Cependant, les éléments fonctionnels reconfigurables à grain fin occupent substantiellement plus de surface, ont une grande latence, et consomment plus par rapport à des structures à grain épais. Néanmoins, dans les dernières générations de FPGAs, on rencontre de plus en plus d'éléments de calcul à grain épais, tels que les multiplieurs, les DSPs, jusqu'à des structures complexes câblées telles que des processeurs RISCs.

En fonction de la taille et de la complexité des blocs logiques leur structure est classée en fonction de leur granularité fine, moyenne et grosse [SA-02]. Les FPGAs du commerce se distinguent les uns des autres par les fonctionnalités des blocs logiques, leur architecture interne, leurs ressources de routage, etc. Les FPGA sont bien distincts des autres familles de circuits programmables (PLD, EPLD,...) et offre un très haut niveau d'intégration logique.

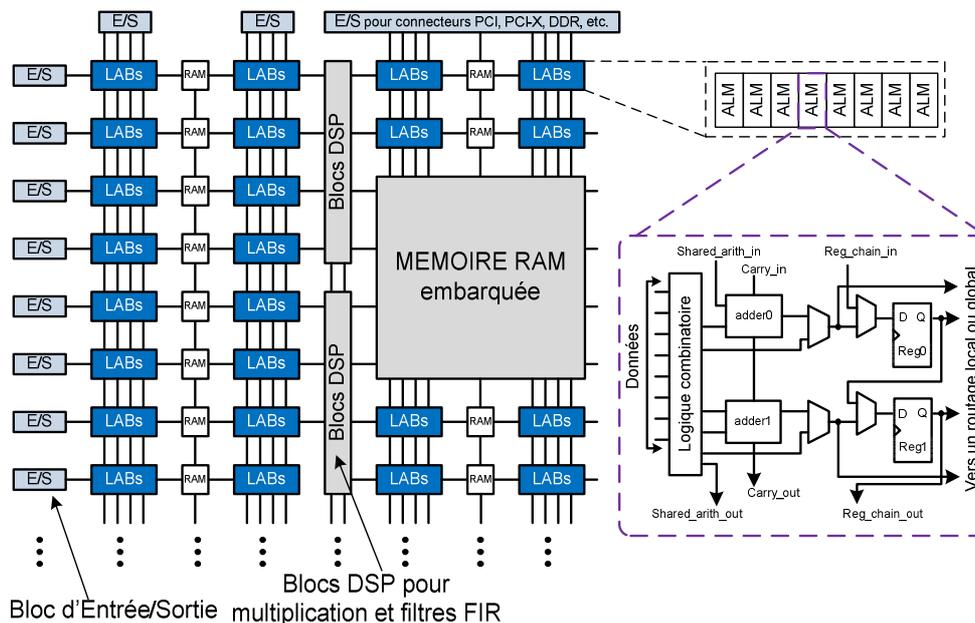


Fig. I.17. Structure interne d'un FPGA Altera Stratix II de technologie 90nm

Les structures de calcul à grain fin présentes dans les FPGA conviennent bien à la réalisation matérielle d'algorithmes pouvant exploiter un parallélisme massif au niveau du bit ou s'adaptant bien à des architectures hautement pipelinées.

c) Modes de reconfiguration des FPGA

En plus du nombre de cellules disponibles (taille du circuit) et la fréquence maximale à laquelle peut fonctionner un circuit, les FPGA peuvent être caractérisés par le mode et la

vitesse de programmation ou (re)configuration. Il y a principalement trois différentes technologies de programmation des FPGA qui se partagent le marché de la programmation des FPGA. Il s'agit des SRAM, des EPROM et des antifusibles :

- *Les SRAM* : les SRAM (*Static Random Access Memory*) sont des mémoires volatiles. Les mémoires volatiles perdent tout leur contenu lorsqu'elles ne sont plus alimentées électriquement. Ces mémoires sont utilisées lors de la programmation du circuit et sont reliées à la grille d'un transistor programmable du circuit FPGA. Les connexions sont alors réalisées en rendant les transistors passant (figure I.18 a). L'avantage de cette technologie est qu'elle permet une reconfiguration rapide et dynamique au sein même du circuit. Le principal désavantage est la surface nécessaire pour la SRAM. Ils nécessitent l'utilisation d'une mémoire externe pour le chargement de la configuration à chaque nouvelle mise sous tension. Ils sont réalisés en technologie CMOS standard,
- *La technologie EPROM/EEPROM* : elles fonctionnent (figure I.18 b) de la même manière que les mémoires EPROM (*Erasable Programmable Read-Only Memory*). Il s'agit de mémoires mortes reprogrammables qui peuvent être lues par l'électronique de l'équipement sur lequel elles sont utilisées. L'effacement et l'écriture de l'EPROM exigent de la retirer du circuit. Elle est basée sur l'utilisation de transistor MOS à grille flottante. La programmation consiste à piéger des électrons dans la grille flottante qui s'opposent à la conduction dans le canal. Le transistor est alors équivalent à un interrupteur ouvert. Mais lorsque le transistor n'est pas programmé, la grille flottante ne contient aucun électron, le canal est conducteur et le transistor est équivalent à un interrupteur fermé.
- *La technologie antifusible* : c'est un sandwich conducteur/isolant/conducteur (figure I.18 c) qui a été proposé pour la première fois par le fabricant Actel en 1986. Il s'agit d'une technologie moins chère que la SRAM. Elle permet d'atteindre des vitesses plus élevées et occupe moins de place sur le circuit. Par contre, un tel FPGA ne peut être programmé qu'une seule fois. Ses performances électriques sont supérieures à celle des technologies précédentes, cependant cette technologie n'est pas adaptée au prototypage.

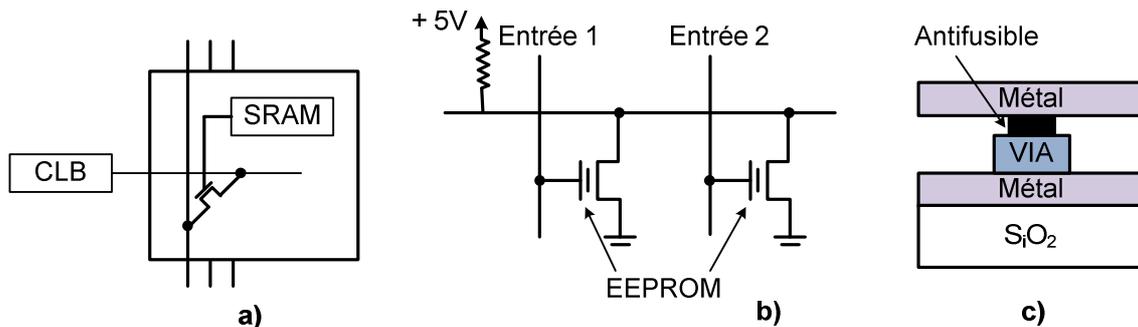


Fig. I.18. Technologie de programmation des FPGA; a) SRAM; b) EPROM; c) Antifusible [KA-07]

La vitesse de programmation du FPGA est liée aux temps d'accès de la mémoire SRAM de configuration du circuit. Il s'agit du temps de reconfiguration des cellules mémoire afin de définir la fonctionnalité du circuit. Les temps de programmation dépendent principalement des technologies FPGA disponibles et peuvent varier de quelques millisecondes à quelques secondes. Une vitesse de reconfiguration élevée est fondamentale pour réaliser des applications reconfigurables dynamiquement. Une synthèse des avantages et inconvénients des différentes technologies de programmation des FPGA est disponible au tableau I.4.

Technologie	Avantages	Inconvénients	Principaux fabricants
SRAM	Reconfigurable in situ	Circuits annexes et procédure d'initialisation	Altera, Xilinx, Atmel, Lattice
EPROM (UVPROM)	Reprogrammable après effacement aux ultra-violets	Boîtier cher (fenêtre optique)	tous
Antifusible	Rapide	Programmable une seule fois	Cypress, Actel, Quicklogic et Texas Instruments

Tab. I.4. Comparatif entre les technologies de programmation des FPGA

I.5.1.4. Avantages et inconvénients des FPGA

Les FPGA sont généralement plus lents, plus chers à l'unité et consomment davantage d'énergie que leur équivalent en ASIC. Cependant, ils ont plusieurs avantages :

- *Délai de mise sur le marché plus court* - Avec la technologie FPGA, il est possible de tester une idée ou un concept, puis le vérifier sur du matériel sans avoir à passer par le long processus de fabrication d'un ASIC personnalisé. Les outils logiciels comprennent souvent des cœurs de propriété intellectuelle (fonctions précompilées) utiles pour le contrôle avancé et le traitement de signaux.
- *Performances* - Comme ils tirent parti du parallélisme matériel, les FPGA offrent une puissance de calcul supérieure à celle des processeurs de signaux numériques (DSP), car ils s'affranchissent du modèle d'exécution séquentielle et exécutent plus d'opérations par cycle d'horloge.
- *Coût* - Par nature, les circuits programmables n'impliquent ni coût de fabrication (masques de gravure, etc.), ni longs délais d'assemblage. Ainsi, pour de petites séries de quelques centaines de circuits, les coûts d'ingénierie des FPGA sont nettement inférieurs à ceux des ASICs.

La figure I.19 présente l'évolution entre 1997 et 2005 des coûts de fabrication des circuits réalisés avec des ASIC en comparaison avec ceux utilisant les FPGA par rapport au volume de production.

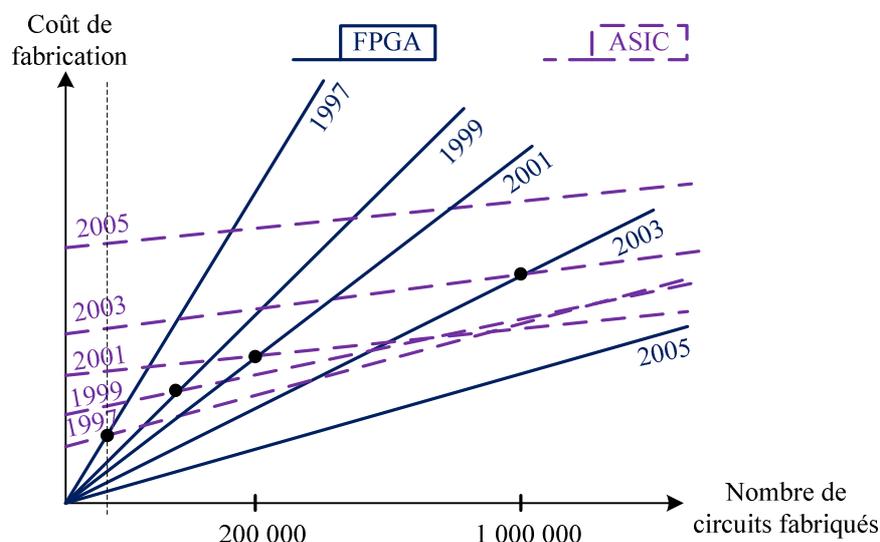


Fig. I.19 Evolution des coûts de fabrication avec FPGA et ASIC [TR-03]

On peut aisément remarquer que s'il était préférable de choisir les ASICs à partir d'un volume de 200 000 pièces à fabriquer en 2001, ce seuil est porté à une quantité de 1.000.000 de pièces dès 2003. On peut ainsi imaginer aujourd'hui que le choix du FPGA reste judicieux pour des volumes de fabrication de quelques millions de pièces, ceci grâce aux progrès techniques et technologiques.

I.5.2. Méthodologies de conception

Afin de satisfaire les avancées technologiques actuelles : densité d'intégration de plus en plus élevée, conception de circuits toujours plus complexes, les concepteurs proposent d'utiliser des approches méthodiques pour maîtriser le flot de développement. Une méthodologie peut se considérer comme une « boîte à outils » dans laquelle le concepteur trouve une variété d'outils : modèles, solutions, méthodes. Reste au concepteur à trouver pour chaque situation l'outil approprié pour une résolution efficace de son problème. Nous allons dans la suite faire une présentation de quelques modes de conceptions de contrôleurs numériques.

I.5.2.1. La méthode descendante Top-Down

L'approche descendante part du système en circuits puis sous-circuits et évolue jusqu'au schéma composé de transistors [SJ-97]. A chaque niveau d'abstraction correspond un modèle adéquat comme le montre la figure I.20

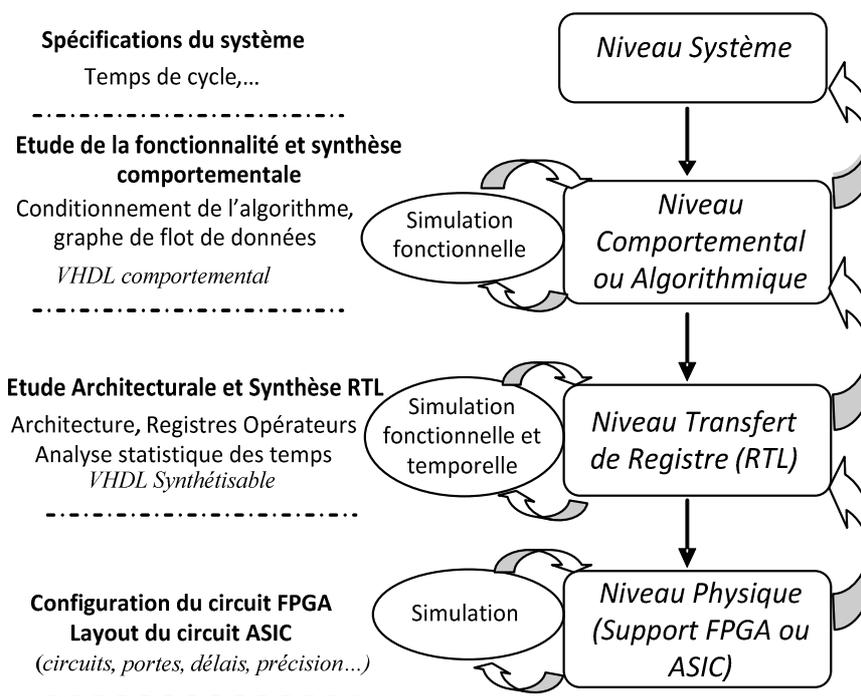


Fig. I.20. Méthodologie de conception Top-Down

- ◆ Le niveau "spécification système" est le niveau d'abstraction le plus élevé; aucune architecture ou séquençement des opérations n'est définie de même qu'aucune spécification chronologique.

- ◆ Au niveau "*comportemental*", le circuit est spécifié en terme de pas de calcul séparé par des points de synchronisation ou de lecture/écriture des entrées/sorties. On parle ici de synthèse comportementale dont l'objectif est de découper ces pas en ensemble de cycles d'horloge pour fournir une architecture synchrone. Le langage de description utilisé est le VHDL comportemental.
- ◆ Au niveau "*transfert de registre*" (*Register transfert level* ou RTL) les opérateurs sont associés aux modules de bibliothèques et les variables aux points mémoires pour obtenir une représentation en transfert de registre. L'architecture de la fonctionnalité et la synthèse RTL transforme le circuit spécifié pour chaque cycle d'horloge en un ensemble d'équations booléennes. Le langage de description utilisé est le VHDL synthétisable.
- ◆ Le niveau "*Physique*" prend en considération les informations électriques du système. Il possède le plus haut degré de précision dans le modèle. C'est le niveau le plus bas.

I.5.2.2. La méthode basée sur des Blocs Réutilisables

Nous entendons par bloc un élément fonctionnel d'une bibliothèque dont le concepteur dispose et qu'il peut directement inférer ou instancier. Ils sont de type matériel (bloc déjà physiquement implanté, dépendant de la technologie, très optimisé) et logiciel (bloc décrit en langage de haut niveau VHDL ou Verilog souvent paramétrable et synthétisable).

L'un des problèmes majeurs concernant la réduction du temps de conception réside dans la bonne ou la mauvaise utilisation des blocs existants. L'efficacité d'une méthode de réutilisabilité se mesure par des critères intuitifs que sont *la sélection, la spécialisation et l'intégration*. La figure I.21 montre graphiquement l'enchaînement logiques des trois critères précédents dans le cas d'une intégration dans un même système (*SoC - System on Chip*) de blocs IP.

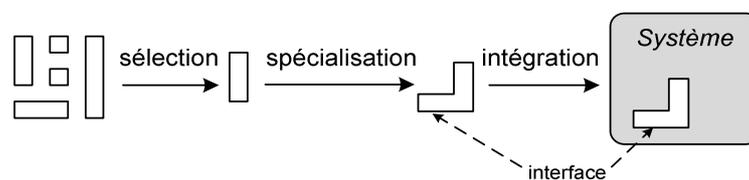


Fig. I.21. Conception SoC basée sur les macrocellules

Pour résoudre la difficulté d'intégration de composants extérieurs dans autre système, le concepteur devra comprendre l'interface du bloc, son langage d'interconnexion ainsi que le protocole de communication avec un système extérieur et faire une description en VHDL synthétisable.

I.5.2.3. La méthode d'Adéquation Algorithme Architecture A³

Les systèmes électroniques intégrés sont de plus en plus complexes. Ils connaissent aujourd'hui une évolution des capacités d'intégration et des performances qui tend à surpasser la loi de Moore en doublant tous les 18 mois. Ceci rend leur conception de plus en plus difficile et nécessite la définition d'une nouvelle génération d'outils informatiques de conception intégrant des architectures génériques. Les propositions de méthodologies de synthèse d'architecture vers des SoPC (*System on Programmable Chip*) nécessitent d'intégrer d'une part des travaux théoriques de modélisation des algorithmes et architectures mais aussi des facteurs liés à l'activité même de conception qui nécessite des compromis sur de

nombreux critères, souvent antagonistes. Ainsi, nous devons répondre à des questions comme la délimitation de l'activité du concepteur et celle de l'outil, ou encore de déterminer quel est le langage de modélisation/programmation le plus approprié.

La méthode A³ consiste en l'étude de l'intégration sur silicium (ASIC ou FPGA) d'algorithmes non triviaux se prêtant a priori difficilement à une réalisation matérielle efficace. L'originalité de cette approche réside dans le fait que les algorithmes initiaux sont systématiquement analysés et remis en cause pour respecter les contraintes de conception : temps de calcul, surface du circuit,... L'optimisation est donc à la fois algorithmique et architecturale [GR-99]

I.5.2.4. La méthode de conception modulaire

Elle consiste à partitionner un problème de conception en le décomposant en une somme de fonctions suffisamment indépendantes et génériques pour constituer des *modules fonctionnels* si possible *réutilisables*. L'étape de partitionnement utilise les spécifications du système (type d'entrées/sorties, protocole de communication, format de données échangées entre les différents modules) dans le but de produire une décomposition modulaire hiérarchique. Cette approche est facilitée par l'utilisation de langages de modélisation de haut niveau d'abstraction tel que VHDL.

I.5.2.5. Le cycle de développement traditionnel en V

La représentation du cycle de développement la plus couramment utilisée par les équipes de développement est celle du cycle en V. A l'intérieur d'un tel cycle de développement, la conception peut être vue de manière descendante et ascendante. Ce cycle est représenté par le schéma de la figure I.22. Ce graphique comporte deux zones distinctes :

La première zone représentée par l'aile gauche du cycle en V est un travail d'analyse en descendant. Il permet de déterminer à partir du cahier des charges, le découpage d'un système en blocs fonctionnels. Ces analyses correspondent aux différentes tâches que le système doit accomplir sans tenir compte des composants électroniques qui les réaliseront. Ce découpage donne ensuite lieu à une exploration architecturale dont l'objectif est de définir l'architecture, le nombre et le type de composants (d'exécution, de communication ou de mémorisation) pour exécuter l'ensemble des fonctionnalités du système tout en respectant les contraintes dictées par le contexte d'utilisation (performances, taille mémoire, . . .). Une fois ce travail accompli, les composants des couches les plus basses du circuit sont alors définis.

La seconde partie du cycle de développement en V permet de valider le prototype en cours de développement. On détermine alors par un test systématique si chaque composant remplit bien sa tâche. Dans le cas contraire, un retour à l'analyse des fonctions de base est nécessaire afin de modifier ses comportements ou de définir une nouvelle palette de composants et de créer un nouveau prototype. La phase de vérification des sous-systèmes du dispositif fait alors suite à la validation de l'étape précédente. Cette étape de vérification peut également déboucher sur des erreurs et un retour sur l'analyse fonctionnelle permettra de créer un nouveau prototype suivi des différentes phases de correction d'erreurs et un autre retour éventuel sur l'étape d'analyse fonctionnelle si tous les sous-systèmes ne sont pas validés. Dans le cas échéant, viennent les tests du système complet, qui s'ils réussissent, débouchent sur l'ultime phase de test paramétrique encore appelé test à grande échelle précédant la mise sur le marché.

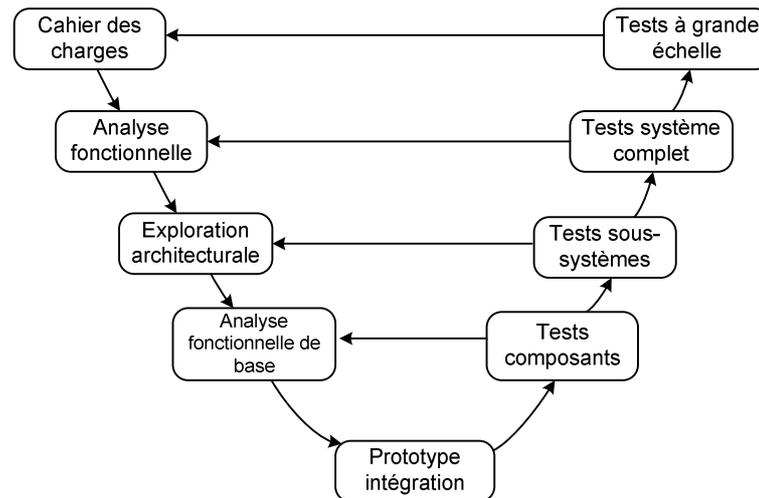


Fig I.22 - Cycle classique de développement en V

Dans la pratique, notons que ce cycle de développement en V, qui en apparence est très simple, regorge de parties récursives qui deviennent de plus en plus coûteuses en temps et en argent pendant les différentes phases de tests. Le prototypage virtuel fonctionnel tel que formalisé par [HE-03] permet de résoudre de très nombreux problèmes liés à la méthode classique de conception dite du cycle en V. Toutes les étapes de conception et de vérification sont appuyées par l'utilisation de modèles paramétriques, réduisant ainsi considérablement le temps de la phase des tests. Nous discuterons au chapitre 2 de l'approche de conception modulaire que nous avons adopté en association à la méthode Top/Down dans le cadre d'une méthodologie de conception hybride pour le développement d'architectures de commande des FAPs.

I.6 POSITIONNEMENT DE NOTRE ETUDE

I.6.1. Implication des techniques neuronales dans le Filtrage actif

Pour mieux détailler les travaux de recherche existants dans le domaine des FAPs, et impliquant des techniques neuromimétiques, une séparation est faite selon les blocs principaux extraits de la partie contrôle-commande. Ces blocs assurent :

- l'extraction des composantes de la tension
- l'identification des harmoniques de courants
- la régulation et la commande de l'onduleur.

I.6.1.1 Extraction des composantes de la tension

a) Extraction de la phase et de la composante directe de la tension

La boucle à verrouillage de phase, PLL (*Phase Locked Loop*), est de loin la technique la plus utilisée pour extraire la phase de la composante fondamentale directe de la tension dans les réseaux électriques basse tension [KA-97]. Cette technique est née en 1932 afin d'améliorer la réception des signaux radioélectriques en modulation d'amplitude. A cette époque, la réalisation de la PLL était volumineuse, chère et réservée aux matériels professionnels jusqu'à l'apparition des circuits intégrés. Aujourd'hui, les applications de la PLL sont nombreuses et variées (transmission en modulation de fréquence, radars à effet DOPPLER, asservissement de la vitesse de moteurs à courant continu, etc.).

Dans (Bruyant, 1999), la PLL a été adaptée pour le calcul de l'amplitude de la composante fondamentale directe de la tension réseau. Son principe de fonctionnement est basé sur l'utilisation d'un régulateur RST spécifique qui a été amélioré par la suite afin de garantir un bon niveau de fiabilité et une réponse rapide [AL-02].

Les travaux sur l'extraction des composantes de la tension réseau à base des réseaux de neurones sont récents. Les publications [DJ-05], [FL-09], [NG-09] révèlent une plus grande rapidité de l'approche neuronale par rapport à l'approche classique pour l'extraction des composantes de tension.

b) Poursuite de la fréquence

La PLL peut suivre la phase instantanée de la tension fondamentale du réseau et retrouver sa fréquence. D'autres méthodes ont été développées mais la plupart d'entre elles ne sont utilisables que si le signal de la tension est purement sinusoïdal. Une étude comparative des méthodes classiques est disponible dans [TI-97]. Au cours de la même année, P. K. Dash dans ses travaux utilise un réseau Adaline afin d'estimer uniquement la fréquence fondamentale [DA-97]. Les auteurs identifient les paramètres d'un modèle du signal électrique s'écrivant sous la forme d'une équation aux différences incluant les premières harmoniques. L'apprentissage contraint l'erreur entre la sortie désirée et la sortie calculée à satisfaire la stabilité d'une équation aux différences plutôt que de minimiser une fonction d'erreur. La méthode proposée est précise pour de grandes variations de fréquence. Cependant, d'après les tests que nous avons réalisés, cette approche ne donne des résultats que si le courant est sinusoïdal et exempt d'harmoniques, ce qui n'est pas le cas pour notre réseau électrique et en général dans les cas pratiques. La fréquence d'échantillonnage retenue influence fortement l'efficacité de la méthode.

I.6.1.2. Identification des harmoniques de courants

Une analyse comparative des méthodes d'identification des harmoniques disponible dans [AS-07] en fonction de leurs performances permet d'anticiper sur les possibilités d'implémentation. Dans le domaine fréquentiel, on y retrouve des méthodes telles que la Transformée de Fourier Discrète (TFD), la Transformée de Fourier Rapide (TFR) ainsi que la Transformée de Fourier Discrète Récursive. Dans le domaine temporel, l'étude concerne les méthodes synchrones, les méthodes des puissances instantanées et la méthode de l'intégrateur généralisé. Cette remarquable comparaison prouve que le choix du filtrage numérique est un facteur clé pour l'obtention de résultats exacts et d'une bonne dynamique d'un FAP. Depuis quelques années, les techniques neuromimétiques sont apparues comme une solution alternative à ces méthodes avec une présence très marquée des réseaux Adaline dans la partie commande du FAP.

Des études tendant à identifier directement les harmoniques à partir du signal mesuré sur le réseau électrique sont menées depuis 1992 [OS-92]. Des réseaux Adaline servent à prédire la fréquence fondamentale et les harmoniques du signal pollué dans le cas où des dérives en fréquence sont présentes. Cette approche, dans un souci d'économie d'énergie, utilise une structure avec différents modules comprenant chacun un filtre par harmonique. Les modules fonctionnent avec les informations apprises par l'Adaline. Chacun d'eux est commandé indépendamment et modulé en fonction des harmoniques : plus l'harmonique est d'ordre élevé plus l'amplitude de sortie est pondérée à l'aide d'un coefficient bas. La méthode proposée par El Shatshat *et al.* dans [SH-02], permet de filtrer uniquement les harmoniques 3, 5, 7 et 13, avec une bonne fiabilité, une rapidité et une bonne précision.

Dans [PE-95], un réseau de neurones multicouche décompose un signal de courant contenant les harmoniques d'ordres 3 et 5. Les sorties du réseau de neurones sont au nombre

de 2, chacune d'entre elles est accordée sur une harmonique. Le vecteur de la couche d'entrées possède 90 éléments traduisant l'amplitude d'une seule période du courant harmonique. La couche cachée contient 20 neurones divisés en deux groupes partiellement connectés. Les deux sorties du réseau sont ensuite comparées avec deux signaux de mêmes fréquences que les deux harmoniques à estimer. Une fois l'apprentissage accompli, les amplitudes des harmoniques 3 et 5 sont identifiées avec une erreur qui se situe autour de 0.2%.

Des méthodes qui combinent la transformée de Park avec des réseaux de neurones ont été explorées. L'identification des harmoniques s'effectue alors dans l'espace des puissances instantanées actives et réactives. Dans cet espace à deux dimensions, une grandeur triphasée est représentée par deux composantes. Ce principe est mis en œuvre dans [VA-02] par exemple où pour chaque phase, un réseau Adaline estime l'amplitude de la fréquence fondamentale du signal. Cela permet d'isoler les composantes harmoniques et de déterminer les courants de références à injecter dans le réseau électrique pour compenser les harmoniques. Un second réseau de neurones, du type multicouche, associé à l'algorithme d'apprentissage de rétropropagation, réalise la loi de commande de l'onduleur.

Des études plus récentes [MA-04] combinent deux structures de réseaux Adaline à plusieurs sorties afin d'identifier précisément les composantes harmoniques et symétriques du courant.

Toutes les méthodes citées précédemment se révèlent insuffisantes lorsque la fréquence fondamentale varie dans des proportions importantes. Bien que cet aspect soit pris en compte avec des résultats probants dans des travaux actuels, nous pouvons noter qu'en pratique, les variations de fréquence ne sont pas excessives.

I.6.1.3. Méthodes de régulation et commande de l'onduleur

L'objectif de la méthode de compensation est de réinjecter les courants de référence dans le réseau électrique. Cette opération se fait par une loi de commande à travers la partie puissance (l'onduleur de tension, l'élément de stockage d'énergie et le filtre de sortie représentés sur la figure I.1). On recense dans la littérature des commandes par hystérésis, et la commande MLI. A l'instar de la partie identification des courants du FAP, les réseaux de neurones peuvent également être utilisés dans la partie commande. La commande d'un onduleur monophasé par un réseau de neurones est réalisée dans [DE-03]. Un réseau de type Adaline est conçu avec un vecteur d'entrée formé de 5 éléments correspondant au signal de référence et de commande retardés respectivement 2 et 3 fois. Cette architecture très simple nécessite peu de calculs et travaille en ligne en tenant compte des variations dans les charges linéaires et non linéaires. Les auteurs ont démontré la stabilité de cette analyse. Dans [SH-04] les auteurs utilisent deux réseaux Adaline en cascade pour estimer les courants harmoniques et commander un onduleur monophasé.

Un réseau de neurones multicouche avec deux couches cachées est utilisé pour apprendre une commande par hystérésis [VA-03]. Ce même réseau de neurones est placé dans la boucle de régulation et fonctionne hors ligne. L'inconvénient de cette approche est que le réseau de neurones n'est pas adaptatif et de ce fait, il ne tiendra pas compte des changements pouvant intervenir dans le réseau électrique. Plusieurs travaux antérieurs comme celui de S. Round et al. dans [RO-93] permettaient déjà de réaliser une commande par des réseaux de neurones adaptatifs.

Les performances liées à l'implication des techniques neuronales aux fonctionnalités de commande des systèmes électriques ont motivé O. Abdeslam et al, dans [DJ-07] à proposer une approche unifiée sanctionnant la généralisation des réseaux de neurones dans l'architecture de contrôle-commande du FAP. Cette stratégie du « tout-neuromimétique » permet ainsi d'améliorer les performances de filtrage. L'obtention d'une structure modulaire

d'éléments de calcul fortement homogènes est, de plus, un atout indéniable dans la perspective d'une implémentation matérielle.

I.6.2. Apports des FPGA pour la commande neuronale des FAPs

Nous avons discuté à la section I.5 des solutions d'implantation des architectures de commande existantes. L'implantation numérique sur cible matérielle semble offrir des avantages certains. Aujourd'hui, les composants FPGAs sont devenus indispensables dans les systèmes numériques et sont utilisés dans de multiples domaines d'applications en raison des nombreux avantages obtenus lors de leur utilisation [DE-07]. Parmi tous ces avantages, on peut notamment citer :

- 1- Une grande souplesse de programmation qui permet de les réutiliser à volonté pour implanter les fonctionnalités désirées en un temps très court, ceci à l'aide d'une même plate-forme de développement. Cette flexibilité permet au contrôleur à base de FPGA de s'adapter à l'évolution du système à commander grâce à la reconfiguration.
- 2- Une augmentation croissante du niveau de performance temps réel. On peut en effet, maîtriser le temps d'exécution des algorithmes implantés en évaluant la latence de chaque bloc sur le chemin de données.
- 3- Un niveau de performance proche des circuits analogiques. Ce mode d'implantation permet de réduire fortement la période d'échantillonnage et par conséquent le temps d'exécution d'un algorithme afin de permettre au contrôleur à base de FPGA d'atteindre le niveau de performance des contrôleurs analogiques, sans présenter les inconvénients de ces derniers (dérive, manque de souplesse, problème de compatibilité électromagnétique, etc.)
- 4- Rapport coût / performances intéressants

Au delà de quelques inconvénients en termes de limitation des ressources de routage et du prix à l'unité élevé pour de grosses productions, les FPGAs sont aujourd'hui utilisés dans diverses applications nécessitant des traitements numériques importants tels que le traitement du signal, la reconnaissance des formes, la télécommunication, l'aéronautique, la bioinformatique, l'automobile, la robotique, le contrôle/commande des systèmes électriques.

En ce qui concerne la commande des systèmes de conversion de l'énergie électrique, les composants FPGAs ont déjà été utilisés avec succès pour le contrôle d'onduleurs ou de convertisseurs multi-niveaux, et la commande de filtres actifs [MO-07], [NA-08], [SH-08].

Pour ce qui est de l'intégration des fonctionnalités de commande à base de réseaux de neurones, la littérature scientifique regorge d'un nombre importants de publications dans lesquelles la cible utilisée est de type processeur. Au sein de l'équipe TROP du laboratoire MIPS de l'Université Haute Alsace de Mulhouse en France, on peut citer des travaux pilotés par le Professeur Jean Mercklé dans le domaine du filtrage actif et la commande des moteurs [DJ-07], [NG-10]. La carte de développement de type DS 1104 dSPACE utilisée est basée sur un processeur POWER PC 603e et un DSP TMS320C31 cadencé à 40 MHz. En l'intégrant dans la plate-forme expérimentale présente dans les locaux de l'INSA de Strasbourg et exploitée par l'équipe ERGE, ce banc de test de filtrage actif permet de reproduire les conditions industrielles.

Dans [RA-09], une alternative plausible de réduction des distorsions harmoniques à travers des capacités connectées à des interrupteurs bidirectionnels, est présentée. La détection des harmoniques se fait par un réseau de neurones modifié et le contrôle de courant est de type hystérésis à bande nulle (HBZ pour Hystérésis à Bande Zéro). Le THD après compensation se trouve suffisamment réduit et le facteur de puissance est proche de l'unité illustrant une bonne

compensation de la puissance réactive. La cible d'implémentation de cette commande du FAP est un DSP TMS320F2812 choisi à cause de son processeur 32 bits cadencé à 150 MHz.

Dans [HA-10], une approche d'identification à base d'Adalines est proposée dans une commande de FAP implémentée sur une plate-forme expérimentale à base de DSPs (TMS320LF2812) fonctionnant en maître-esclave. L'esclave DSP est responsable de l'identification rapide des harmoniques dues à la charge, tandis que le maître DSP assure la protection, le démarrage en douceur, le calcul des courants de référence et la régulation PI de la tension du bus continu de l'onduleur. En plus, un FPGA est utilisé pour générer les impulsions MLI pour la commande des interrupteurs des IGBTs (SKM200GB128DA).

Le DSP traite séquentiellement les opérations de calcul contrairement au FPGA qui assure un traitement parallèle de part la disposition homogène de ses ressources à travers sa surface. Malgré, la cadence élevée des processeurs DSP, il se trouve que les architectures qui les utilisent sont caractérisées par une fréquence d'échantillonnage limitée à quelques dizaines de KHz. Le parallélisme des FPGA a pour effet d'accélérer les traitements des algorithmes implantés. Compte tenu du parallélisme inhérent aux réseaux de neurones, une cible matérielle de type FPGA est sensée offrir des performances bien plus intéressantes que celles obtenues avec les cibles de type processeur ou conjointes. Une synthèse exhaustive des travaux relatifs à l'implantation des réseaux de neurones sur FPGA est donnée dans le livre [OM-06]. Les auteurs montrent que cette solution constitue de nos jours une alternative réaliste aux cibles matérielles de type ASICs en raison de leur rapport coût / performance plus intéressant. Dans le même ordre d'idée, selon E. Won dans [WO-07] le FPGA semble un excellent choix pour l'implémentation des architectures à base de réseaux de neurones.

Toutefois, il est aussi connu que les réseaux de neurones consomment une quantité importante de ressources de calcul. Ainsi, les architectures neuronales développées dans la littérature ne sont pas forcément implantables sur FPGA quoique l'on puisse aujourd'hui bénéficier des composants à densité d'intégration de plus en plus grande grâce aux progrès technologiques dans la microélectronique. Dans [LA-09], les auteurs présentent une technique de minimisation des ressources du FPGA pour l'implémentation des réseaux de neurones de type MLP. Ils démontrent comment par le biais d'opérations séquentielles, un simple neurone à une entrée peut être réutilisé pour remplacer un réseau de neurones multicouches et multi-entrées. A cet effet, les paramètres de l'architecture ainsi que les poids et biais du réseau MLP sont stockés en mémoire et finalement la structure à implanter sur FPGA correspondant au neurone à une entrée est limitée à un multiplieur, un additionneur et une LUT.

Notre étude va ainsi se focaliser sur l'optimisation de l'implantation dans les composants FPGA de la commande neuronale des FAPs. Un autre aspect concerne l'évaluation de performances apportées par le FPGA dans une application de filtrage actif. A ce sujet, très peu de références bibliographiques font état de l'implémentation d'une architecture complète de commande des FAPs sur cible FPGA. En fait, les solutions d'implantation DSP sont les plus utilisées et le FPGA, jusqu'à présent, est surtout utilisé en association avec un ou plusieurs DSP dans les solutions d'implantation conjointe DSP-FPGA. Ce manuscrit rapportera une tentative d'implantation dans un unique FPGA d'une architecture neuronale de commande des FAPs. Par la suite il sera intéressant de caractériser cette stratégie d'implantation dite « *FPGA alone* » afin de proposer une évaluation comparative entre cette solution FPGA et une cible DSP pour l'intégration d'un système de filtrage actif.

I.7. CONCLUSION

Dans ce chapitre, la problématique des harmoniques et les solutions possibles ont été abordées. On conclut, que même si les filtres actifs hybrides se présentent de nos jours comme la solution la plus complète, les FAPs apparaissent comme la solution la plus courante pour le

filtrage de courants harmoniques. C'est pourquoi, nous avons retenu l'application au filtrage actif parallèle. Cette application est considérée comme très exigeante car elle implique des bandes passantes très élevées, ce qui influence considérablement la stabilité du système. Dans ce contexte, la boucle de contrôle interne de courant devient critique. De plus la modélisation d'un FAP est rendu plus complexe du fait que les performances de chaque bloc constitutif sont interdépendantes d'où la nécessité avérée d'une sélection rigoureuse des techniques de commande à utiliser. Après un état de l'art sur les méthodes classiques et modernes de commande, le choix a été porté sur les techniques à base de réseaux de neurones du fait de leur capacité d'apprentissage qui permet de concevoir des structures suffisamment adaptatives. C'est ainsi qu'une telle stratégie de commande appliquée aux FAPs, devrait conduire à des dispositifs de filtrage robustes aux variations de la charge non linéaire, aux situations de déséquilibres de la tension du réseau, ainsi qu'aux variations de ses paramètres (fréquence, amplitude, phase), etc. En outre, la généralisation de cette technique intelligente à toute la commande du FAP permet d'avoir une structure homogène et bénéficiant du parallélisme inhérent aux réseaux de neurones.

C'est alors que l'utilisation des circuits logiques reconfigurables tels que les FPGAs, du fait de leur structure parallèle, revêt un avantage particulier pour l'implémentation de la commande neuronale du FAP. Ceci passe par le choix d'un outil de synthèse logique adéquat offrant des facilités de conception permettant un bon compromis entre un temps de développement acceptable et une possibilité d'optimisation de l'intégration sur le composant en fonction des contraintes de surface.

CHAPITRE II

**APPROCHE MODULAIRE EN VUE
DE LA CONSTITUTION D'UNE
BIBLIOTHEQUE DEDIEE AU
DEVELOPPEMENT SUR FPGA DE LA
COMMANDE DES FAPs**

II.1 INTRODUCTION

Les concepteurs de contrôleurs numériques pour les systèmes électriques ont très rapidement pris la mesure de l'apport des techniques VLSI dans leurs problématiques d'implantation. En effet, les composants du type ASIC ou FPGA offrent à ces derniers des solutions efficaces pour l'implantation d'algorithmes avec une tendance actuelle vers les cibles FPGA.

Cependant, aussi bien au niveau industriel, que dans la littérature scientifique, très peu de personnes font état de l'implantation sur cible FPGA de la commande de systèmes électriques dans leur intégralité. En effet, cette démarche d'implantation nécessite une parfaite maîtrise des processus de conception et un travail spécifique d'adéquation entre l'algorithme et l'architecture de la commande à intégrer. C'est ce savoir faire méthodologique que l'on retrouve généralement chez les concepteurs évoluant dans des secteurs d'activités comme les télécommunications, l'informatique, etc. Toute la problématique de recherche est donc de s'inspirer de ces méthodes modernes de développement et de savoir les adapter aux contraintes d'implantation de commande de systèmes électriques.

L'un des principaux objectifs de ce chapitre est de proposer une approche de conception architecturale propre à l'implantation de commande de systèmes électriques en général et du FAP en particulier. Plus précisément, nous nous focaliserons sur le développement d'architectures prenant en compte l'ensemble des contraintes inhérentes à ce type de conception, tout en apportant une flexibilité de développement suffisante. Pour répondre à ces objectifs conceptuels, nous baserons notre étude sur les moyens théoriques et méthodologiques de conception très largement employés par l'ensemble des concepteurs de circuits VLSI.

Finalement, notre chapitre se construira autour de trois parties principales :

Dans une première partie, nous évoquerons la problématique liée aux outils de conceptions des systèmes. Une comparaison entre les outils à description littérale et schématique nous permettra de justifier le choix porté sur le second mode. C'est ainsi que l'outil Dsp BuilderTM du même fabricant que celui du composant FPGA utilisé, c'est-à-dire Altera, nous sera proposé dans le cadre de nos travaux.

Afin de rendre possible la description à partir de Dsp BuilderTM, nous tenterons dans une deuxième partie de compléter sa bibliothèque par la création de blocs supplémentaires de façon à assurer les mêmes fonctionnalités que les blocs Matlab/SimulinkTM. En outre, des blocs « Gros grains » seront contruits à partir des blocs de base et des opérateurs synthétisant les fonctions neuromimétiques seront aussi élaborés.

Enfin une approche de conception modulaire permettra de proposer un partitionnement propre à l'élaboration de la commande d'un FAP. Nous nous intéresserons aussi à l'analyse temporelle de l'architecture de commande devant servir de critère d'évaluation des performances de la cible d'implémentation choisie.

II.2. PROBLEMATIQUE LIEE AUX OUTILS DE CONCEPTION DES SYSTEMES

Pour tenter de rendre les travaux de conception utilisables sur le plus grand nombre d'architectures de FPGA possibles, il est important de s'affranchir des spécificités propres à certains modèles et ne faire aucune hypothèse sur le FPGA cible sur lequel ils vont être implémentés. De ce fait, l'objectif de portabilité ne peut être atteint qu'en retardant le plus loin possible la spécialisation technologique du circuit, déléguant ainsi le plus gros de cette tâche au synthétiseur. Il existe de nos jours de nombreux outils d'aide à la conception pour des applications de traitement du signal en ciblant un composant du type FPGA. Ils peuvent être

répartis en deux grandes familles : les outils de conception littérale et les outils de description schématique des systèmes.

II.2.1. Les possibilités de description

II.2.1.1. La description littérale

Les éditeurs de texte les plus répandus pour la description matérielle des systèmes sont sans nul doute les outils de programmation en langage VHDL ou Verilog.

a) Le langage VHDL

Il permet la description des aspects les plus importants d'un système matériel, à savoir son comportement, sa structure et ses caractéristiques temporelles. Il présente deux intérêts majeurs :

- Différents niveaux de description : VHDL permet de représenter le fonctionnement d'une application tant du point de vue système que du point de vue circuit, en descendant jusqu'aux opérateurs les plus élémentaires. A chaque niveau, la description peut être structurelle (portrait des interconnexions entre des sous fonctions) ou comportementale (langage évolué).
- Son aspect « non propriétaire » : Il est en passe de devenir le langage commun à de nombreux systèmes de CAO, indépendants ou liés à des producteurs de circuits. Le VHDL est devenu un standard IEEE depuis 1987 sous la dénomination IEEE Std. 1076-1987. Il est sujet à révision tous les cinq ans et la dernière révision est celle de 2007 (IEEE Std. 1076-2007).

L'abstraction consiste à modéliser un système sous forme d'unités élémentaires, tout en simplifiant le comportement, indépendamment de certaines caractéristiques analogiques telles que la température ou la tension d'alimentation. VHDL est un langage qui peut comprendre le parallélisme, c'est à dire que des blocs d'instructions peuvent être exécutés simultanément, par opposition au langage C par exemple qui traite les instructions de façon séquentielle. Le flot de conception en VHDL est représenté sur le schéma de la figure II.1.

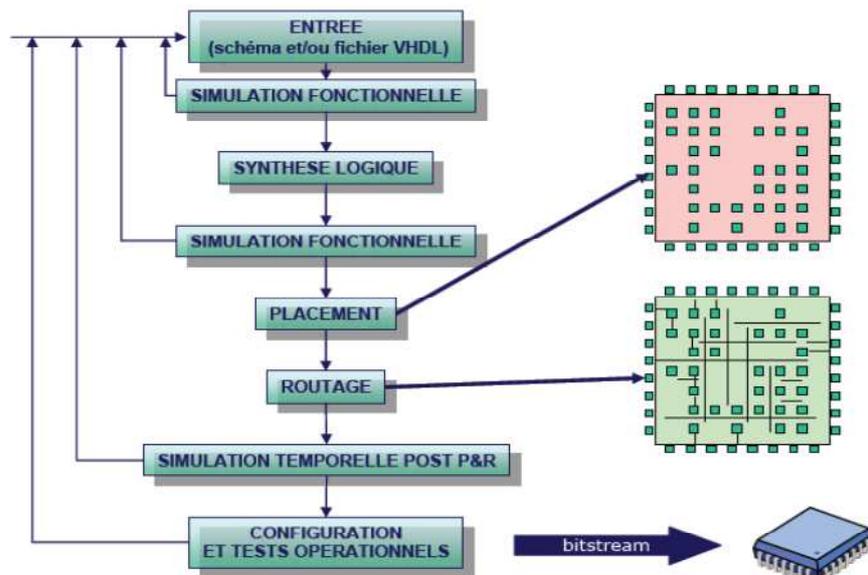


Fig. II.1. Flot classique de conception FPGA

Une simulation fonctionnelle est faite à la suite d'une description comportementale du circuit. Cette simulation a l'avantage d'être très rapide. Les étapes successives de synthèse, de placement/routage vont respectivement faire passer le circuit au niveau RTL et au niveau logique. Les simulations structurelles effectuées à ces niveaux sont plus précises mais plus longues car elles prennent en compte les caractéristiques temporelles des composants logiques utilisés.

b) Le langage Verilog

Le Verilog [IE-01] est aussi un langage de description de circuits logiques en électronique, utilisé pour la conception d'ASICs et de FPGAs. A l'origine, il s'agissait d'un langage propriétaire, développé par la société « Cadence Design Systems », pour être utilisé dans leurs simulateurs logiques, mais le succès grandissant de VHDL a incité ses concepteurs à faire de Verilog un standard ouvert ; c'est le standard IEEE 1364 dont il existe plusieurs versions, qui ont été enrichies pour offrir des fonctions équivalentes à celle de VHDL. Sa syntaxe est réputée largement inspirée du langage de programmation C, bien que la ressemblance se limite en fait aux expressions. Ceci explique en partie son succès et sa diffusion rapide dans la communauté des ingénieurs qui ont déjà appris le langage C. La structure du langage Verilog permet de décrire les entrées et les sorties de modules électroniques, pour définir des portes logiques virtuelles. La combinaison de modules permet de réaliser des schémas électroniques virtuels complexes qu'il est alors possible de tester dans un programme de simulation.

La description comportementale en VHDL ou Verilog se fait généralement au moyen d'un éditeur de texte (ex : ISE chez Xilinx, Quartus II chez Altera). Toutefois, ces outils proposent aussi un espace de description graphique de la structure du système à modéliser. D'autre part, certains outils de conception proposent un flot de conception et de synthèse automatique en partant d'une description Simulink™ et en exploitant un environnement de haut niveau avec tout de même un modèle RTL schématique.

II.2.1.2. La description schématique

Parmi les outils de conception DSP pour FPGA, on peut mentionner les outils graphiques suivants :

- *Matlab FilterDesign and AnalysisToolbox™*
Elle se trouve dans la toolbox « Signal Processing » et permet par exemple la conception et l'analyse de filtres FIR (*Finite Impulse Response*). Il est aussi possible de générer automatiquement un fichier synthétisable en VHDL pour filtre en virgule fixe en utilisant « Filter Design HDL Coder™ »
- *Xilinx System Generator™ for DSP*
Ici, la description schématique (structurelle) du système à implanter sur le composant se fait à partir d'une bibliothèque supplémentaire dans Simulink™. Cet outil du constructeur Xilinx offre un lien direct avec l'outil Xilinx ISE™ basé sur le langage VHDL.
- *Altera DSP Builder™*
Cet un outil similaire de la famille Altera qui réutilise aisément des blocs préconçus appelés « Intellectual Properties » (IP), qu'on peut trouver dans Altera MegaCore™. Il permet aussi un développement « Hardware in the Loop » en prenant en compte dans la conception la carte de prototypage utilisée. De plus, il offre un lien direct avec l'outil Altera Quartus™ basé sur le langage VHDL.

De façon générale, DSP Builder™ est une technologie essentielle de développement pour mettre en œuvre rapidement et sans effort les projets Simulink™ dans une plate-forme FPGA de hautes performances. DSP Builder™ lit les fichiers des modèles Simulink™ (.mdl) qui sont créés en utilisant les blocs DSP Builder/MegaCore et génère des fichiers VHDL et des scripts de langage de commande d'outil (Tcl) pour la synthèse, la mise en œuvre matérielle et la simulation. Cette technologie raccourcit les cycles de conception en créant la représentation matérielle d'un projet DSP dans un environnement de développement partageant le même algorithme. La Figure II.2 présente le flot de conception sous Dsp Builder™.

Avantages

- Regroupement dans un outil haut niveau des 3 étapes spécification-conception-simulation de fonctions de traitement du signal intégrables dans un FPGA
- Modélisation et simulation au sein d'un environnement de simulation mixte au niveau système.
- Simplification de la chaîne de développement et du nombre d'outils à maîtriser pour le concepteur.
- Reprise ou modification du projet par un autre concepteur rendu plus simple par Simulink™ (conception sous forme de bloc fonctionnel).
- Réduction drastique de l'étape lourde et sans véritable valeur ajoutée d'écriture VHDL
- Possibilité de disposer d'un code optimisé pour la matrice utilisée.
- Gain de temps de conception et réduction des coûts.

Inconvénients

- Disposition et bonne connaissance de l'environnement Matlab/Simulink™.
- Blocs de stimuli et d'affichages peu conviviaux pour la génération et la visualisation de signaux logiques.
- Pas de flot automatique permettant de vérifier en bout de chaîne les simulations de type 'timing' et la simulation fonctionnelle issue de Simulink™ (à travers les outils Altera-Xilinx).
- Code VHDL généré non optimisé

Selon la figure II.2, le cœur du système Dsp Builder™ est le « Signal Compiler » qui permet de convertir le modèle schématique élaboré en VHDL avant de réaliser tour à tour les étapes d'analyse et de synthèse logique, de placement/routage et de programmation du composant FPGA. Par la suite, dans une application de commande des systèmes de conversion d'énergie électrique, le concepteur peut évaluer l'algorithme de commande en couplant le contrôleur numérique (partie "Hardware") à des simulateurs qui reproduisent le comportement dynamique du système de puissance. C'est ce qu'on appelle la co-simulation Hardware-In-the-Loop (HIL). Il est dès lors possible d'évaluer l'algorithme de commande dans un environnement virtuel, non destructif où les modifications de l'algorithme sont souvent réalisables sans altération matérielle coûteuse [KA-09]. Ceci entraîne une réduction des temps de développement ainsi que la réduction du coût d'un projet. Ainsi, la simulation HIL permet d'évaluer la robustesse et les performances de l'algorithme de commande et les points faibles du système peuvent être détectés dans cet environnement virtuel tout en éliminant le risque d'endommager le matériel généralement très coûteux.

La plupart des approches de conception ne peuvent satisfaire un compromis entre modélisation et validation algorithmiques d'une part, exploration architecturale rapide et qualité de l'architecture d'autre part. Le tableau II.1 résume les points forts et faibles des méthodologies ou flots basés sur les langages de programmation et sur une description graphique vis-à-vis de quatre problèmes.

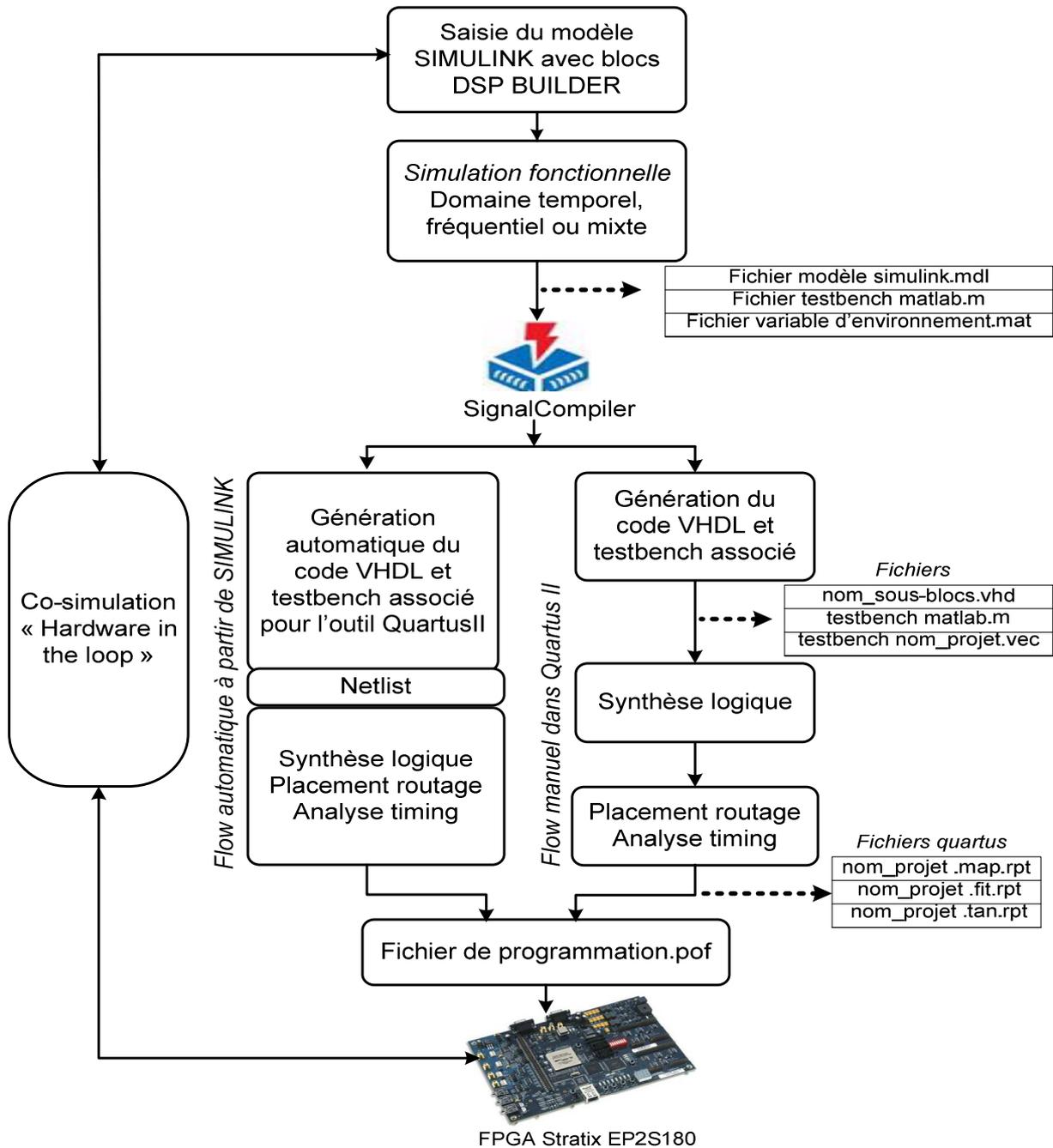


Fig. II.2. Processus de développement sous Dsp Builder™

	Modélisation et validation fonctionnelle	Exploration conjointe algorithme/ architecture	Qualité de l'architecture résultante	Conception d'applications dérivées (flexibilité)
Flot basé sur les langages de programmation	++	++	+	++
Flot basé sur une description graphique	++	+	+++	++

Tab. II.1. Comparaison des outils et méthodologies de conception [TA-03]

Fondé sur les résultats du tableau II.1, on ne peut à priori trancher entre les deux outils de conception. Toutefois, au delà des quelques limites de l'outil de conception graphique Dsp Builder™, ses nombreux avantages nous ont permis de le privilégier par rapport à un environnement de développement en langage VHDL. Ce choix est surtout justifié par la facilité d'édition des modèles et la forte interaction entre Dsp Builder™ et l'outil de développement VHDL Quartus II. En effet, il est possible d'importer des modules préconçus en VHDL et de les intégrer dans Dsp Builder™ pour minimiser le temps de développement. On peut tout aussi partir d'un modèle graphique, le convertir en VHDL afin de continuer soit le développement algorithmique, soit effectuer la synthèse logique avant le placement/routage et la programmation du FPGA. En outre, on peut bénéficier dans l'interface utilisé de la présence des *IP* qui accélèrent considérablement la conception de certaines applications.

II.2.2. Compatibilité entre Matlab/Simulink™ et Dsp Builder™

L'utilisation des outils de conception DSP pour FPGA à partir d'une description Matlab/Simulink™ soulève le problème de compatibilité entre les deux environnements de développement. La bibliothèque de Dsp Builder™ fournit des blocs fonctionnels en virgules fixe équivalents à ceux de Simulink™, pour les opérations arithmétiques, la réalisation de fonctions mathématiques, etc. Elle permet ainsi d'élaborer des architectures numériques synthétisables tandis que Simulink™ regroupe des blocs analogiques et numériques non synthétisables. Il est possible dans le cadre d'une conception d'architecture avec Dsp Builder™ que certains blocs ne soient pas disponibles. On peut citer pour la version Dsp Builder 6.1™ les éléments suivants:

- les opérateurs arithmétiques tels que
 - le *multiplieur* à plus de deux entrées,
 - le diviseur de nombres réels générant un résultat avec partie décimale
- les fonctions *trigonométriques*
 - $\sin(x)$ et $\cos(x)$ pour générer des signaux sinusoïdaux
 - $\text{acos}(x)$ pour extraire l'argument x quand on connaît la valeur $\cos(x)$
- la fonction *exponentielle* $\exp(x)$ utilisée dans la fonction sigmoïde.
- le bloc relais pour réaliser un comparateur à Hystérésis.

Pour la conception d'architectures complexes pour FPGA, il convient tout d'abord de compléter la bibliothèque Dsp Builder™ par la création des blocs additionnels synthétisables satisfaisants les fonctions non disponibles. Par la suite, il convient aussi de constituer des modules génériques facilitant le développement d'architectures pour un domaine d'application choisi.

II.3. CREATION D'UNE BIBLIOTHEQUE POUR LA MISE EN ŒUVRE DES ARCHITECTURES DE COMMANDE DES SYSTEMES ELECTRIQUES

II.3.1. Les opérateurs "grains fins"

Les architectures analogiques pour la commande d'un FAP mettent en œuvre des fonctions complexes et en particulier un grand nombre de multiplieurs et/ou de diviseurs, ainsi que des blocs trigonométriques. Lorsqu'une application particulière nécessite une grande précision ou un grand nombre d'opérateurs de calcul, la surface occupée par un module dans un circuit peut devenir un critère aussi important, sinon plus, que sa vitesse. L'arithmétique sérielle est bien adaptée à de telles applications, car elle a l'avantage d'économiser l'espace et de minimiser les

interconnexions, les nombres étant calculés et émis un à un. Dans d'autres applications, par contre, où c'est la vitesse d'un opérateur isolé qui importe, le recours à une mise en œuvre parallèle, habituellement coûteuse, peut s'avérer le seul moyen d'atteindre la vitesse requise. L'utilisation d'un FPGA pour notre application relève d'un souci d'amélioration des performances d'un FAP. Dans ce sens, la vitesse d'exécution est un critère prépondérant. C'est ainsi que pour constituer les opérateurs additionnels nous allons considérer en priorité les blocs parallèles de la bibliothèque Dsp Builder™.

II.3.1.1. Le multiplieur à entrées multiples

La complexité d'une architecture numérique à implanter dans un circuit FPGA est d'abord mesurée par sa taille en termes d'éléments logiques. En fait, lorsque le taux de remplissage du FPGA approche de sa capacité limite, la vitesse de fonctionnement se trouve très affectée par les délais d'interconnexion entre les différents éléments logiques. Par conséquent, lors de la conception d'une architecture numérique dont la cible est un circuit FPGA, il est nécessaire de limiter la complexité des fonctions arithmétiques et logiques dans les limites imposées par la taille des structures élémentaires disponibles. L'implantation d'un multiplieur, même avec des cellules dédiées, reste coûteuse en ressources et limite grandement la fréquence de fonctionnement du circuit cible.

Dans les FPGA, existent des multiplieurs embarqués aux formats de donnée standard 9x9, 18x18 et 36x36 bits. Pour l'implémentation d'un multiplieur de taille non standard, certains blocs DSP ou multiplieurs embarqués pourraient être utilisés partiellement. A titre d'exemple, dans le cas de l'implantation d'un multiplieur 12x9 bits, deux blocs DSP 9 bits ou multiplieurs embarqués 9x9 bits sont nécessaires car le format 12 bits dépasse la taille qu'ils peuvent manipuler. Ainsi, le second bloc DSP ou multiplieur embarqué sera partiellement utilisé. Toutefois, au lieu de sous-exploiter le deuxième bloc DSP ou multiplieur embarqué pour la logique restante, d'autres ressources logiques peuvent être utilisées à cet effet. Cette approche est particulièrement intéressante quand notre conception nécessite beaucoup de blocs DSP ou multiplieurs embarqués alors que d'autres ressources logiques sont disponibles. Par ailleurs, dans le but d'optimiser les ressources matérielles, en réduisant le nombre de multiplieurs ou de blocs DSP, on peut avoir recours à l'arithmétique distribuée.

L'arithmétique distribuée consiste à réaliser une multiplication en distribuant l'opération à travers plusieurs LUTs. Ainsi, une opération d'addition de variables pondérées par des coefficients, très utilisée dans les filtres FIR, peut se réaliser non plus avec autant de multiplieurs que de variables d'entrée et un additionneur, mais uniquement avec des LUTs [SE-07].

Il est aussi possible d'implanter un multiplieur en tirant partie des chemins optimisés qui permettent de cascader plusieurs cellules, et des propagations de retenues rapides. La bibliothèque de l'outil Dsp Builder™ dispose d'un multiplieur avec 8 niveaux de pipeline. Lorsque la valeur du pipeline vaut 0, il s'agit d'un multiplieur parallèle qui génère le résultat de l'opération après un coup d'horloge. Dès que cette valeur est différente de 0, le multiplieur est dit pipeliné. Le principe du pipeline est de découper une opération en N sous-opérations et d'exécuter les N sous-opérations en parallèle (sur des données différentes). Soit à multiplier une donnée sur 16 bits avec un coefficient constant sur 10 bits, le bus de données peut être séparé en deux groupes de 8 bits, un groupe des bits de poids forts (*Most Significant Bits* - MSB) et un autre groupe de bits de poids faibles (*Least Significant Bits* - LSB). Le schéma de la figure II.3 illustre cette opération par un multiplieur parallèle. A cause du fait qu'un tel multiplieur exploite une nouvelle entrée à chaque période du signal d'horloge,

l'implémentation de cette opération nécessitera trois coups d'horloge pour générer le résultat final de la multiplication. Les produits partiels LSB et MSB de 18 bits sont respectivement obtenus et stockés à chaque période d'horloge et sont par la suite additionnés conformément à leur poids pour générer un résultat sur 26 bits. En termes de ressources matérielles, cette opération peut se faire grâce à deux blocs RAM (*Random Access memory*) 4K (256x18 bits) utilisés comme des LUTs, un pour la section LSB et l'autre pour la section MSB. La multiplication parallèle a l'avantage d'être rapide mais consommatrice en ressources. En pipelinant l'opération, on augmente la latence mais on réduit la surface occupée car les sous-opérations effectuées sur des données différentes et à des instants différents peuvent partager les mêmes ressources.

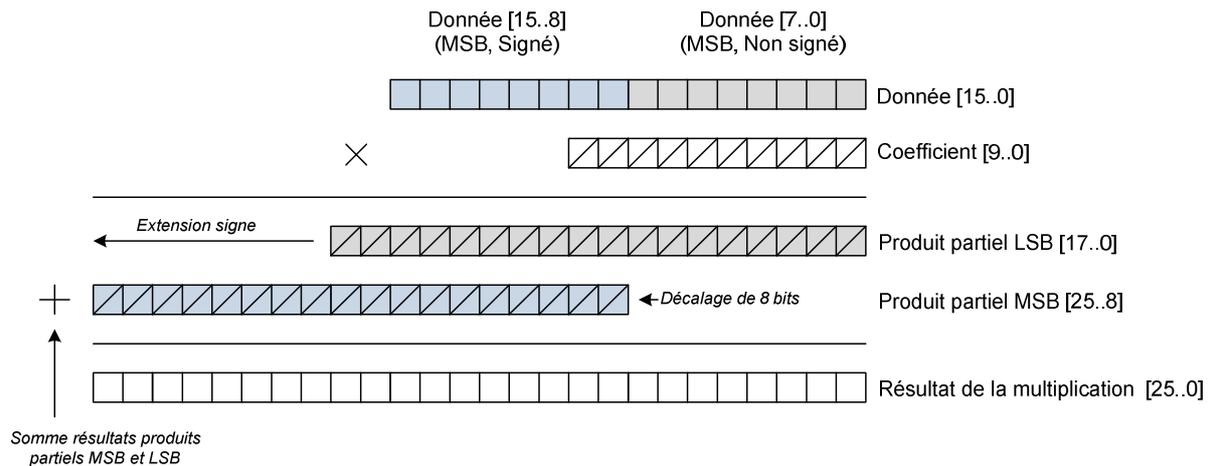


Fig II.3. Un multiplieur parallèle pour réaliser le produit une entrée 16 bits décomposée en 2 groupes et un coefficient de 10bits [Altera]

Il n'existe dans la bibliothèque du synthétiseur que nous avons utilisé qu'un multiplieur à deux entrées et un bloc "gain" correspondant à un multiplieur à deux entrées dont l'une recevant un coefficient constant. C'est ainsi que la réalisation d'un multiplieur à entrée multiples et variables ne peut se faire qu'à partir de multiplieurs à deux entrées. A titre d'exemple, un multiplieur à trois entrées e_1 , e_2 et e_3 comme celui de la figure II.4, intègre deux multiplieurs à deux entrées. Toutefois, ceci n'est pas sans conséquence sur la taille des bus de données qui augmente considérablement au niveau du résultat R. On peut ainsi paramétrer la structure obtenue de manière à limiter la taille des données en sortie. La philosophie étant ici de ne jamais calculer avec plus de précision que nécessaire.

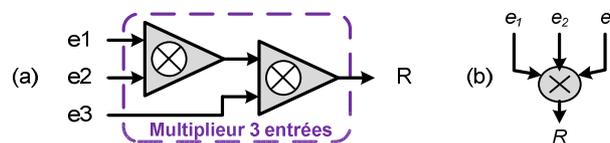


Fig. II.4. Multiplieur à trois entrées : a) structure interne – b) symbole générique

II.3.1.2. Le diviseur de nombres fractionnaires et signés

Dans la littérature scientifique, plusieurs algorithmes sont proposés pour réaliser l'opération de division dans des circuits numériques. On peut les scinder en deux catégories: les diviseurs lents et les diviseurs rapides.

Les diviseurs lents génèrent un bit du résultat final à chaque itération. Parmi les algorithmes de division lente on peut citer ceux utilisant la technique "non-restaurante" et

celui basé sur la SRT du nom de ses auteurs (Sweeney, Robertson, et Tocher) [DE-10]. La division Non restaurante utilise d'abord le jeu de nombres $\{-1,1\}$ pour représenter le quotient au lieu des nombres $\{0,1\}$. Par la suite, cette forme non standard est convertie en binaire pour obtenir la valeur finale. Quant à elle, la division SRT est très populaire pour l'implémentation sur plusieurs variétés de microprocesseurs. Elle est similaire à la méthode Non restaurante mais utilise une LUT basée sur le diviseur et le dividende pour générer chaque bit du quotient.

Les méthodes de division rapide comme celles de Newton-Raphson et de Goldschmidt commencent par une bonne approximation du quotient final et produisent deux fois autant de bits que ce quotient à chaque itération [SO-97]. La division par la technique de Newton-Raphson utilise la célèbre méthode de Newton encore appelée méthode de Newton-Raphson pour converger vers le quotient. Cette stratégie consiste à déterminer par approximations successives l'inverse du dénominateur D , qui sera multiplié par le numérateur N pour obtenir le quotient final Q . Quant à la division par la méthode de Goldschmidt utilisée dans les processeurs de la série AMD Athlon, elle utilise le développement en série de Taylor pour converger vers le quotient. La stratégie consiste à multiplier successivement le dividende et le diviseur par un facteur commun F_i à chaque itération pour faire converger le diviseur D vers 1 pendant que le dividende N converge vers le quotient Q . Ces diviseurs ont toutes des capacités à opérer en virgule flottante.

Dans DSP BuilderTM, l'opérateur de division ne permet pas de générer à partir de deux nombres réels un résultat au format réel (c'est-à-dire avec une partie décimale). En fait, ce diviseur produit plutôt un quotient et un reste en valeur entière. Afin d'obtenir un résultat unique pouvant être directement exploité dans les architectures numériques, nous avons choisi de constituer un diviseur amélioré, à partir du diviseur existant dans la bibliothèque du synthétiseur. Dans cette nouvelle structure, un facteur multiplicatif est appliqué au numérateur avant la division classique, pour obtenir un résultat avec une précision paramétrable. Par la suite, le résultat attendu au format réel est obtenu par l'application d'un gain de valeur inversement proportionnelle au facteur initial comme on peut le voir à la figure II.5.

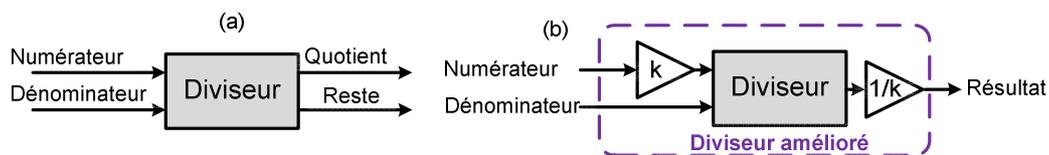


Fig. II.5. Diviseur amélioré : a) Diviseur de Dsp BuilderTM - b) Modèle du diviseur amélioré

Le facteur k permet de contrôler la précision de la division, dans ce sens que, plus k est élevé, plus grande est la précision. Toutefois la précision sera toujours limitée à une valeur satisfaisante à cause de la contrainte sur la taille des bus de données dans l'outil de synthèse choisi et celle liée aux ressources disponibles.

II.3.1.3. Les blocs trigonométriques

Dans la commande du FAP et la fonction d'identification des harmoniques en particulier, il faut faire face à plusieurs difficultés afin de générer les sinusoïdes qui constitueront dans la plupart des cas les entrées des Adalines. Le premier écueil se trouve dans le calcul des cosinus et sinus de la phase de l'échantillon considéré, le second dans la multiplication par le coefficient d'amplitude.

L'opération de multiplication est déjà exposée à la sous-section II.3.1.1. Concernant les générateurs de sinusoides, de nombreux travaux existent au sujet de leur synthèse numérique. Les principales utilisent soit des ROM (*Read Only Memory*) dans lesquelles sont stockés des échantillons pré-calculés, soit une décomposition en série de Taylor de la fonction cosinus pour la traiter à l'aide de fonctions plus simples [SO-01], [DE-02]. En théorie, en accédant à l'adresse 2^i de cette ROM, on obtient la valeur suivante :

$$E_i = \cos\left(i * \frac{2\pi}{2^N}\right) \text{ avec } i \in \{0, 2^{N-1}\} \quad (2.1)$$

Dans le domaine numérique, la précision des échantillons stockés en ROM est forcément limitée, aussi les valeurs des E_i calculées précédemment sont limitées à l bits en pratique. Le nombre de bits de la ROM résultante est donc de $2^N.l$. Plus le nombre d'échantillons stockés dans la ROM est important, plus l'intervalle de phase entre deux échantillons successifs est faible. De même, plus l est grand, plus l'erreur de quantification sur l'amplitude est faible. Pour obtenir une bonne précision, à la fois en phase et en amplitude, il est souhaitable d'utiliser une ROM aussi importante que possible. Cela a cependant des conséquences néfastes sur la fréquence d'horloge maximale que peut atteindre le circuit cible et sur la surface occupée.

Il est possible en pratique d'utiliser des techniques de compressions de ROM pour réduire la surface occupée par les ROM chargées de produire les échantillons de sinusoides. La méthode la plus directe consiste à ne pré-calculer d'échantillons que pour un seul quadrant du cercle trigonométrique, et à exploiter les symétries de la fonction cosinus pour évaluer les angles situés dans les autres quadrants, grâce à des opérations combinatoires simples [NI-98]. D'autres architectures de génération des sinusoides reposent sur des filtres ou des systèmes d'interpolation [SO-04]. Une nouvelle architecture parallèle utilisant un processeur CORDIC modifié a été présentée dans [AR-06]. L'architecture résultante autorise l'utilisation efficace d'un pipeline avec recodage de l'angle, qui permet d'obtenir un chemin critique court et donc une fréquence de fonctionnement du circuit FPGA plus importante. A précision égale, un processeur ainsi modifié occupe beaucoup moins de surface qu'une architecture à base de ROM équivalente, il peut donc être dupliqué pour autoriser le traitement en parallèle de plusieurs échantillons.

Le FPGA Stratix II utilisé dans nos travaux peut être considéré aujourd'hui comme un circuit de densité moyenne. C'est ainsi que nous faisons le choix d'adopter une architecture à base de ROM pour la modélisation des blocs trigonométriques, mais avec un choix judicieux du nombre d'échantillons et du format de données générées. Des blocs comme le cosinus et le sinus seront alors créés grâce à une LUT qui contiendra les valeurs des cosinus et sinus pré-calculées sur une période. La figure II.6 présente l'évolution de la fonction $acos$ réalisée aussi selon cette approche dans laquelle un nombre fini d'arguments en radians de la fonction cosinus est stocké dans une LUT, pour des valeurs du cosinus comprises dans l'intervalle $[0,1]$. Une technique de compression du contenu de la ROM pourra en cas de besoin nous permettre de minimiser les ressources d'implémentation.

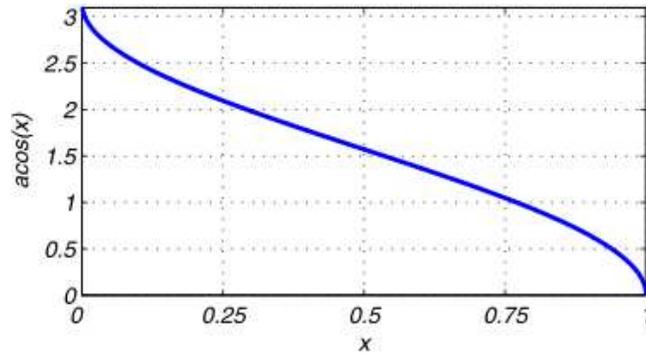


Fig. II.6. Variation de la fonction cosinus inverse

II.3.2. Les opérateurs de transformation vectorielle

II.3.2.1. La Transformation de Concordia

La transformée de Concordia C_o , est un outil mathématique utilisé en Electrotechnique afin de modéliser un système triphasé grâce à un modèle diphasé. Nous avons vu un exemple d'utilisation à la section 1.3.5.1 dans les méthodes $p-q$ et SRF pour l'identification des courants de référence. De manière générale, le passage d'un système de courants ou tensions du repère abc vers un repère $0\alpha\beta$ donne ce qui suit :

$$\begin{bmatrix} X_0 \\ X_\alpha \\ X_\beta \end{bmatrix} = C_o \begin{bmatrix} X_a \\ X_b \\ X_c \end{bmatrix} = \begin{bmatrix} \frac{1}{\sqrt{3}}(X_a + X_b + X_c) \\ \sqrt{\frac{2}{3}}(X_a - \frac{1}{2}X_b - \frac{1}{2}X_c) \\ \frac{1}{\sqrt{2}}(X_b - X_c) \end{bmatrix} = \begin{bmatrix} \frac{1}{\sqrt{3}}X_a + \frac{1}{\sqrt{3}}X_b + \frac{1}{\sqrt{3}}X_c \\ \sqrt{\frac{2}{3}}X_a - \frac{1}{\sqrt{6}}X_b - \frac{1}{\sqrt{6}}X_c \\ \frac{1}{\sqrt{2}}X_b - \frac{1}{\sqrt{2}}X_c \end{bmatrix} \quad (2.2)$$

Ainsi, l'architecture de transformation de Concordia peut se présenter comme sur la figure II.7 selon deux modèles schématiques qui permettent aussi de représenter le flot de données. Le modèle de la figure II.7 a) utilise 3 additionneurs et 6 multiplieurs pour 3 phases de calculs respectivement à travers les gains d'entrée, les additionneurs et les gains de sortie. Quant au modèle de la figure II.7 b), il utilise en plus des 3 additionneurs, 8 multiplieurs à travers les gains d'entrée pour 2 phases de calculs seulement.

Le modèle nouvellement constitué qui correspond à une approche parallèle consomme plus de ressources du fait du nombre élevé de multiplieurs. Par contre, il se caractérise par un temps d'exécution court. La méthodologie d'Adéquation algorithme Architecture (A^3) qui consiste à remplacer une opération répétée n fois par m exemplaires de cette même opération ($m < n$), avec m égal à un la plupart du temps, ne sera mise en œuvre qu'en cas de contraintes de surface particulièrement exigeantes. Dans ce cas, la tendance à l'utilisation du modèle de la figure II.7 a) correspond à une approche série. De manière générale, cette transformation correspond à une structure simple dans la mesure où tous ses blocs se retrouvent directement dans la bibliothèque Dsp BuilderTM.

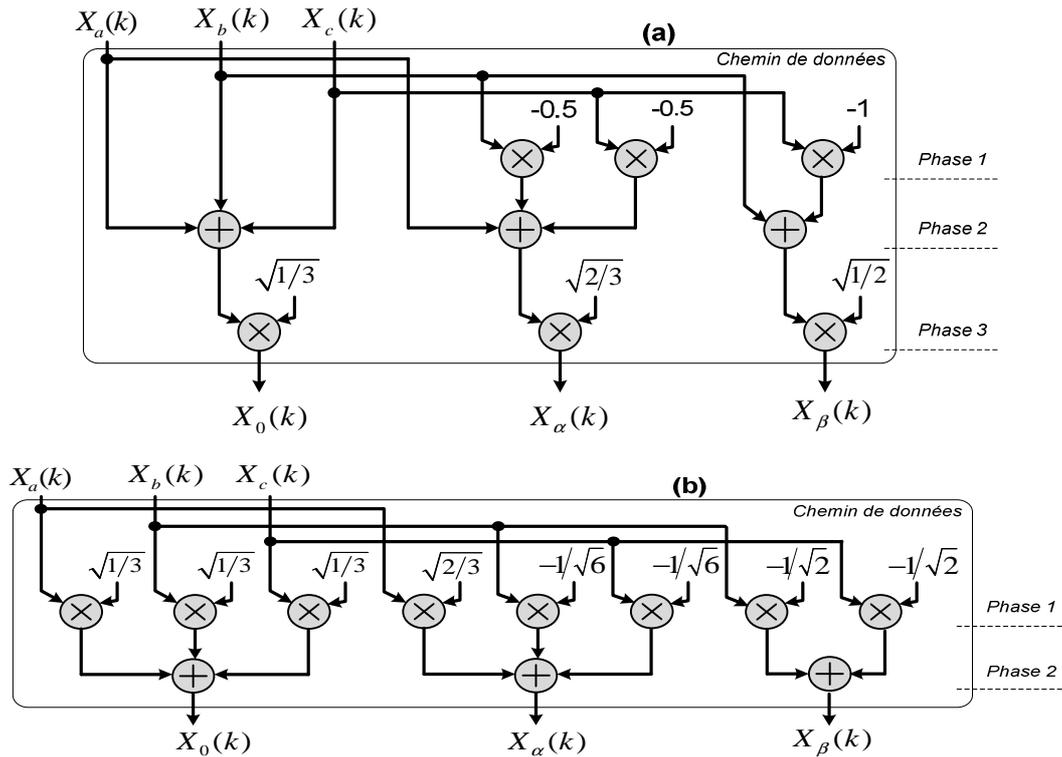


Fig. II.7. Architecture de la transformation de Concordia – (a) Modèle avec 3 phases de calcul et 6 multiplieurs (b) Modèle équivalent avec 2 phases et 8 multiplieurs

II.3.2.2. La Matrice de rotation de Park

La matrice de rotation de Park, est utilisée afin de réaliser un changement de repère dans un système d'axe diphasé ou triphasé. Elle est généralement exploitée pour passer d'un repère « fixe » $\alpha\beta$ lié au stator d'une machine électrique à un repère tournant DQ lié à son rotor ou au champ magnétique. Elle sera aussi utile dans notre application de filtrage actif pour modéliser certaines méthodes d'identification d'harmoniques de courant. Si nous appliquons la relation de transformation de Concordia sur un signal X permettant le passage au repère $\alpha\beta$, la matrice de rotation de Park notée ρ nous permettra d'obtenir par la suite ce signal dans le repère DQ selon la relation 2.3.

$$\begin{bmatrix} X_D \\ X_Q \end{bmatrix} = \rho(\hat{\theta}) \begin{bmatrix} X_\alpha \\ X_\beta \end{bmatrix} = \begin{bmatrix} X_\alpha \cos(\hat{\theta}) + X_\beta \sin(\hat{\theta}) \\ -X_\alpha \sin(\hat{\theta}) + X_\beta \cos(\hat{\theta}) \end{bmatrix} \quad (2.3)$$

A partir des expressions de la relation 2.3, on peut déduire l'algorithme de rotation de Park selon la structure de la figure II.8.

Il est à noter que les multiplieurs à deux entrées et le gain de valeur -1 sont des blocs de la bibliothèque de l'outil de synthèse tandis que les signaux $\cos \hat{\theta}$ et $\sin \hat{\theta}$ sont issus des blocs trigonométriques « grains fins » élaborés par nos soins selon le principe présenté à la sous-section II.3.1.3.

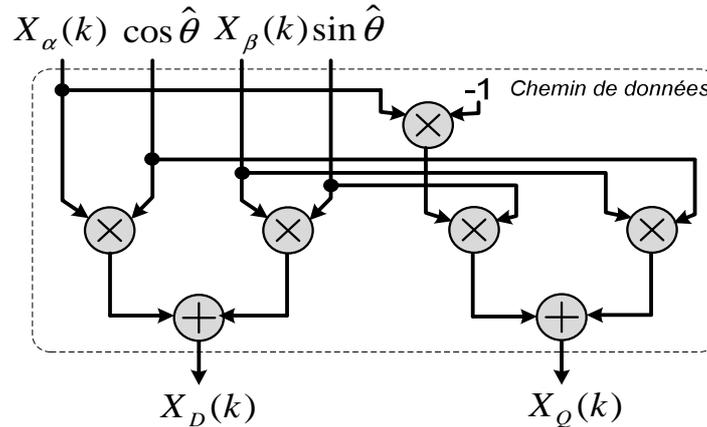


Fig. II.8. Architecture de la matrice de rotation de Park

II.3.3. Les blocs spécifiques

II.3.3.1. Le Régulateur Proportionnel et Intégral

Si on considère X et Y comme les variables d'entrée sortie d'un régulateur PI analogique, sa fonction de transfert dans le domaine de Laplace est de la forme (2.4).

$$R(p) = \frac{Y(p)}{X(p)} = K_p + \frac{K_I}{p} \quad (2.4)$$

où K_p représente le gain proportionnel et K_I le gain intégral. L'élaboration de son modèle dans l'outil de synthèse Dsp Builder™ passe par la discrétisation du modèle analogique. A cet effet, on peut utiliser la transformation bilinéaire ou de Tustin qui consiste à appliquer à la fonction de transfert $R(p)$ du régulateur synthétisée en continu un changement de variable

$$p = \frac{2}{T_e} \frac{Z-1}{Z+1}, \text{ avec } Z \text{ la variable utilisée pour la transformée en } Z \text{ et } T_e \text{ la période}$$

d'échantillonnage. On montre aisément que grâce à cette transformation, la propriété de stabilité des pôles est conservée. On peut dans le même but, retrouver avec la même efficacité son modèle dans le domaine en Z par la méthode de l'échantillonneur bloqueur d'ordre 0 (*Zero Order Hold* - ZOH) ou en remplaçant l'intégrateur $\frac{1}{p}$ dans son expression par $\frac{T_e}{Z-1}$. Dans ce cas, on en déduit alors la relation suivante :

$$R(Z) = \frac{K_p + K' Z^{-1}}{1 - Z^{-1}} \quad (2.5)$$

$$\text{avec } K' = K_I T_e - K_p$$

L'expression de ce régulateur PI, qui lie sortie Y à l'entrée X dans le domaine en Z, nous permet de proposer la structure algorithmique de la figure II.9.

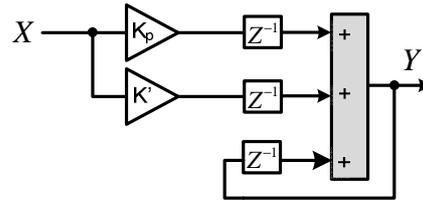


Fig. II.9. Modèle discret du régulateur proportionnel intégral.

A l'observation de l'architecture du régulateur PI classique en mode discret, on constate que sa réalisation peut se faire aisément à l'aide d'un additionneur à trois entrées, de trois blocs retard, et de deux gains.

II.3.3.2. Le comparateur à Hystérésis

L'architecture d'un comparateur à Hystérésis obtenu dans Dsp BuilderTM est présentée à la figure II.10. A l'entrée 1, on a le signal à comparer à un gabarit appelé bande d'hystérésis (BH) dont la valeur est affectée à l'entrée 2. Dès que le signal atteint la limite supérieure de la bande ($+BH/2$) ou la limite inférieure ($-BH/2$), la sortie 1 prend respectivement les valeurs 1 ou 0. Par contre, quand la valeur du signal se trouve à l'intérieur de la bande ($-BH/2 < \text{signal} < +BH/2$), la sortie 1 reste inchangée. Quant à la sortie 2, elle est tout simplement le complément de la sortie 1.

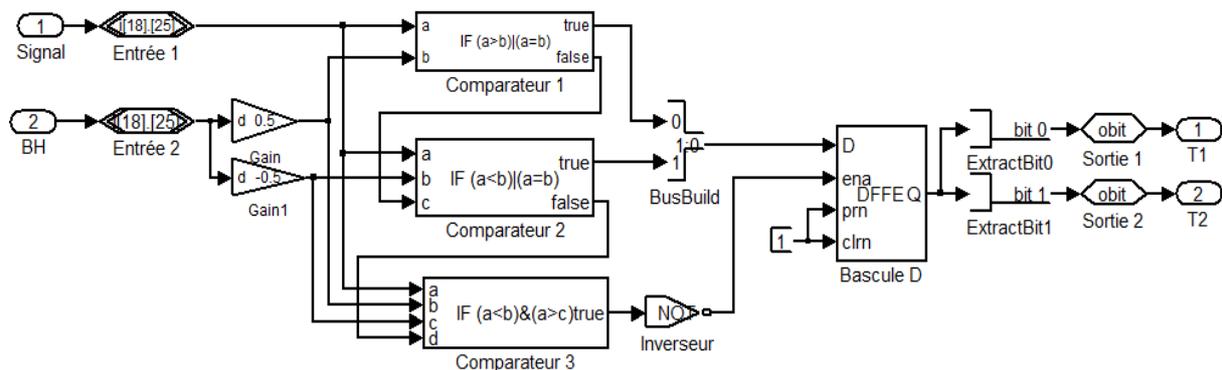


Fig. II.10. Structure d'un comparateur à Hystérésis

- Le comparateur 1 permet de tester si le signal atteint la bande supérieure
- Le comparateur 2 permet de tester si le signal atteint la bande inférieure
- Le comparateur 3 permet de tester si le signal est à l'intérieur de la bande. Dans ce cas, la bascule D permet aux sorties de mémoriser l'état des comparateurs 1 et 2.
- Les blocs *Gain* et *Gains1* permettent d'obtenir la limite supérieure et la limite inférieure de la bande Hystérésis BH .

Dans la commande d'un FAP, ce comparateur est souvent utilisé dans la boucle de contrôle de courant pour fournir les ordres de commande aux semi-conducteurs de l'onduleur de manière à maintenir le courant réel de compensation à l'intérieur de la bande. Pour illustrer le fonctionnement d'un comparateur Hystérésis, si on lui applique le signal de différence ($i_{ref} - i_f$), la figure II.11 nous permet d'observer les impulsions T_I de commande ainsi que le courant i_f obtenu en sortie de l'onduleur. Nous remarquons bien que ce dernier est confiné dans la bande.

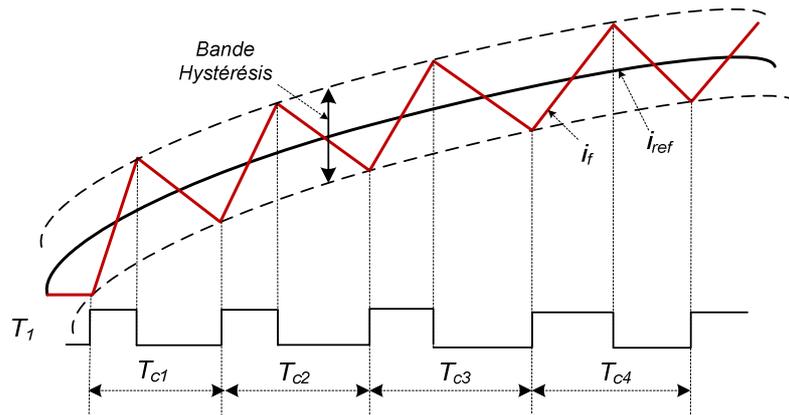


Fig. II.11. Illustration du fonctionnement d'un comparateur Hystérésis

II.3.4. Les opérateurs synthétisant les fonctions neuromimétiques

II.3.4.1. Le bloc "Apprentissage" de Widrow-Hoff

L'algorithme d'apprentissage utilisé dans nos travaux est celui de Widrow-Hoff modifié présenté à la section I.4.3. Selon sa structure fonctionnelle présentée à la figure II.12, son architecture est constituée d'un additionneur, d'un multiplieur à trois entrées et d'un diviseur.

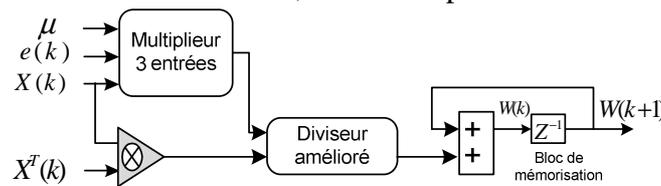


Fig. II.12. Structure fonctionnelle de l'algorithme d'apprentissage de Widrow-Hoff

II.3.4.2. La fonction d'activation (sigmoïde)

On retrouve essentiellement deux fonctions d'activations dans notre application : La fonction d'activation linéaire utilisée pour les Adalines et la fonction d'activation Sigmoïde qu'on retrouve dans les réseaux de neurones de type perceptrons multicouches. Cette dernière, qui est présentée à la figure II.13, répond à la relation mathématique (2.6).

$$f(x) = \frac{1}{1 + e^{-x}} \quad (2.6)$$

Fondé sur cette expression, on peut simple réaliser la fonction sigmoïde à l'aide d'une fonction exponentielle, d'un additionneur à deux entrées et d'un diviseur. La fonction exponentielle peut être simplement réalisée à base d'une ROM de type LUT dans laquelle sont stockés des échantillons pré-calculés sur une plage bien choisie. On peut obtenir un modèle simplifié de la fonction sigmoïde en mettant dans la LUT directement les valeurs correspondant au dénominateur de la fonction. Ce qui nous permettrait d'avoir la structure de calcul de la figure II.13 a). Il est tout aussi possible de réaliser cette fonction uniquement à partir d'une LUT, faisant ainsi abstraction de l'utilisation du diviseur, dans la perspective d'une implantation sur FPGA plus efficace. Dans tous les cas de figure, la simulation présentée à la figure II.13 b) permet de retrouver le comportement de la fonction sigmoïde pour une variable d'entrée quelconque.

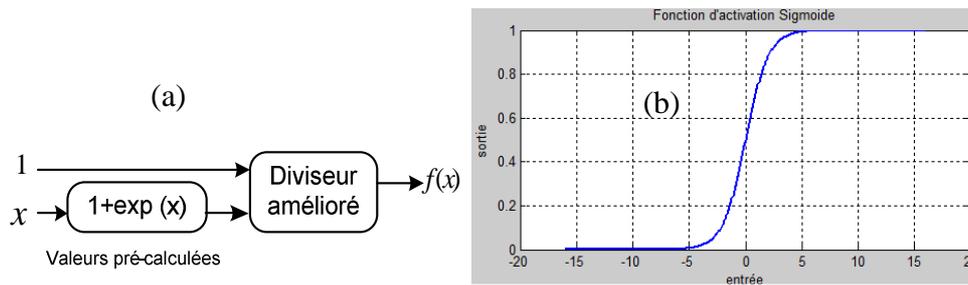


Fig. II.13. Fonction sigmoïde – (a) Structure fonctionnelle, (b) Résultat de simulation

C'est donc une fonction à seuil car, à l'observation de la courbe correspondante, les droites $y=0$ et $y=1$ sont asymptotes horizontales. Par ailleurs, la fonction d'activation linéaire est la plus utilisée d'autant plus qu'elle caractérise les Adalines, structure neuronale systématiquement privilégiée dans nos travaux du fait de sa simplicité et par ricochet son taux réduit de consommation de ressources de calcul. Etant donnée que cette fonction répond généralement à la relation suivante $f(x) = x$, elle sera modélisée tout simplement par un bloc à gain unitaire.

II.3.4.3. Le Régulateur PI neuronal

Un régulateur PI peut aussi se présenter sous la forme d'un réseau de neurones. En effet, l'architecture de la figure II.14 est un Adaline souvent utilisé dans les architectures neuronales comme correcteur PI, et chargé d'apprendre instantanément les valeurs du gain proportionnel et du gain intégral.

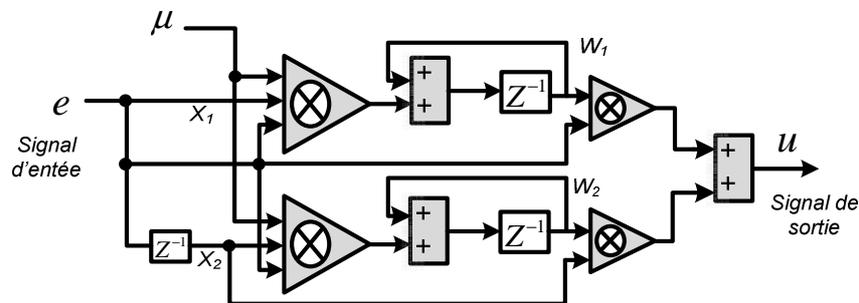


Fig. II.14. Représentation d'un régulateur PI avec un Adaline

Les entrées de l'Adaline X_1 et X_2 correspondent respectivement au signal d'entrée e et sa valeur à l'instant précédent. u est la réponse du régulateur et μ est le coefficient d'apprentissage grâce auquel l'Adaline peut mettre à jour ses poids W_1 et W_2 correspondant respectivement aux gains proportionnel et intégral. La structure ainsi présentée comporte

- deux multiplieurs à deux entrées
- deux multiplieurs à trois entrées
- trois additionneurs à deux entrées
- trois blocs retard

II.4. CONCEPTION MODULAIRE DE L'ALGORITHME DE COMMANDE DU FAP

L'implantation des algorithmes de commande des systèmes électriques dans leur intégralité sur des cibles matérielles telles que les FPGA est une démarche qui nécessite une parfaite

maîtrise des processus de conception et un travail spécifique d'adéquation entre l'algorithme et l'architecture de commande à intégrer. Les méthodes de développement sont généralement conçues en ayant comme objectif la mise au point d'architectures génériques et réutilisables dans différentes applications. Plus précisément, nous nous focaliserons sur le développement d'architectures prenant en compte l'ensemble des contraintes inhérentes à ce type de conception, tout en apportant une flexibilité de développement suffisante.

II.4.1. Approche de conception architecturale

Les étapes de développement de l'architecture à implanter sont principalement effectuées via le logiciel Matlab/Simulink™ ainsi que les outils CAO des solutions matérielles. Avant d'élaborer une approche architecturale propre aux commandes intégrées de systèmes électriques, il est tout d'abord nécessaire de préciser le sens que l'on donne généralement aux notions d'algorithme et d'architecture associée.

Un algorithme peut être défini comme est une séquence finie d'opérations que l'on place dans un contexte réaliste et fini en termes de temps et de support matériel. On se contente généralement d'un ordre établi par les dépendances de données entre opérations, décrivant un parallélisme potentiel inhérent à l'algorithme, indépendant du parallélisme disponible du circuit intégré. L'approche adoptée dans nos travaux emploiera une représentation appelée Graphe Flot de Données (GFD), dans laquelle l'algorithme est décomposé en plusieurs opérations implantables (pour lesquelles on dispose d'opérateurs). Dans notre cas, nous limiterons, au plus bas niveau, cette décomposition aux opérateurs arithmétiques tels que +, -, *, /, et aux blocs retard, comparaison, etc. que nous nommerons opérateurs *grain fin*. Plus on s'éloigne de ce niveau de base, plus la granularité augmente et les opérateurs s'épaississent. On parlera dans ce cas d'opérateurs *gros grains*.

La traduction sous forme de GFD des opérations se présente différemment selon que l'on veuille mettre en avant les contraintes plutôt matérielles que temporelles (ou inversement) de l'algorithme à implanter. Comme le montre la figure II.7, la structuration du GFD peut ainsi être séparée en deux types d'approche :

- l'approche série qui permet d'exécuter le plus d'opérations séries possibles (figure II.7 a) est moins gourmande en ressources.
- l'approche parallèle qui permet d'exécuter le plus d'opérations parallèles possibles (figure II.7 b) en un temps plus court.

Pour notre application de filtrage actif, nous allons privilégier une approche série-parallèle qui réalise un compromis entre surface et vitesse d'exécution.

Une architecture correspond aux caractéristiques structurelles d'un circuit intégré, exhibant un *parallélisme disponible*, en général moindre que le *parallélisme potentiel* de l'algorithme. Le modèle d'architecture le plus connu est le modèle constitué d'un chemin de données fait d'opérateurs arithmétiques et d'éléments logiques rudimentaires, le tout séquencé par un contrôleur. Le type de contrôleur appliqué est souvent un modèle à base de machine d'états finis.

L'établissement d'une architecture ne peut se faire qu'en tenant compte à la fois de la structure de l'algorithme à implanter et des spécificités fonctionnelles et économiques du circuit qui en découle. Il s'agit donc toujours de chercher une adéquation entre algorithme et architecture, pour reproduire la fonctionnalité de l'algorithme implanté, sachant qu'il n'existe pas de solutions architecturales idéales ou parfaitement optimisées.

En fait, le concepteur doit aujourd'hui résoudre des problèmes de conception de plus en plus complexes et divers. C'est ainsi que pour aider les concepteurs dans leur démarche, dès

1980, Mead et Conway se sont intéressés à des principes de conception moderne, en introduisant des notions telles que la *modularité* et la *réutilisabilité* [ME-80]. Ces techniques de conception détaillées dans [KE-02] nous ont paru très opportunes car pouvant facilement se prêter, à l'approche architecturale dédiée à la commande de systèmes électriques en général et des FAPs en particulier.

II.4.2. Généralités sur le partitionnement modulaire d'une architecture de commande

II.4.2.1. Présentation des principes de partitionnement modulaire

Le but principal de la conception modulaire est de permettre au concepteur de prendre en main des développements complexes à réaliser, tout en minimisant au maximum le temps de conception de ces derniers. La méthodologie qui découle de cette approche doit respecter des règles assez strictes de partitionnement. Dès le début des années 1980, S. Trimberger est parmi les premiers à établir les règles méthodologiques de conception modulaire en définissant deux concepts de modularité [TR-81] :

- le concept de *hiérarchie* qui est utilisée pour diviser une conception large ou complexe en sous-systèmes plus modulables.
- le concept de *régularité* qui a pour but de maximiser la réutilisation des composants et des sous-systèmes déjà conçus.

Finalement, comme l'indique A.A. Jarraya dans son ouvrage de référence [JE-97], on peut regrouper les principes de conception modulaire des circuits VLSI en trois principales étapes de réalisation :

- *le partitionnement* : il peut être appliqué à partir des spécifications systèmes de manière à diviser le système en simples sous-systèmes ou modules. Cette étape a aussi pour but de structurer la conception en vue d'établir une hiérarchie dans la décomposition modulaire de la spécification initiale.
- *la conception de module* : chaque module ainsi généré peut être conçu indépendamment en utilisant une bibliothèque spécifique de composants. Ces derniers pouvant inclure des éléments standards déjà existants comme des modules spécifiques qui auraient pu être réalisés lors de précédents cycles de conception.
- *l'extraction de module réutilisable* : l'extraction du sous-système doit être pensée en vue de rendre possible sa réutilisation comme un élément de bibliothèque spécifique de composants.

Dans la commande de systèmes électriques, le contexte périphérique, matériel, fonctionnel et algorithmique, entraîne de nombreuses difficultés dans le choix architectural de la conception. Pourtant, de ces choix architecturaux dépendront les performances de la commande implantée. Il est donc fondamental pour réussir notre décomposition modulaire d'établir des critères stricts de partitionnement répondant aux spécificités de la commande, tout en respectant les principes de modularité définis précédemment.

II.4.2.2. Critères de partitionnement modulaire

Le partitionnement modulaire, que nous allons définir, va s'appuyer sur des critères spécifiques de regroupement des sous-blocs définis lors du partitionnement algorithmique et constituant le GFD à différents niveaux de granularité. Cependant, dans cette phase de composition, l'environnement matériel de la commande à implanter, doit également être pris en compte en vue de satisfaire à toutes ces spécificités propres fixées par le cahier des charges

de la conception. Certains critères de partitionnement modulaire pour les commandes de systèmes électriques ont été définis dans [KE-02]. Parmi ces critères, quatre d'entre eux retiennent notre attention :

- *le critère de réutilisabilité*, regroupant dans le même module des sous-blocs algorithmiques similaires pouvant donner lieu à une conception indépendante et à une exploitation ultérieure lors d'une nouvelle phase de conception. Ce critère de sélection modulaire est également repris lors de l'extraction des modules ainsi définis et placés dans une bibliothèque spécifique.
- *le critère d'intégration*, regroupant dans le même module les sous-blocs algorithmiques dont les contraintes en termes de fonctionnalité et de développement économique sont les plus fortes. C'est le cas pour les commandes qui nécessitent un temps d'exécution très court et une consommation minimale des ressources du composant cible.
- *le critère de performance fonctionnelle* regroupant dans le même module les sous-blocs algorithmiques dont dépendent les résultats de fonctionnalité et de performance de la commande. Dans certains cas, la commande nécessite que l'on traite plus spécifiquement des parties algorithmiques de cette dernière en vue de dégager un bénéfice en termes de précision ou de rapidité.
- *le critère d'homogénéité* regroupant dans le même module les sous-blocs algorithmiques dont la structure peut être considérée comme homogène et pouvant donner lieu à la génération automatique d'une architecture. Ce critère intervient lors d'algorithmes complexes où le concepteur repère des parties algorithmiques importantes et à caractéristiques homogènes. On pense par exemple à des filtres classés d'ordre élevé appartenant à un même algorithme.

Pour conclure sur le partitionnement modulaire, maintenant que nous en connaissons les grandes lignes, il est important de rappeler au concepteur que le partage d'une fonctionnalité en modules reste délicat à réaliser. En effet, une description trop grossière engendrerait des sous-blocs avec une fonctionnalité trop variée, donc complexe et peu réutilisable. Par contre, une architecture trop fine pourrait devenir trop complexe en surchargeant le concept avec des détails inutiles.

II.4.3. Architectures modulaires de commande d'un FAP

De manière générale, l'algorithme de commande d'un système électrique peut être décomposé en quatre blocs algorithmiques représentant le regroupement en catégories de sous-algorithmes régulièrement utilisés. A la lumière de la description structurelle des commandes modernes de FAP, on peut citer :

- le bloc algorithmique *Transformation* qui regroupe les sous-algorithmes, spécifiques de transformation et de conditionnement (algorithmes de Park, Concordia, etc).
- le bloc algorithmique *Identification* regroupe les sous-algorithmes spécifiques de calcul en vue de l'estimation de grandeurs impliquées dans le processus de commande (calcul de courants, estimation des puissances, détection de la phase instantanée, etc.)
- le bloc algorithmique *Régulation* qui regroupe les sous-algorithmes spécifiques de correction des grandeurs de contrôle (PI, PID, RST, etc),
- le bloc algorithmique *Modulation* qui regroupe les sous-algorithmes spécifiques de modulation (MLI intersective ou vectorielle, etc).

La représentation de la figure II.15 peut-être généralisée à une grande majorité des structures de commande de systèmes électriques.

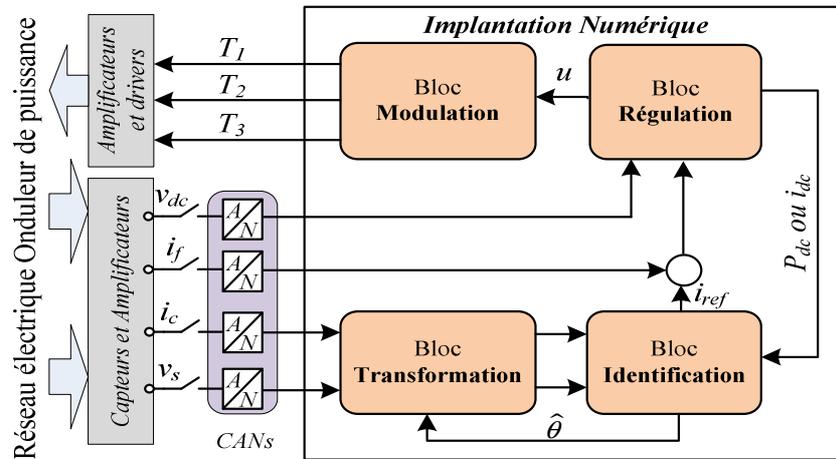


Fig. II.15. Structure algorithmique de la commande d'un FAP

Il est important de noter qu'à ce stade de représentation de l'algorithme, on peut percevoir chaque bloc comme constitué de sous-blocs algorithmiques et décrire ainsi de façon hiérarchique la commande sous la forme d'un GFD à différents niveaux de granularité jusqu'aux opérateurs arithmétiques et autres opérateurs "grains fins"

La structure ainsi constituée permet de mettre en évidence des blocs homogènes pour des applications transversales pouvant être réutilisés dans des fonctionnalités différentes de la commande d'un système électrique. Toutefois, la visibilité en termes de chemin des données n'est pas évidente. En fait, une autre approche de conception modulaire consiste à définir des blocs algorithmiques de manière à traduire selon une chronologie bien établie le passage des signaux à travers ces blocs à partir de l'entrée vers la sortie du modèle de commande. De cette façon, pour la conception de l'architecture de commande à implanter, un chemin de données et une unité de contrôle sont définis pour chaque module afin de garder une certaine homogénéité et un caractère de réutilisabilité. De plus l'architecture de chaque module développé doit être caractérisée par le format de ses entrées/sorties, sa latence et son protocole de communication. La latence correspond au nombre de coups d'horloge nécessaires pour que la donnée de sortie soit disponible.

Le chemin de données est construit à partir d'opérateurs élémentaires et le transfert de données entre ces opérateurs est assuré par l'unité de contrôle synchronisée à un signal d'horloge *Clk*. L'unité de contrôle de chaque module est activée par une impulsion d'un signal *Debut*. Ensuite, quand le calcul des données de sortie est achevé, une impulsion d'un signal *Fin* indique que les données de sortie sont prêtes. Un tel mode de fonctionnement rend facile le contrôle de chaque module conçu via les signaux *Debut* et *Fin* et facilite son intégration à l'intérieur d'une architecture de niveau hiérarchique plus élevé. La coordination entre ces modules est assurée par une unité de contrôle de l'algorithme de commande complet qui active leurs unités de contrôle locales à des instants bien déterminés comme le montre la figure II.16. Ce partitionnement permet d'implémenter une commande de FAP dans laquelle l'identification des courants de référence se fait par les méthodes *p-q* ou la méthode *SRF* selon que le signal "*Sel*" de commande simultanée du multiplexeur et du démultiplexeur soit à la position "1" ou "0". Une architecture modulaire simplifiée peut être obtenue pour les méthodes directe et tri-monophasée qui n'exploitent que quatre blocs (en vert).

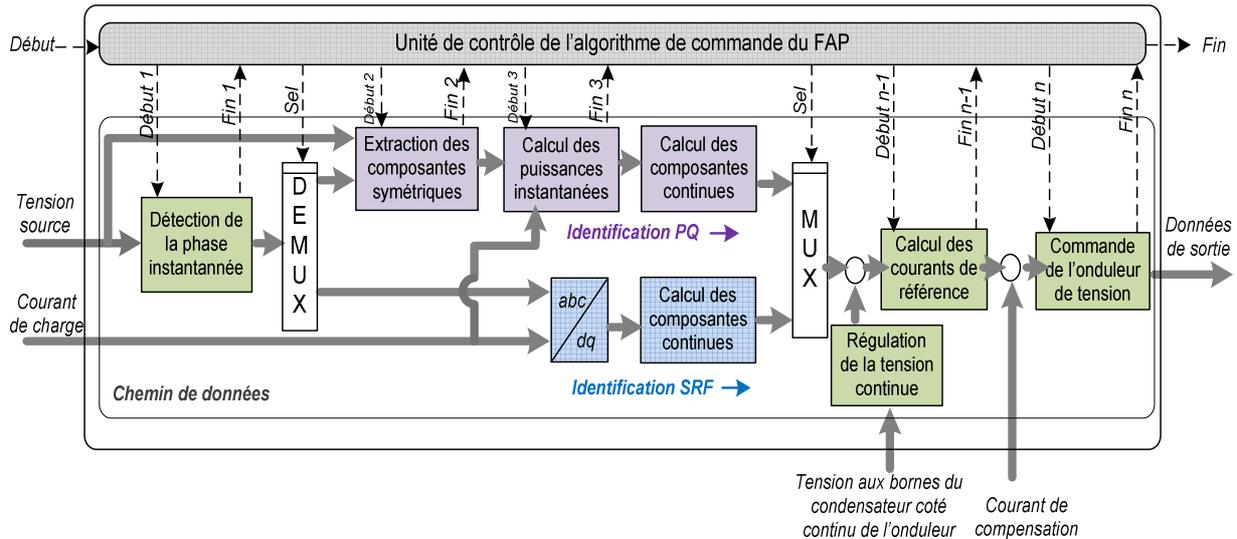


Fig. II.16. Structure modulaire de commande du FAP avec identification $p-q$ et SRF

II.4.4. Analyse temporelle

Le diagramme temporel caractérisant le mode de fonctionnement de cette architecture est donné par les figures II.17 et II.18. L'unité générale de contrôle de l'architecture de commande du FAP assure le contrôle des différents modules parmi lesquels quatre sont indépendants de la méthode d'identification choisie. Il s'agit :

- du module de détection de la phase instantanée
- du module de régulation de la tension continue
- du module de calcul des courants de référence
- du module de contrôle des courants

Dans le cas où l'identification du courant de référence se fait par la méthode $p-q$, on retrouvera en plus :

- un module d'extraction des composantes symétriques de tension
- un module de calcul des puissances instantanées
- un module de calcul de composantes continues de puissances

Dans une méthode d'identification SRF , le calcul des courants de référence se fait tout simplement par une transformation de Park inverse ($DQ - abc$). D'autre part, les modules supplémentaires sont plutôt :

- un module de transformation de Park directe ($abc - DQ$)
- un module de calcul de composantes continues de courants

Le diagramme temporel présente les différentes opérations nécessaires pour la génération des signaux de commande *via* l'architecture de commande donnée par la figure II.16. A l'instant t_k , qui marque le début de la période d'échantillonnage k , les courants de charge et ceux injectés au réseau par le filtre ainsi que les tensions source et celui mesuré côté continu de l'onduleur sont échantillonnés et le processus de conversion analogique numérique est activé. Au même instant t_k , les blocs MUX et $DEMUX$ sont sélectionnés pour permettre le choix de la méthode d'identification. En plus, les modules "Détection de la phase instantanée" et "Régulation de la tension continue", commandés par leur propre unité de contrôle sont activés.

Après un temps de calcul égal à t_θ , la phase instantanée estimée $\hat{\theta}$ est générée et le module d'extraction des composantes symétriques de tension est activé pour ce qui concerne l'identification par la méthode $p-q$. Ces composantes disponibles après un temps de calcul égal à t_{vd} permettent le calcul des puissances instantanées qui se fait pendant un temps t_{pq} . Dès cet

instant, démarre le calcul des composantes continues de puissance par filtrage. A la composante continue active s'ajoute la puissance active issue du module "régulation de la tension continue" dont le temps de calcul est de t_{vdc} . Le calcul des courants de référence peut alors se faire en t_{ref} et l'activation simultanée du module de commande de l'onduleur permet de générer en t_{CONT} les impulsions $T_{1,2,3}$. Le prochain cycle de calcul correspondant à la $(k+1)^e$ période d'échantillonnage est activé à l'instant t_{k+1} immédiatement après la fin du processus de conversion analogique numérique de la k^e période d'échantillonnage.

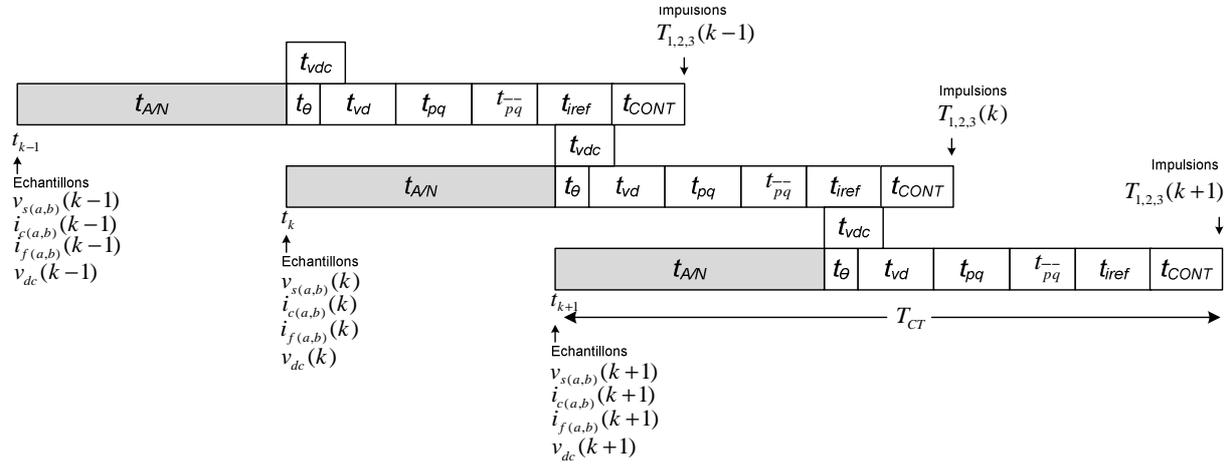


Fig. II.17. Diagramme temporel de l'architecture de commande d'un FAP (identification $p-q$)

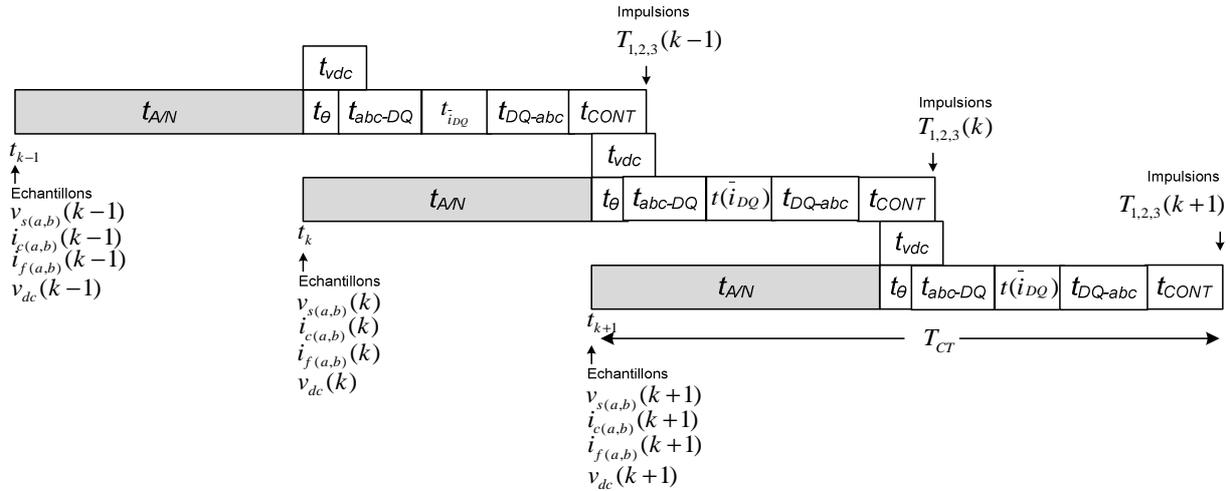


Fig. II.18. Diagramme temporel de l'architecture de commande d'un FAP (identification SRF)

Le temps de calcul total du module algorithmique de commande du FAP T_{CT} sera ainsi obtenu par la relation (2.7).

$$T_{CT} = t_{\theta} + t_{vd} + t_{pq} + t_{pq}^- + t_{ref} + t_{CONT} \quad (2.7)$$

En ajoutant le temps de conversion analogique numérique, le temps d'exécution total T_{ET} de l'architecture de commande s'obtient par l'expression 2.8

$$T_{ET} = t_{A/N} + T_{CT} \quad (2.8)$$

A partir du diagramme temporel utilisant la méthode SRF, on peut aisément obtenir de la même façon le temps d'exécution total de l'architecture correspondante pour la commande du FAP.

II.4. CONCLUSION

Dans ce chapitre, nous avons d'abord discuté de la problématique liée aux outils de conception des contrôleurs numériques. Une comparaison a été faite entre les deux principales possibilités de description des circuits à savoir les descriptions littérale et schématique. L'avantage majeur d'un code obtenu par exemple par le langage VHDL se décrit en terme de portabilité. Cependant, nous avons justifié le choix porté sur l'utilisation d'un outil de description graphique comme Dsp BuilderTM par la qualité de l'architecture résultante et la facilité de conception.

Le développement direct des algorithmes de commande sous l'interface Dsp BuilderTM s'est avéré impossible sans la mise à jour de sa bibliothèque. En effet, certains blocs de base qu'on retrouve dans Matlab/SimulinkTM sont inexistant dans Dsp BuilderTM. Il s'agit essentiellement des blocs trigonométriques, de certains opérateurs et autres fonctions utilisées pour l'élaboration de structures de calcul complexes et des fonctions neuromimétiques. Nous avons donc été amenés à compléter la bibliothèque de notre outil de synthèse par la mise en œuvre de blocs spécifiques à grains moyens et épais. C'est ainsi, qu'un multiplieur à trois entrées, un diviseur à quotient au format réel ont été élaborés en ce qui concerne les opérateurs arithmétiques. Les principales fonctions trigonométriques et la fonction sigmoïde ont été réalisées grâce à des LUTs. Le bloc relais a aussi été constitué pour réaliser un comparateur à Hystérésis utilisé pour le contrôle de courant. En outre, des blocs plus épais comme des opérateurs de transformation des repères (Concordia, Park), des fonctions neuromimétiques (régulateur PI neuronal, algorithme d'apprentissage) ont complétés cette bibliothèque.

Par la suite, nous nous sommes inspirés de la structure générale de commande d'un FAP obtenue selon une approche modulaire pour réaliser le partitionnement algorithmique d'un contrôleur numérique dont la stratégie d'extraction des courants de référence se fait soit par la méthode des puissances instantanées ($p-q$), soit par la méthode synchrone (SRF). Il s'agit de méthodes largement répandues, aux performances avérées et dont la complexité est suffisamment significative pour nous permettre d'évaluer notre cible d'implantation selon le critère d'occupation de surface et le critère temporel. C'est ainsi que le partitionnement modulaire nous a permis de dégager six ou sept modules selon que l'identification des harmoniques de courant, fonctionnalité essentielle d'un contrôleur numérique pour FAP, se fait par la méthode $p-q$ ou SRF . Par ailleurs, à partir du GFD, nous pouvons aisément établir un diagramme temporel de l'architecture de commande d'un FAP en fonction des méthodes utilisées pour l'élaboration des modules constitutifs. C'est ainsi que nous avons présenté le diagramme temporel des contrôleurs utilisant les deux méthodes concernées par le partitionnement modulaire.

Nous allons par la suite modéliser à base de réseaux de neurones la commande du FAP. Il s'agira d'exploiter cette technique d'intelligence artificielle pour essayer d'améliorer ses performances de filtrage en régimes permanent et transitoire. Parallèlement, compte tenu des importantes ressources mobilisées par de telles architectures de calculs ainsi que des contraintes du composant FPGA en termes de surface, un accent sera mis sur la minimisation des ressources.

CHAPITRE III

**MODELISATION NEURONALE DE
LA COMMANDE DU FAP,
EVALUATION DES
PERFORMANCES DE FILTRAGE**

III.1 INTRODUCTION

Comme présenté dans [DJ-07], il s'agira ici d'adopter une approche unifiée de modélisation neuronale de la commande du FAP qui va concerner quasiment tous les blocs constitutifs. L'intérêt de cette approche est d'obtenir une architecture homogène basée essentiellement sur les réseaux de neurones de type Adaline reconnus pour leur flexibilité et surtout leur relative simplicité dans l'optique d'une implémentation matérielle efficace.

De manière générale, la commande du FAP est d'autant plus efficace que le système de synchronisation est robuste et fidèle. C'est ainsi que nous tenterons de mettre les réseaux de neurones artificiels au cœur de la PLL utilisée d'une part pour l'extraction des composantes symétriques de tension et d'autre part pour la détection de la phase et de la fréquence instantanées du réseau. Il convient de rendre ce module précis, robuste et adaptatif afin de synchroniser au mieux le module d'extraction des courants de référence.

Cette partie essentielle de la commande du FAP sera aussi réalisée à base d'Adalines de manière à assurer une compensation sélective et une identification correcte d'harmonique quelle que soient les conditions de fonctionnement. Il s'agira d'être apte à fournir les bonnes références de courant même en présence de dissymétrie ou de pollution harmonique à la source de tension, ainsi que lors de la variation d'un paramètre quelconque du système électrique. C'est ainsi que plusieurs méthodes d'identification seront proposées, analysées et comparées en simulation.

Par ailleurs, nous nous intéresserons aussi au module de contrôle de courant dont l'importance est suffisamment exprimée dans la littérature. A ce sujet, la modélisation concernera essentiellement le régulateur de la boucle de contrôle destiné à injecter au point de raccordement réseau un courant identique au courant de référence lui servant de consigne. En sortie de la boucle, ce courant à injecter est obtenu à travers les branches du filtre passif connecté en aval de l'onduleur qui dans le même temps reçoit des impulsions MLI de commande au niveau de ses IGBTs. Pour assurer une bonne conversion d'énergie, la tension côté continu de l'onduleur doit rester fixe. Une boucle de régulation se chargera de la maintenir fixe sans toutefois nécessiter un apport de techniques neuromimétiques.

Ce chapitre sera constitué de six parties. Tout d'abord, la modélisation neuronale de la PLL fera l'objet de notre attention. Ensuite suivra la proposition de quelques méthodes d'extraction des courants de références à base d'Adalines avant une évaluation comparative en simulation. Dans la troisième partie, nous proposerons une méthode appelée *p-qm* basée sur la théorie des puissances instantanées et exploitant une technique de multiplexage pour réduire le nombre d'Adalines à travers l'architecture de commande du FAP dans le but de minimiser la surface nécessaire à une implantation sur FPGA. La quatrième partie nous permettra de discuter des stratégies de poursuite de courant. Nous évaluerons l'implication d'un contrôleur PI neuronal et d'un régulateur à base de perceptrons multicouches dans la boucle de contrôle de courant par rapport à un régulateur PI classique. La régulation de la tension côté continu de l'onduleur par un régulateur PI classique fera l'objet de la cinquième partie. On verra ainsi que ce régulateur est satisfaisant même en présence de la variation de la charge non linéaire. Dans la dernière partie, nous présenterons les résultats de simulation du système de filtrage global constitué de la source, de la charge et du FAP, pour différents schémas de commande.

III.2. BLOC DE SYNCHRONISATION

Une détection précise et rapide de la phase instantanée de la tension du réseau est essentielle pour assurer la génération correcte des courants de référence. De plus, la PLL utilisée dans une application de filtrage actif doit prendre en compte des tensions déformées tant par des harmoniques que par le bruit et exige de ce fait un algorithme de contrôle robuste,

rapide et efficace. Une PLL triphasée est développée pour évaluer la fréquence et la phase instantanées de la composante directe de la tension. Comme on peut le voir à la figure III.1, elle peut se construire autour de deux blocs fonctionnels avec d'une part l'extraction des composantes symétriques et d'autre part la détection de la phase instantanée de la tension du réseau

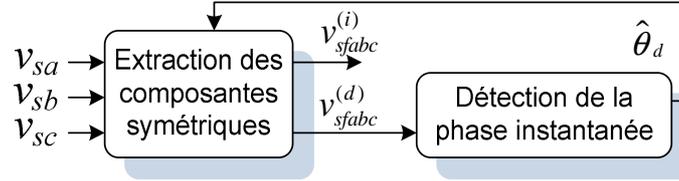


Fig. III.1. Structure de base d'une PLL avec deux blocs fonctionnels

III.2.1 Extraction des composantes symétriques de tension

Le principe de l'extraction des composantes symétriques est basé sur la théorie des puissances instantanées [RE-07], [RE-09], [AK-83]. Selon cette théorie, des puissances actives et réactives sont calculées et leurs composantes continues sont instantanément séparées des composantes alternatives. Les puissances continues sont alors utilisées pour obtenir les composantes directes de tension dans le repère abc .

Nous avons vu au chapitre I que la relation (1.5) nous permettait d'obtenir les puissances instantanées à partir du repère $\alpha\beta$. De cette relation, la tension source dans ce repère peut être déduite et exprimée selon la formulation générale (3.1) :

$$\begin{bmatrix} v_{s\alpha} \\ v_{s\beta} \end{bmatrix} = \begin{bmatrix} i_\alpha & i_\beta \\ -i_\beta & i_\alpha \end{bmatrix}^{-1} \begin{bmatrix} p \\ q \end{bmatrix} = \frac{1}{i_\alpha^2 + i_\beta^2} \begin{bmatrix} i_\alpha & -i_\beta \\ i_\beta & i_\alpha \end{bmatrix} \begin{bmatrix} p \\ q \end{bmatrix} \quad (3.1)$$

Cette expression peut être utilisée pour déterminer la composante fondamentale de la tension directe à partir de la composante fondamentale d'un système direct de courants et des composantes continues des puissances associées.

$$\begin{bmatrix} v_{f\alpha}^{(d)} \\ v_{f\beta}^{(d)} \end{bmatrix} = \frac{1}{i_{u\alpha}^2 + i_{u\beta}^2} \begin{bmatrix} i_{u\alpha} & -i_{u\beta} \\ i_{u\beta} & i_{u\alpha} \end{bmatrix} \begin{bmatrix} \bar{p}_u \\ \bar{q}_u \end{bmatrix} \quad (3.2)$$

Les courants $i_{u\alpha}$ et $i_{u\beta}$ exprimés par (3.3) ont une amplitude unitaire et une phase nulle. Ils peuvent être utilisés en association avec le vecteur de tension source $v_{s\alpha\beta}$ dans le repère $\alpha\beta$ pour calculer les puissances fictives p_u et q_u selon la relation (3.4)

$$\begin{bmatrix} i_{u\alpha} \\ i_{u\beta} \end{bmatrix} = \begin{bmatrix} \cos \omega t \\ \sin \omega t \end{bmatrix} \quad (3.3)$$

$$\begin{bmatrix} p_u \\ q_u \end{bmatrix} = \begin{bmatrix} v_{s\alpha} i_{u\alpha} + v_{s\beta} i_{u\beta} \\ v_{s\alpha} i_{u\beta} - v_{s\beta} i_{u\alpha} \end{bmatrix} \quad (3.4)$$

avec $\begin{bmatrix} v_{s\alpha} & v_{s\beta} \end{bmatrix}^T = \sqrt{2/3} C_{32}^T v_{sabc} = T_{32}^T v_{sabc}$. La relation (3.5) permet d'exprimer de manière détaillée la puissance active fictive p_u .

$$\begin{aligned}
 p_u &= v_{s\alpha} i_{u\alpha} + v_{s\beta} i_{u\beta} \\
 &= \sum_{n=1}^N \begin{bmatrix} \cos(n-1)\omega t & \sin(n-1)\omega t \end{bmatrix} \begin{bmatrix} 3V_{nd} \cos \phi_{nd} \\ -3V_{nd} \sin \phi_{nd} \end{bmatrix} \\
 &\quad + \sum_{n=1}^N \begin{bmatrix} \cos(n+1)\omega t & \sin(n+1)\omega t \end{bmatrix} \begin{bmatrix} -3V_{ni} \cos \phi_{ni} \\ 3V_{ni} \sin \phi_{ni} \end{bmatrix}
 \end{aligned} \tag{3.5}$$

L'expression (3.5) est une somme de composantes harmoniques qui peut adopter l'équation linéairement séparable (3.6)

$$y = X^T W \tag{3.6}$$

avec

$$X = \begin{bmatrix} \cos(n-1)\omega t \\ \sin(n-1)\omega t \\ \cos(n+1)\omega t \\ \sin(n+1)\omega t \end{bmatrix}; \quad W = \begin{bmatrix} 3V_{nd} \cos \phi_{nd} \\ -3V_{nd} \sin \phi_{nd} \\ -3V_{ni} \cos \phi_{ni} \\ 3V_{ni} \sin \phi_{ni} \end{bmatrix}$$

Ainsi, l'apprentissage de l'expression (3.5) est réalisable par un réseau de neurones de type Adaline. En considérant y dans (3.6) comme la sortie de l'Adaline, son vecteur d'entrée X est constitué de signaux sinusoïdaux de fréquence multiple de celle de la composante fondamentale. Cette structure neuronale répond à un apprentissage supervisé, telle que sa sortie y_k est comparée à une valeur désirée p_u obtenue à partir des courants fictifs et la tension source mesurée v_{sabc} . L'erreur $e = p_u - y$ est utilisée par un algorithme d'apprentissage de type LMS pour mettre à jour les poids w_k de l'Adaline pour l'itération suivante. De cette manière, ces poids convergent automatiquement. Après la phase d'apprentissage, les éléments du vecteur W représentent les amplitudes des puissances issues des tensions directes de fréquence $n\omega$ et des courants de l'expression (3.3). La figure III.2 permet d'illustrer la méthode neuronale proposée pour l'extraction de la composante directe de tension.

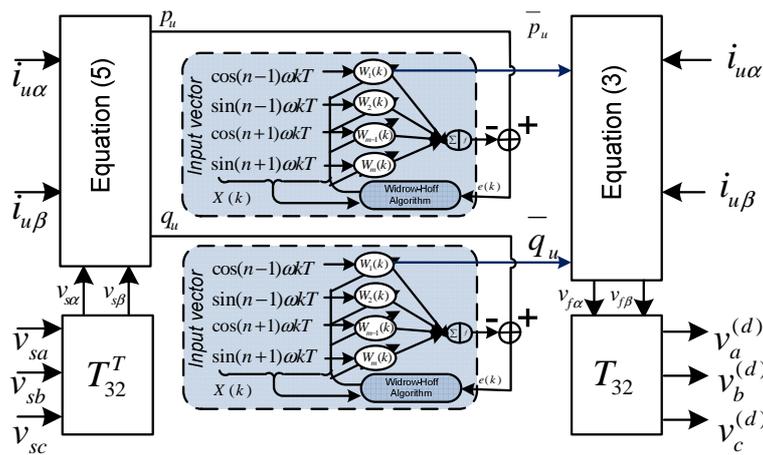


Fig. III.2. Extraction de la composante directe de tension

En définitive, la composante fondamentale des tensions directes $v_{sabc}^{(d)}$ du système triphasé est obtenue à partir de deux premiers éléments du vecteur poids W . En fait, $w^{(1)}$ et $w^{(2)}$ correspondent à la composante fondamentale ($n = 1$) et représentent respectivement la partie

continue des puissances instantanées p_u et q_u . La tension directe $v_{sabc}^{(d)}$ est déterminée par conversion de ces puissances continues dans le repère $\alpha\beta$ avec l'expression (3.2) et en les multipliant par T_{32} .

Le calcul de la puissance réactive fictive adopte le même principe en utilisant les courants définis par l'expression (3.7). Un Adaline similaire est utilisé pour la composante fondamentale de la tension inverse $v_{sfabc}^{(i)}$, qui peut être déduite à partir des deux premiers poids.

$$\begin{bmatrix} i_{u\alpha} \\ i_{u\beta} \end{bmatrix} = \begin{bmatrix} \cos \omega t \\ -\sin \omega t \end{bmatrix} \quad (3.7)$$

A partir des composantes fondamentales de tension directe et inverse $v_{sfabc}^{(d)}$ et $v_{sfabc}^{(i)}$, on peut déduire la composante homopolaire $v_{sfabc}^{(0)}$. Elles peuvent être également utilisées par le détecteur de phase pour estimer la fréquence instantanée du réseau.

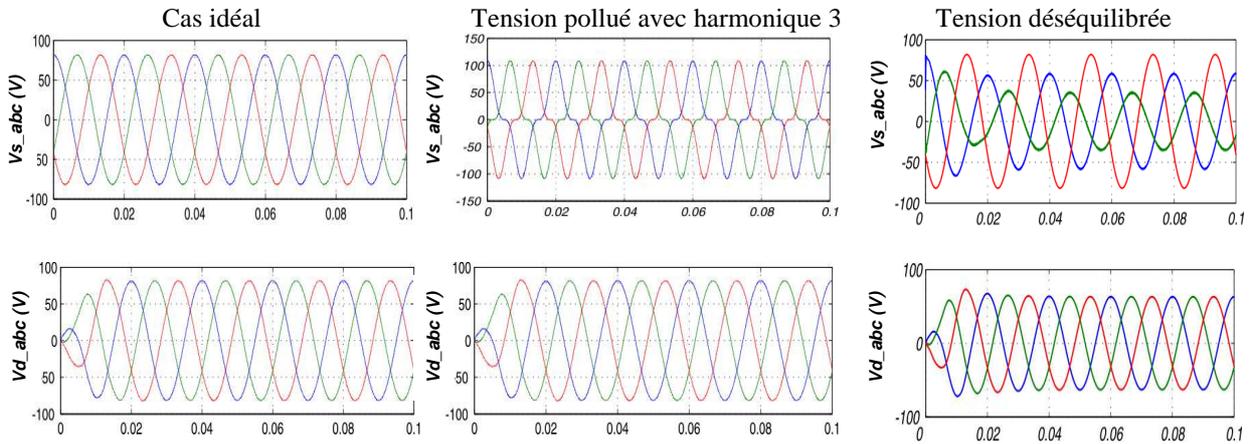


Fig. III.3. Résultats de l'extraction des composantes directes de la tension pour 3 conditions

III.2.2 Détection de la phase instantanée

La solution proposée introduit une méthode alternative et avancée de détection de la phase instantanée qui peut être appliquée à tous les systèmes triphasés et déséquilibrés de type courant ou tension. Comme un oscillateur contrôlé en tension (VCO) monophasée, cette approche essaie de maintenir le terme $\sin(\theta - \hat{\theta})$ proche de zéro avec θ la phase du réseau et $\hat{\theta}$ sa valeur estimée. Le développement de ce terme permet d'obtenir la relation (3.8).

$$\sin(\theta - \hat{\theta}) = \sin \theta \cos \hat{\theta} - \cos \theta \sin \hat{\theta} \quad (3.8)$$

Dans cette expression, le terme $\cos \theta$ peut être associé à v_{sfa} , la tension fondamentale de la phase a, et $\sin \theta$ peut être associé à la tension $v_{sfbc}/\sqrt{3}$ entre les phases b et c. En présence d'un système triphasé déséquilibré avec des distorsions, les composantes à haute fréquence sont filtrées par le filtre passe-bas. Le VCO utilise un régulateur PI et est basée sur une

pulsation nominale $\omega_n = 2\pi f_n$. On peut observer sur le diagramme fonctionnel de la figure III.4 que la phase estimée $\hat{\theta}_d$ est obtenue en sortie de ce régulateur.

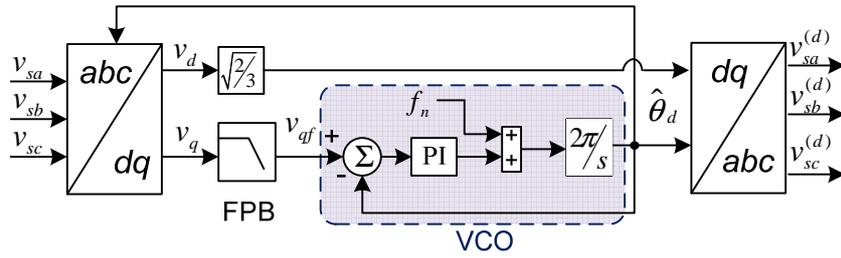


Fig. III.4. Détection de la phase instantanée par un VCO

Une telle architecture rend la PLL insensible aux distorsions et aux déséquilibres de la tension source. Cependant, le filtre passe-bas et le régulateur PI contenu dans le VCO, introduisent un délai dans la réponse de la PLL. Pour palier à cette situation, il est proposé une méthode neuronale de détection de la phase instantanée dont le principe est illustré à la figure III.5.

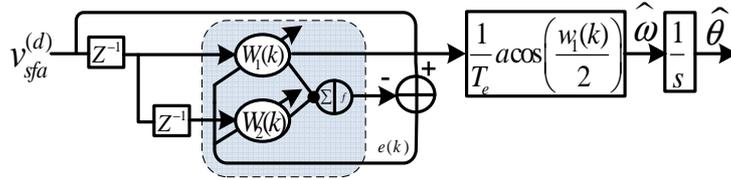


Fig. III.5. Méthode neuronale de détection de la phase instantanée du réseau

Cette méthode de détection neuronale de la phase instantanée est inspirée de celle proposée dans [DA-97]. Elle utilise la composante fondamentale directe de la tension source $v_{sfa}^{(d)}$ estimée par la méthode d'extraction des composantes symétriques proposée.

A l'instant t , $v_{sfa}^{(d)}$ peut répondre à la formulation générale suivante :

$$v_{sfa}^{(d)}(t) = \sqrt{2}v_s^{(d)} \cos \theta \quad (3.9)$$

En exprimant $v_{sfa}^{(d)}(t-1)$ et $v_{sfa}^{(d)}(t-2)$, nous obtenons la forme itérative suivante de la tension $v_{sfa}^{(d)}(t)$:

$$v_{sfa}^{(d)}(t) = (2 \cos \omega T_e)v_{sfa}^{(d)}(t-1) - v_{sfa}^{(d)}(t-2) \quad (3.10)$$

Dans cette formulation discrète, T_e est la période d'échantillonnage et $t = kT_e$. L'expression (3.10) est une équation linéairement séparable qui peut se mettre sous la forme $y(t) = W^T X(t)$ et de ce fait être estimé par un Adaline.

$v_{sfa}^{(d)}(t)$ est la sortie désirée, $X(t) = \begin{bmatrix} v_{sfa}^{(d)}(t-1) \\ v_{sfa}^{(d)}(t-2) \end{bmatrix}$ est le vecteur d'entrée de l'Adaline qui délivre

une estimation de $v_{sfa}^{(d)}(t)$. L'apprentissage par la règle LMS permet la mise à jour des poids

qui convergent vers $W = [2 \cos \omega T_e \quad -1]^T$. C'est ainsi que la pulsation peut être obtenue par w_1 le premier élément de W par l'expression (3.11)

$$\omega = \frac{1}{T_e} a \cos\left(\frac{w_1(k)}{2}\right) \quad (3.11)$$

Sur la figure III.5, $\hat{\theta}$ est extrait du premier poids $w_1(k)$ de l'Adaline après une intégration de ω . ω dépendant de T_e , la performance de cette approche est influencée par le choix de T_e et par la présence des harmoniques. Toutefois, ce désagrément est éliminé lorsque la méthode neuronale d'extraction des composantes de tension est associée à cette stratégie simple et rapide de détection de phase à base de réseaux de neurones. La figure III.6 présente une mesure de la fréquence instantanée du réseau effectuée en utilisant la PLL neuronale proposée.

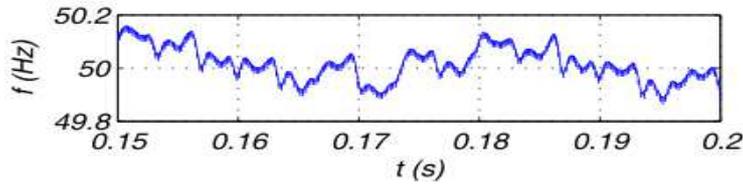


Fig. III.6. Mesure de la fréquence instantanée

On note pour une fréquence du réseau de 50 Hz, des fluctuations de $\pm 0,2$ Hz, soit 0,4 % de la fréquence nominale. De façon générale, elles ne sont pas importantes en pratique. Toutefois, dans le cadre de la commande du FAP, ces fluctuations dégradent considérablement les résultats d'identification des harmoniques de courant si la PLL utilisée ne restitue pas instantanément et fidèlement la phase et la fréquence du réseau.

III.3. MODELISATION NEURONALE DE L'IDENTIFICATION DES HARMONIQUES

III.3.1. Méthode Directe

III.3.1.1 Rappel théorique

En prélevant le courant absorbé par une charge non linéaire, sa décomposition en série de Fourier pour chaque phase révèle les deux composantes de l'expression (3.12).

$$i_c(t) = i_{cf}(t) + i_{ch}(t) \quad (3.12)$$

Dans cette relation, i_{cf} et i_{ch} qui représentent respectivement le courant fondamental et le courant harmonique peuvent s'exprimer de manière détaillée selon les relations (3.13) et (3.14).

$$i_{cf} = I_{11} \cos(\omega k T - \alpha) + I_{12} \sin(\omega k T - \alpha) \quad (3.13)$$

$$\text{et } i_{ch}(t) = \sum_{n=2, \dots, N} \{I_{n1} \cos[n(\omega k T - \alpha)] + I_{n2} \sin[n(\omega k T - \alpha)]\} \quad (3.14)$$

où ω est la pulsation fondamentale du réseau, α un déphasage quelconque, I_{11} et I_{12} sont les amplitudes associées au cosinus et au sinus du fondamental tandis que I_{n1} et I_{n2} sont les coefficients des termes en cosinus et sinus du courant harmonique. n est l'ordre des harmoniques générées par la charge non-linéaire. Le courant de charge peut alors s'écrire sous la forme matricielle selon l'expression 3.15.

$$i_c(t) = W^T(t) \cdot X(t) \quad (3.15)$$

avec W le vecteur des coefficients I_{ij} et X le vecteur des termes en cosinus et sinus

$$W^T(t) = [I_{11} \ I_{12} \ I_{21} \ I_{22} \ \dots \ I_{n1} \ I_{n2}] \text{ et}$$

$$X(t) = [\cos(\omega t - \alpha) \ \sin(\omega t - \alpha) \ \dots \ \cos n(\omega t - \alpha) \ \sin n(\omega t - \alpha)]$$

En utilisant une forme simplifiée (3.16) de l'algorithme de Widrow-Hoff pour l'apprentissage des coefficients I_{ij} , l'identification des harmoniques dans l'espace abc peut se faire directement par un Adaline identique sur chaque phase.

$$W(k+1) = W(k) + \mu \cdot e(k) \cdot X(k) \quad (3.16)$$

De cette façon, W sera le vecteur poids de l'Adaline dont les entrées seront les termes du vecteur X (à l'exception d'un terme constant correspondant à un biais). La figure III.7 permet d'illustrer l'utilisation de l'Adaline pour l'identification des harmoniques sur la phase a.

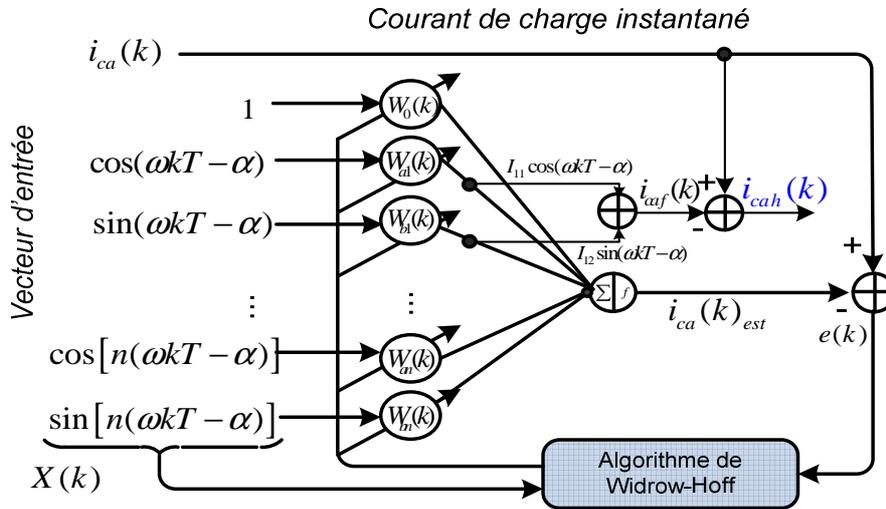


Fig. III.7. Utilisation de l'Adaline pour l'identification des harmoniques de la 1ère phase

Le courant fondamental estimé est alors évalué par l'expression 3.17 dans laquelle α est considéré nul.

$$i_{cf}(t) = W_{a1} \cos \omega t + W_{b1} \sin \omega t \quad (3.17)$$

Par conséquent, le courant harmonique se déduit de l'expression 3.12 par la relation 3.18.

$$i_{ch}(t) = i_c(t) - i_{cf}(t) \quad (3.18)$$

Pour la plupart des applications, le paramètre d'apprentissage μ peut être déterminé de façon empirique sans porter préjudice à la rigueur scientifique du travail

En outre, la méthode directe permet d'identifier individuellement les harmoniques afin de réaliser une compensation sélective. A ce titre, il suffit de déterminer les amplitudes à partir des poids de l'Adaline correspondant aux composantes cosinus et sinus des harmoniques concernées. Pour une harmonique d'ordre N, son amplitude sera obtenue par la relation 3.19.

$$I_{cN} = \sqrt{W_{aN}^2 + W_{bN}^2}, \text{ avec } W_{aN} = I_{N1} \text{ et } W_{bN} = I_{N2} \quad (3.19)$$

III.3.1.2. Résultats de simulation

Comme présenté dans [DZ-07a] et [DZ-08], les simulations se font sans la PLL à une période d'échantillonnage de $T_e = 50\mu s$. Une fréquence constante de 50Hz a été fixée pour un signal pollué constitué d'une composante fondamentale et des harmoniques d'ordre 5 et 7 conformément au tableau III.1.

Composantes harmoniques	Amplitude	Fréquence(Hz)
Composante fondamentale	100	50
Harmonique d'ordre 5	20	250
Harmonique d'ordre 7	14,28	350

Tab. III.1. Caractéristiques du signal pollué

Une approche de conception modulaire nous a permis de segmenter notre architecture en quatre modules :

- Le module de génération des signaux d'entrées
- le module de mise à jour des poids
- le module de génération des signaux de sortie
- le module d'adaptation aux CNA de la carte FPGA

A partir de la décomposition en série de Fourier du signal pollué connu à priori, à part l'entrée en biais, les signaux constituant les entrées X_{ij} de l'Adaline correspondent aux composantes sinusoïdales liées au fondamental et celles liées aux harmoniques. On retrouve ces six entrées à la figure III.8.

Sur la figure III.9, est présentée l'évolution des poids W_{ij} de l'Adaline pendant la phase d'apprentissage qui dure environ 50ms et en régime permanent. Les signaux du module de sortie présentés à la figure III. 10 permettent d'apprécier les performances d'identification ou de détection des harmoniques par la méthode directe. La figure III.10 a) montre l'estimation par l'Adaline du courant pollué. Dans le même temps, la composante fondamentale (figure III.10 b) et le signal harmonique (figure III.10 c) sont séparés. L'apprentissage est effectif lorsque l'erreur d'estimation de la figure III.10 d) se rapproche de 0.

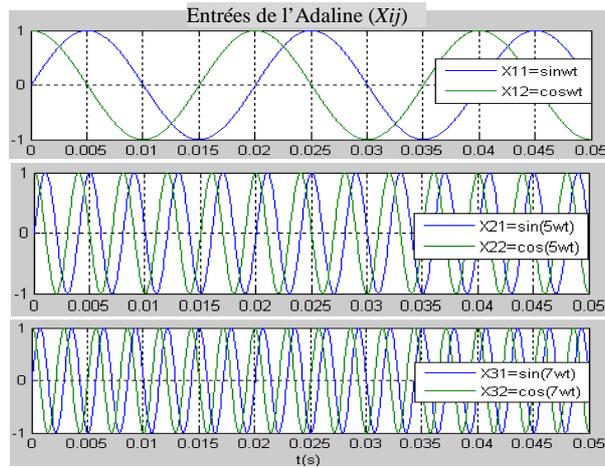


Fig. III.8. Les entrées de l'Adaline

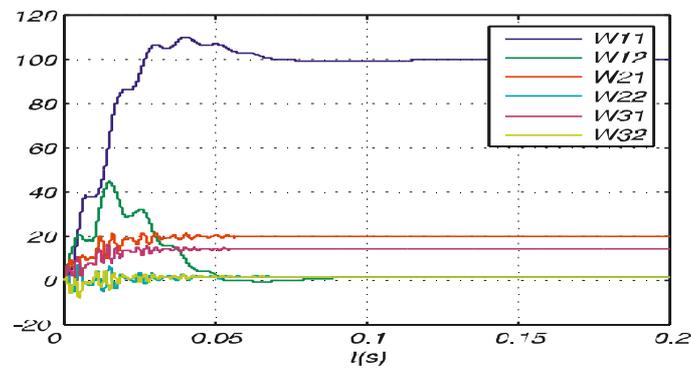


Fig. III.9. Convergence des poids de l'Adaline

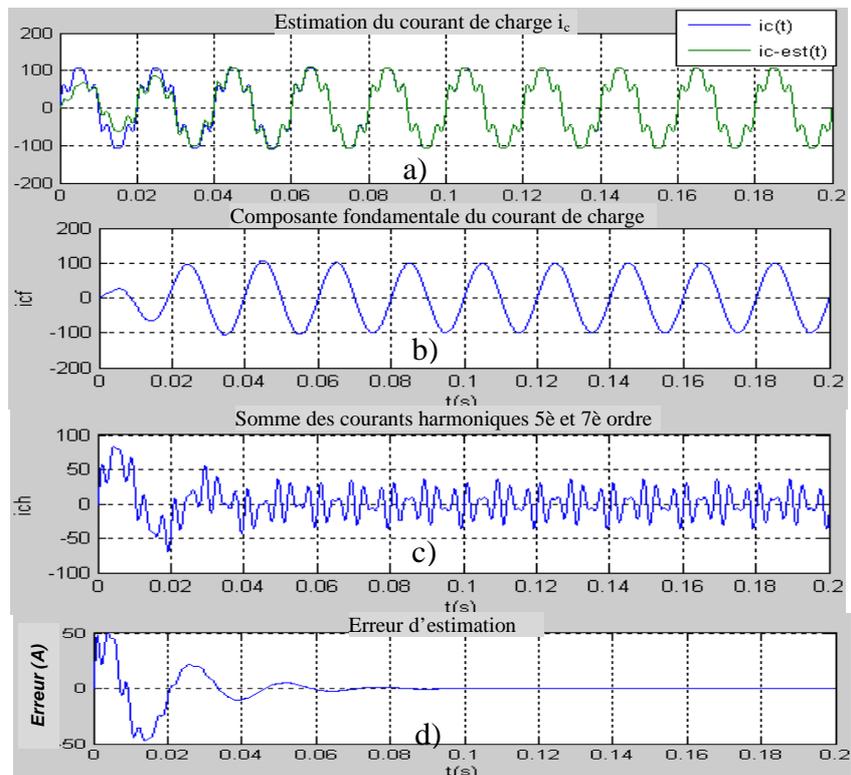


Fig. III.10. Les signaux générés par l'algorithme d'identification des harmoniques

En régime permanent, la figure III.11 a) nous montre une erreur d'estimation quasiment nulle sous Matlab/Simulink™ entre 0.27s et 0.3s. Dans l'environnement de développement FPGA, cette erreur est de 0,15% (figure III.11 b). Cet écart qui peut être justifié par les contraintes du calcul numérique (format de données, etc.) effectué dans le FPGA, et par la taille des données imposée par les CNA de sortie de la carte de développement est somme toute négligeable.

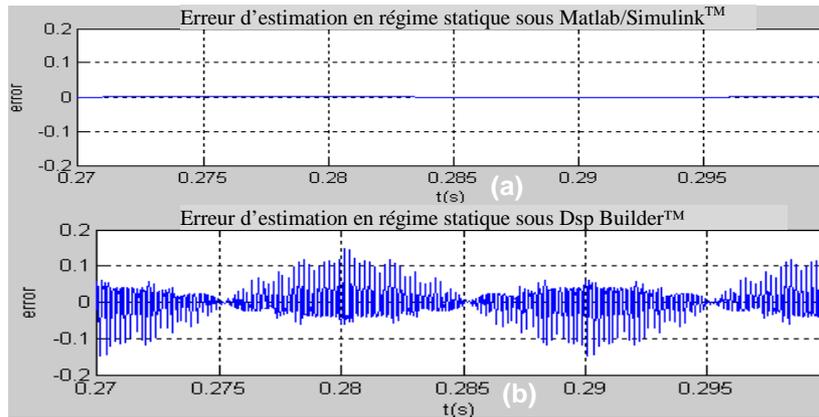


Fig. III.11. Erreurs d'estimation sous (a) Matlab™ et (b) Dsp Builder™

III.3.1.3. Résultats du prototypage FPGA

Nous avons d'abord utilisé dans nos travaux une carte FPGA Stratix I pour l'implantation de l'extraction des harmoniques. Selon le synthétiseur Quartus II, la consommation des ressources du FPGA en phase de prototypage correspond à un taux moyen de 34,2%. Il est important de noter ici que les principales ressources de calcul sont utilisées à 100% en ce qui concerne les blocs DSP et 40% pour les éléments logiques, soit en moyenne 70%. Ce qui nous permet d'entrevoir l'impossibilité de réaliser l'implémentation en triphasé. Par conséquent, nous avons envisagé d'utiliser une nouvelle carte de développement à plus forte densité d'intégration comme la carte FPGA Stratix II acquise par la suite au laboratoire InESS, tout en mettant en œuvre une stratégie de réduction des ressources pour l'identification sur un système triphasé de courants pollués.

Les résultats de prototypage FPGA de l'identification des harmoniques de courants présentés dans le tableau III.2, nous confirment que l'implémentation dans un Stratix I (EP1S80B956C5) fabriqué en technologie 130 nm, est impossible car le modèle a besoin de 104.678 soit 132% d'éléments logiques de ce FPGA qui n'en compte que 79.040. En utilisant un Stratix II de référence EP2S180F1020C3 et fabriqué en technologie 90 nm, l'implémentation du modèle est maintenant possible avec une consommation moyenne de 22,6% de ressources disponibles.

De manière générale, une évaluation valable de la surface occupée dans un FPGA devrait tenir compte essentiellement des ressources internes mobilisées pour les calculs. Nous pouvons citer les blocs DSP utilisés pour l'implémentation des multiplieurs, les ALUTs qui sont les cellules de base utilisées dans le logiciel *Quartus II* pour la synthèse logique, et dans

une certaine mesure les RAMs. De cette manière, l'implémentation de la méthode d'identification directe nécessite en réalité 31,33% de telles ressources. Par la suite, nous nous limiterons uniquement à ces ressources de calcul pour l'évaluation de la surface occupée lors de l'intégration sur la cible FPGA choisie.

Ressources	Disponibles		Utilisées		Consommation en %	
	<i>Stratix I</i>	<i>Stratix II</i>	<i>Stratix I</i>	<i>Stratix II</i>	<i>Stratix I</i>	<i>Stratix II</i>
Eléments logiques/ALUTs	79.040	143,520	104.678	8611	132	6
Bits mémoire (RAM)	7.427.52	9.383.040	0	0	0	0
Blocs DSP	176	768	176	676	100	88
Broches d'E/S	692	783	79	86	11	11
PLL	12	12	1	1	8	8
Taux Global d'Occupation (<i>en triphasé</i>)					RAS	22,6%
Surface occupée par les ressources de calcul					RAS	31,33%

Tab. III.2. Résultats comparatifs du prototype de la méthode directe dans 2 cibles FPGA

III.3.2. Méthode Tri-Monophasée Modifiée

III.3.2.1. Rappel sur la méthode tri-monophasée

De même que la méthode directe, la méthode tri-monophasée permet de traiter les trois phases de façon indépendante, et de ce fait, s'applique aux systèmes triphasés et monophasés. Elle est basée sur l'estimation de la composante fondamentale active et réactive du courant de charge [DJ-07]. En multipliant le courant de charge de l'équation (3.12) respectivement par $\sin\omega t$ et $\cos\omega t$ nous obtenons les expressions (3.20) et (3.21)

$$i_{ca} \sin \omega t = \frac{1}{2}(I_{12} - I_{12} \cos 2\omega t + I_{11} \sin 2\omega t) + \frac{1}{2} \sum_{n=2\dots N} (I_{n2} \cos[(n-1)\omega t] - I_{n2} \cos[(n+1)\omega t]) + \frac{1}{2} \sum_{n=2\dots N} (I_{n1} \sin[(n+1)\omega t] - I_{n1} \sin[(n-1)\omega t]) \quad (3.20)$$

$$i_{ca} \cos \omega t = \frac{1}{2}(I_{11} + I_{12} \sin 2\omega t + I_{11} \cos 2\omega t) + \frac{1}{2} \sum_{n=2\dots N} (I_{n1} \cos[(n-1)\omega t] + I_{n1} \cos[(n+1)\omega t]) + \frac{1}{2} \sum_{n=2\dots N} (I_{n2} \sin[(n+1)\omega t] + I_{n2} \sin[(n-1)\omega t]) \quad (3.21)$$

Les équations (3.20) et (3.21) peuvent se présenter en notation vectorielle avec les relations (3.22).

$$\begin{aligned} i_{ca}(t) \sin \omega t &= W_{\sin}^T X_{\sin}(t) \\ i_{ca}(t) \cos \omega t &= W_{\cos}^T X_{\cos}(t) \end{aligned} \quad (3.22)$$

avec $W_{\sin}^T = [I_{12} \quad -I_{12} \quad I_{11} \quad \dots \quad I_{n2} \quad -I_{n2} \quad I_{n1} \quad -I_{n1} \quad \dots]$

$$X_{\sin}^T(t) = \frac{1}{2} \{ 1 \quad \cos 2\omega t \quad \sin 2\omega t \quad \dots \quad \cos[(n-1)\omega t] \quad \cos[(n+1)\omega t] \quad \sin[(n+1)\omega t] \quad \sin[(n-1)\omega t] \quad \dots \}$$

$$W_{\cos}^T = [I_{11} \quad -I_{12} \quad I_{11} \quad \dots \quad I_{n2} \quad -I_{n2} \quad I_{n1} \quad -I_{n1} \quad \dots]$$

$$X_{\cos}^T(t) = \frac{1}{2} \{ 1 \quad \sin 2\omega t \quad \cos 2\omega t \quad \dots \quad \sin[(n+1)\omega t] \quad \sin[(n-1)\omega t] \quad \cos[(n-1)\omega t] \quad \cos[(n+1)\omega t] \quad \dots \}$$

En implémentant chacune des équations (3.20) et (3.21) par un Adaline conformément à la stratégie d'identification de la figure III.12, W_{\sin} et W_{\cos} représentent les vecteurs poids des deux Adalines. D'autre part, les vecteurs d'entrées correspondants ($X_{\sin}(t)$ et $X_{\cos}(t)$) contiennent les cosinus et sinus des différentes harmoniques.

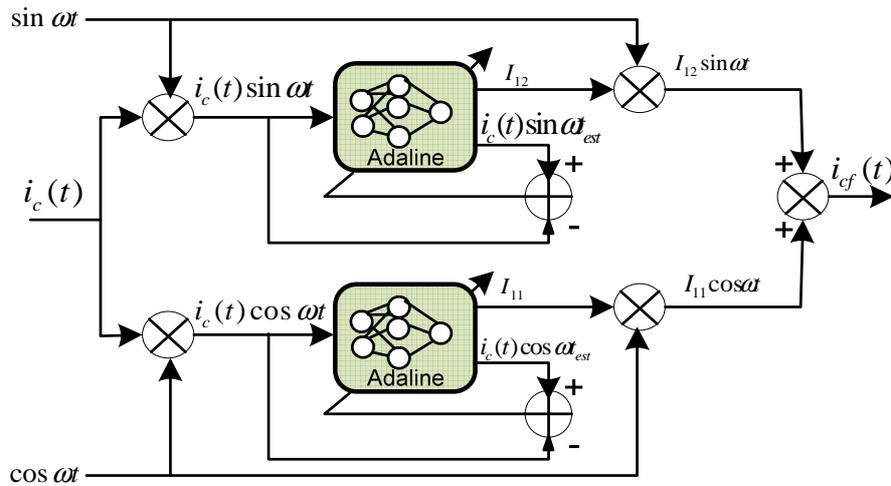


Fig. III.12. Architecture de la méthode tri-monophasée avec deux Adalines

Ainsi, l'amplitude I_{12} de la composante continue du courant fondamental réactif est déterminée par le poids $W_0(k)$ du premier Adaline et celle notée I_{11} du courant fondamental actif par le poids $W_0(k)$ du deuxième Adaline. De ce fait, le courant fondamental peut être reconstitué en multipliant respectivement I_{11} et I_{12} par $\cos\omega t$ et $\sin\omega t$ pour obtenir l'expression (3.23).

$$i_{cf}(t) = I_{11} \cos(\omega t) + I_{12} \sin(\omega t) \quad (3.23)$$

Pour chaque phase, le courant harmonique se détermine par la relation (3.18). De plus, la méthode tri-monophasée rend possible l'identification sélective des harmoniques.

III.3.2.2. Elaboration de la méthode Tri-Monophasée Modifiée

Une nouvelle approche a permis de modifier la méthode tri-monophasée pour obtenir la méthode Tri-Monophasée Modifiée (TMM) basée sur un seul réseau de neurone. Cette méthode proposée dans [DZ-09] et [DZ-11a] est illustrée par la figure III.13. Elle consiste à exploiter l'une des expressions (3.20) et (3.21) pour constituer l'Adaline correspondant afin d'obtenir directement les deux amplitudes I_{11} et I_{12} . Comme dans la méthode tri-monophasée, l'Adaline issu de l'expression (3.20) nous permet d'obtenir l'amplitude I_{12} de la composante continue du courant fondamental réactif par le poids $W_0(k)$. Dans la même expression, on

remarque que I_{11} est le coefficient du terme $\frac{1}{2} \sin 2\omega t$. Etant donné que ce terme représente la troisième entrée du même Adaline, l'amplitude I_{11} de la composante continue du courant actif est par conséquent le poids $W_2(k)$ correspondant à cette entrée. La détermination des deux amplitudes permet de retrouver la composante fondamentale du courant de charge, et de ce fait le courant harmonique.

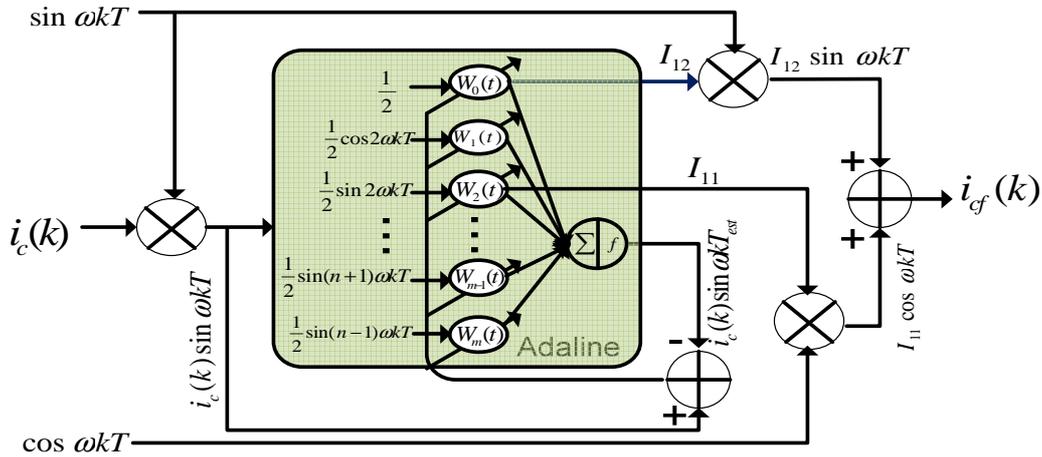


Fig. III.13. Architecture de la méthode TMM avec un seul Adaline

Toutefois, il restera à évaluer l'impact du problème de stabilité concernant la détermination de I_{11} , dont l'entrée correspondante n'est pas un biais, i.e. constante comme c'est le cas pour le poids I_{12} .

III.3.2.3. Résultats de simulation et prototypage FPGA

En prenant dans ce cas, un signal pollué dont la composante fondamentale est d'amplitude unitaire, avec une fréquence de 50Hz, et les mêmes composantes harmoniques du tableau III.1, leur détection par les méthodes *Tri-monophasé* et *TMM* nous permet de restituer sur la figure III.14 la composante fondamentale et le courant de référence.

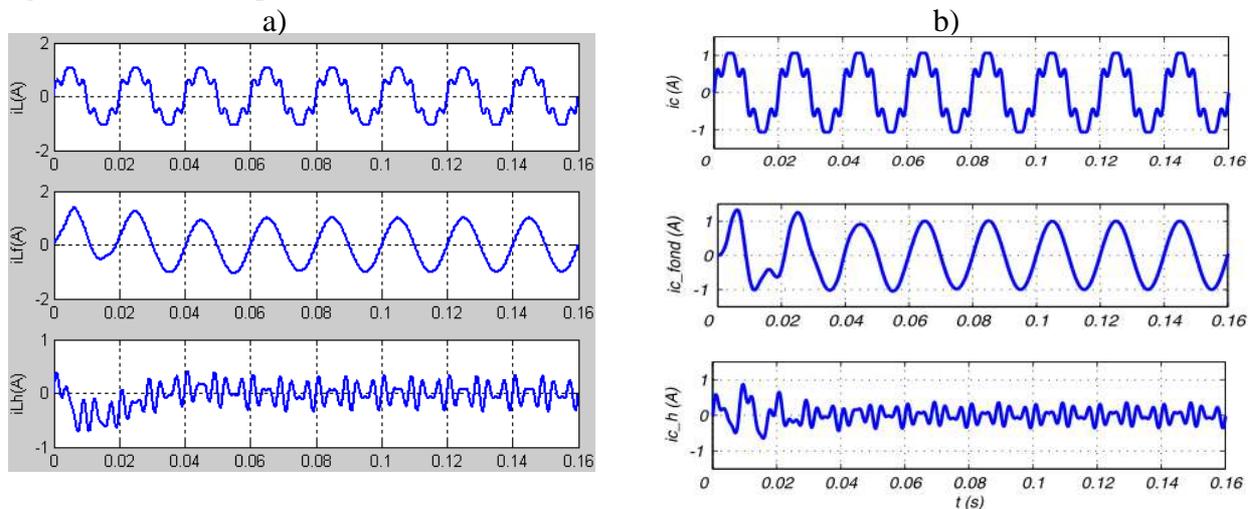


Fig. III.14. Résultats de simulation – a) la méthode tri-monophasée – b) la méthode *TMM*

Selon la figure III.14, le temps d'établissement des méthodes tri-monophasées est d'environ 50ms pour un THD de la composante fondamentale du courant de charge de 0,1%. On constate ainsi que la détermination conjointe du coefficient I_{11} dont l'entrée correspondante n'est pas un biais et de I_{12} à partir du même Adaline, n'altère pas l'efficacité de la méthode d'identification. Malgré un besoin de 92,8% d'ALUTs, la méthode tri-monophasée ne peut être implémentée sur un FPGA Stratix II EP2S180 car, selon le synthétiseur, le modèle nécessite 12 275 LABs, un nombre supérieur au nombre total disponible (8 970 LABs). Par contre, la méthode *TMM* s'intègre aisément en consommant 52% de ressources FPGA et permet d'avoir des performances similaires à celles obtenues avec la méthode tri-monophasée. Le tableau III.3 restitue le taux d'occupation des ressources lors de l'implantation des deux méthodes.

Ressources de calcul	Quantité disponible	Taux d'utilisation en %	
		<i>Tri-Monophasé</i>	<i>TMM</i>
ALUT	143 520	92,8	32
Bits mémoire (RAM)	9 383 040	24	24
Blocs DSP de 9-bits	768	100	100
<i>Surface occupée</i>		<i>RAS</i>	52%

Tab. III.3. Consommation des ressources FPGA pour les méthodes *Tri-monophasé* et *TMM*

III.3.3. Méthode synchrone modifiée

III.3.3.1. Méthode SRF neuronale

Selon la méthode SRF classique illustrée à la figure I.10, l'extraction de la composante continue des courants de charge dans le repère en quadrature DQ se fait par des FPB. Ces filtres peuvent être modélisés par des réseaux de neurones de type Adaline afin de bénéficier de leur sélectivité et de leur adaptabilité. Cette approche SRF neuronale aussi connue sous le nom de Méthode des Courants Diphasés (MCD) a été développée par Djaffar Ould Abdeslam en collaboration avec Damien Flieller de l'INSA de Strasbourg [DJ-05]. Le principe de cette méthode est présenté à la figure III.15.

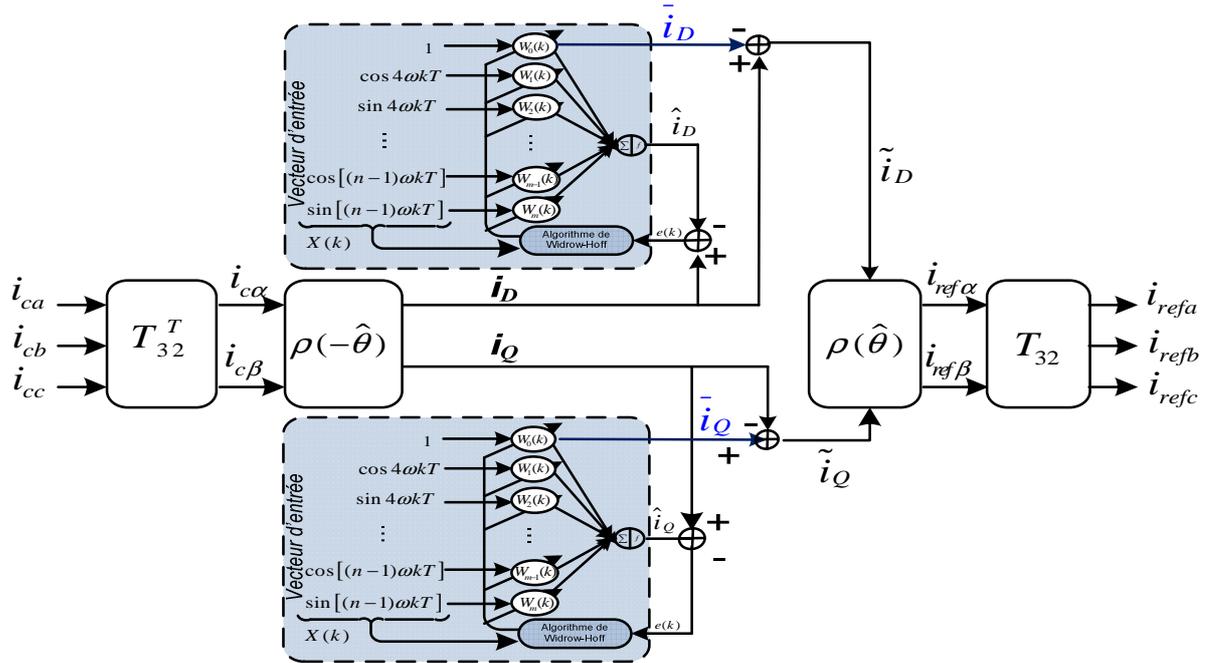


Fig. III.15. Principe de la méthode SRF neuronale avec deux Adalines

Les deux courants de l'équation (1.12) peuvent s'écrire séparément comme suit :

$$\begin{aligned}
 i_D &= \sqrt{\frac{3}{2}} I_1 \cos(\alpha_1) + \sum_{n=2 \dots N} \sqrt{\frac{3}{2}} I_n \cos((n-1)\omega t - \alpha_n) \\
 &= \sqrt{\frac{3}{2}} I_1 \cos(\alpha_1) + \sum_{n=2 \dots N} \sqrt{\frac{3}{2}} I_n [\cos((n-1)\omega t) \cos(\alpha_n) + \sin((n-1)\omega t) \sin(\alpha_n)]
 \end{aligned} \quad (3.24)$$

$$\begin{aligned}
 i_Q &= -\sqrt{\frac{3}{2}} I_1 \sin(\alpha_1) + \sum_{n=2 \dots N} \sqrt{\frac{3}{2}} I_n \sin((n-1)\omega t - \alpha_n) \\
 &= -\sqrt{\frac{3}{2}} I_1 \sin(\alpha_1) + \sum_{n=2 \dots N} \sqrt{\frac{3}{2}} I_n [\sin((n-1)\omega t) \cos(\alpha_n) - \cos((n-1)\omega t) \sin(\alpha_n)]
 \end{aligned} \quad (3.25)$$

En notation vectorielle,

$$i_D = W_D^T X_D(t) \quad (3.26)$$

$$i_Q = W_Q^T X_Q(t) \quad (3.27)$$

avec
$$W_D^T = \left[\sqrt{\frac{3}{2}} I_1 \cos(\alpha_1) \quad \sqrt{\frac{3}{2}} I_5 \cos(\alpha_5) \quad \dots \quad \sqrt{\frac{3}{2}} I_n \cos(\alpha_n) \right]$$

$$X_D(t) = [1 \quad \cos 4\omega t \quad \dots \quad \sin(n-1)\omega t]$$

$$W_Q^T = \left[-\sqrt{\frac{3}{2}}I_1 \sin(\alpha_1) \quad \sqrt{\frac{3}{2}}I_5 \cos(\alpha_5) \quad \dots \quad \sqrt{\frac{3}{2}}I_n \cos(\alpha_n) \right]$$

$$X_Q(t) = [1 \quad \sin 4\omega t \quad \dots \quad \cos(n-1)\omega t]$$

Les vecteurs $X_D(t)$ et $X_Q(t)$ constituent les entrées des deux Adalines tandis que W_D^T et W_Q^T sont les vecteurs poids correspondants. La composante continue du courant diphasé \bar{i}_D selon l'axe D est représentée par le poids $W_0(k)$ du premier Adaline tandis que le poids $W_0(k)$ du second Adaline représente la composante continue du courant diphasé \bar{i}_Q suivant l'axe Q. Les composantes alternatives \tilde{i}_D et \tilde{i}_Q représentant respectivement les harmoniques selon les axes D et Q seront calculées par :

$$\begin{bmatrix} \tilde{i}_D \\ \tilde{i}_Q \end{bmatrix} = \begin{bmatrix} i_D - \bar{i}_D \\ i_Q - \bar{i}_Q \end{bmatrix} \quad (3.28)$$

Les transformations T_{32} et $P(\omega t)$ appliquées à ces courants permettent l'obtention des courants de référence i_{refa} , i_{refb} et i_{refc} dans le repère triphasé abc .

III.3.3.2. Modification de la méthode SRF neuronale

Une approche appelée *SRFM* (*SRF Modifiée*) développée par nos soins a aussi été présentée dans [DZ-09] et [DZ-11a] sous le label *TPF* (*Two-Phase Flow*). C'est une variante de la méthode *SRF* neuronale utilisée pour identifier les courants harmoniques, mais avec cette fois un seul réseau de neurone de type Adaline. Cette approche reprend la transformation du courant de charge du système triphasé successivement vers le repère $\alpha\beta$ puis vers le repère en quadrature DQ grâce respectivement à la matrice de Concordia et la matrice de rotation de Park. L'espace DQ permet la décomposition du courant de charge en expression linéaire puis sa séparation en une composante alternative liée au courant harmonique et une composante continue liée au courant fondamental. Le principe de la méthode *SRFM* est illustré par la figure III.16.

Cette fois-ci, dans le repère DQ , nous retenons une seule expression de courant que nous présentons en notation matricielle. A titre d'exemple et selon l'axe D, nous avons déjà observé à par partir de l'expression (3.26) que le courant i_D pouvait s'écrire en fonction du vecteur poids et de l'entrée de l'Adaline. Selon l'expression (3.24) du courant i_D , son apprentissage par un Adaline permet de déterminer le poids $W_0(k)$ qui estime la composante continue \bar{i}_D dont la valeur est :

$$\bar{i}_D = \sqrt{\frac{3}{2}}I_1 \cos(\alpha_1) \quad (3.29)$$

Il est aussi possible de retrouver selon l'axe Q la quantité $-\sqrt{\frac{3}{2}}I_1 \sin(\alpha_1)$ qui correspond à la valeur de la composante continue \bar{i}_Q avec l'équation (3.29). En effet, de l'expression (3.29),

on peut déterminer $\alpha_1 = \text{acos} \left(\sqrt{\frac{2}{3}} \frac{\bar{i}_D}{I_1} \right)$ afin de déduire la composante \bar{i}_Q par la relation (3.30).

$$\bar{i}_Q = -\sqrt{\frac{3}{2}} I_1 \sin \left[\text{acos} \left(\sqrt{\frac{2}{3}} \frac{\bar{i}_D}{I_1} \right) \right] \quad (3.30)$$

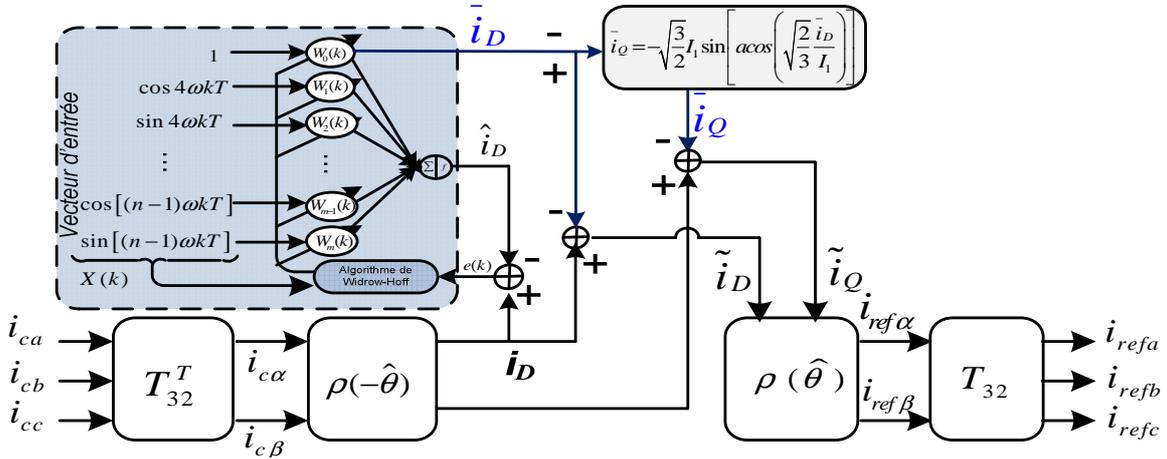


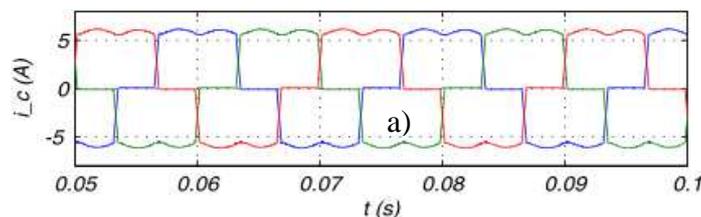
Fig. III.16 Topologie de la méthode SRFM avec un seul Adaline

Les composantes continues \bar{i}_D et \bar{i}_Q sont ainsi déterminées à l'aide du même Adaline. Puis, les composantes alternatives sont déduites par les expressions (3.28) avant d'être transformées par les opérateurs T_{32} et $\rho(\omega t)$ en vue de l'obtention des courants de référence i_{refa} , i_{refb} et i_{refc} dans le repère triphasé.

III.3.3.3. Exemple de simulation et prototypage FPGA

Dans les mêmes conditions de simulation que celles adoptées pour la méthode TMM, la méthode SRFM nous permet d'obtenir avec une architecture simplifiée le système triphasé des courants de référence. Les résultats de simulation de la figure III.17 montrent à partir du courant de charge (figure III.17 a), l'extraction d'une composante fondamentale (figure III.17 b) et les courants harmoniques (figure III.17 c), qui servent de référence pour le module de contrôle de courant du FAP.

Par ailleurs, le tableau III.4 présente les résultats de l'intégration de la méthode synchrone sur FPGA. Le modèle neuronale classique consomme 32,33% de ressources tandis que le modèle simplifié que nous proposons occupe seulement 21,67% de la surface du composant utilisé. Ces résultats traduisent un gain remarquable de ressources de calcul en adoptant la nouvelle approche SRFM plutôt que la méthode SRF, et ce, avec des performances similaires.



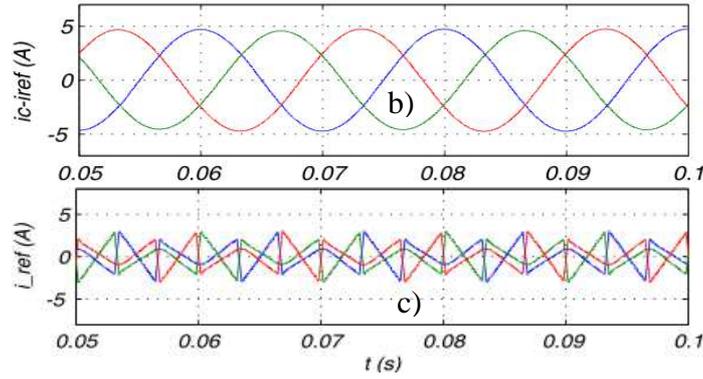


Fig. III.17. Cas idéal : Résultats pour les méthodes SRF et SRFM

Ressources de calcul	Quantité disponible	Taux d'utilisation en %	
		<i>SRF</i>	<i>SRFM</i>
ALUT	143,520	6	4
Bits mémoire (RAM)	9.383.040	8	4
Blocs DSP de 9-bits	768	83	57
<i>Surface occupée</i>		32,33%	21,67%

Tab. III.4. Résultats comparatifs du prototype FPGA pour les méthodes *SRF* et *SRFM*

III.3.4. Méthode des puissances active et réactive instantanées (*p-q*)

A titre d'exemple, nous considérons une charge constituée d'un pont redresseur à thyristor triphasé (Pont de Graetz). Le courant i_c consommé par ce pont redresseur peut être décomposé en série de Fourier, comme le décrit l'équation suivante :

$$i_c = \sqrt{2}I_1 \left[\begin{aligned} &\sin(\omega t - \alpha) - \frac{1}{5} \sin[5(\omega t - \alpha)] - \frac{1}{7} \sin[7(\omega t - \alpha)] + \frac{1}{11} \sin[11(\omega t - \alpha)] \\ &+ \frac{1}{13} \sin[13(\omega t - \alpha)] - \frac{1}{17} \sin[17(\omega t - \alpha)] - \frac{1}{19} \sin[19(\omega t - \alpha)] + \dots \end{aligned} \right] \quad (3.31)$$

avec α l'angle d'allumage des thyristors et I_1 la valeur efficace du fondamental du courant. Nous remarquons que les courants harmoniques sont de rang $(6K-1)$ ($K = 1, 2, 3, \dots$) et que la valeur efficace de chaque courant harmonique I_h est inversement proportionnelle au rang correspondant ($I_h = I_1/h$).

III.3.4.1. Rappel sur la méthode *p-q*

a) Cas idéal : courants harmoniques équilibrés et tensions sinusoïdales équilibrées

$$\begin{bmatrix} v_{sa} \\ v_{sb} \\ v_{sc} \end{bmatrix} = \sqrt{2}V_s \begin{bmatrix} \sin(\omega t) \\ \sin(\omega t - 2\pi/3) \\ \sin(\omega t + 2\pi/3) \end{bmatrix} \quad (3.32)$$

$$\begin{bmatrix} v_{s\alpha} \\ v_{s\beta} \end{bmatrix} = \sqrt{3}V_s \begin{bmatrix} \sin(\omega t) \\ -\cos(\omega t) \end{bmatrix} \quad (3.33)$$

$$\begin{bmatrix} i_{c\alpha} \\ i_{c\beta} \end{bmatrix} = \sqrt{3}I_1 \left(\begin{bmatrix} \sin(\omega t - \alpha) \\ -\cos(\omega t - \alpha) \end{bmatrix} - \frac{1}{5} \begin{bmatrix} \sin[5(\omega t - \alpha)] \\ \cos[5(\omega t - \alpha)] \end{bmatrix} - \frac{1}{7} \begin{bmatrix} \sin[7(\omega t - \alpha)] \\ -\cos[7(\omega t - \alpha)] \end{bmatrix} + \dots \right) \quad (3.34)$$

La puissance active instantanée, p , peut être calculée à partir des équations (1.5), (3.33) et (3.34) et est définie par la relation (3.35):

$$p(t) = \underbrace{3V_s I_1 \cos \alpha}_p + \underbrace{\frac{3V_s I_1}{5} \cos(6\omega t - 5\alpha) - \frac{3V_s I_1}{7} \cos(6\omega t - 7\alpha) - \dots}_p \quad (3.35)$$

Le premier terme (continu) de cette relation représente la puissance active moyenne, notée \bar{p} , liée au fondamental tandis que les autres termes représentent la puissance alternative, notée \tilde{p} causée par les courants harmoniques. A partir de la relation 3.35, le tracé de la figure III.18 représente la transformation du spectre de la puissance active instantanée.

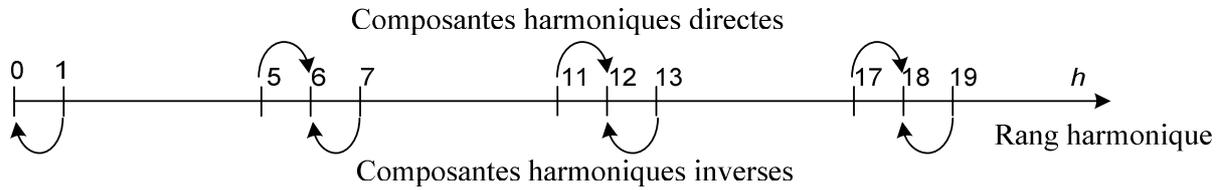


Fig. III.18. Transformation du spectre de la puissance réelle instantanée (courant harmonique et tension sinusoïdale équilibrés)

Cette représentation met en évidence les composantes harmoniques ainsi que leurs origines. Une figure similaire peut être obtenue pour la puissance réactive instantanée.

b) Courants harmoniques équilibrés et tensions sinusoïdales déséquilibrées

Les tensions réseau sont maintenant déséquilibrées et définies par la relation matricielle suivante :

$$\begin{bmatrix} v_{sa} \\ v_{sb} \\ v_{sc} \end{bmatrix} = \sqrt{2} \left\{ V_s^{(d)} \begin{bmatrix} \sin(\omega t) \\ \sin(\omega t - 2\pi/3) \\ \sin(\omega t + 2\pi/3) \end{bmatrix} + V_s^{(inv)} \begin{bmatrix} \sin(\omega t) \\ \sin(\omega t + 2\pi/3) \\ \sin(\omega t - 2\pi/3) \end{bmatrix} \right\} \quad (3.36)$$

$V_s^{(d)}$ et $V_s^{(inv)}$ représentent respectivement les composantes efficaces directe et inverse de la tension réseau. Dans le repère $\alpha\beta$, le système de tension réseau devient :

$$\begin{bmatrix} v_{s\alpha} \\ v_{s\beta} \end{bmatrix} = \sqrt{3} \left\{ V_s^{(d)} \begin{bmatrix} \sin(\omega t) \\ -\cos(\omega t) \end{bmatrix} + V_s^{(inv)} \begin{bmatrix} \sin(\omega t) \\ \cos(\omega t) \end{bmatrix} \right\} \quad (3.37)$$

De même, l'expression analytique de la puissance active p peut être établie et généralisée à la puissance réactive. La puissance active peut être calculée à partir des équations (1.5), (3.34) et (3.37) et s'exprime selon la relation (3.38):

$$p(t) = \left\{ \underbrace{3V_s^{(d)} I_1 \cos \alpha}_p \right\} + \left\{ \underbrace{\begin{aligned} &3V_s^{(inv)} I_1 \cos(2\alpha t - \alpha) + \frac{3V_s^{(d)} I_1}{5} \cos(6\alpha t - 5\alpha) - \frac{3V_s^{(inv)} I_1}{5} \cos(4\alpha t - 5\alpha) \\ &-\frac{3V_s^{(d)} I_1}{7} \cos(6\alpha t - 7\alpha) + \frac{3V_s^{(inv)} I_1}{7} \cos(8\alpha t - 7\alpha) + \dots \end{aligned}}_p \right\} \quad (3.38)$$

Le premier terme de cette relation représente la puissance active moyenne, tandis que la somme des autres termes représente une puissance alternative ayant pour origine la composition des courants harmoniques et des tensions directes et inverses du réseau électrique. A partir de cette relation, nous obtenons les composantes harmoniques de la puissance active instantanée. La figure III.19 présente ces composantes harmoniques ainsi que leurs origines. Nous retrouvons (en vert) la contribution des courants harmoniques de la charge, composés avec les tensions directes du réseau. Par ailleurs, la composition de la composante inverse de la tension avec le fondamental du courant de la charge génère une puissance alternative de pulsation 2ω . De plus, cette même tension inverse composée avec les courants harmoniques induit des puissances alternatives de pulsations ($4\omega, 8\omega, 10\omega, 14\omega, 16\omega \dots$). Un résultat identique peut être obtenu pour la puissance réactive instantanée.

A partir de ces analyses, il apparaît que les tensions déséquilibrées sont à l'origine de la composante harmonique de rang 2 des puissances instantanées. Ceci peut conduire à une valeur erronée lors de l'identification des courants de référence, car un simple FPB (utilisé de manière classique dans la méthode $p-q$) n'est pas efficace pour éliminer cette composante harmonique proche de sa fréquence de coupure et présente un résidu important. C'est ainsi que la modélisation neuronale du FPB présente un atout particulier dans ce sens qu'elle permet de cibler efficacement cette composante harmonique en vue de son élimination.

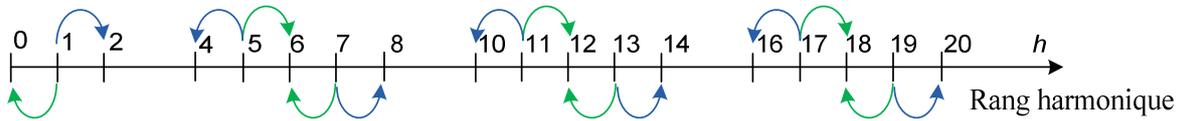


Figure III.19. Composantes harmoniques de la puissance active instantanée (Charge équilibrée et tensions sinusoïdales déséquilibrées)

III.3.4.2. Modélisation à base des réseaux de neurones

Une tension équilibrée et symétrique comme celle de l'équation 3.32, est une tension constituée uniquement de la composante directe. De ce fait, une tension déséquilibrée qui se décompose aisément en composantes directe, inverse et homopolaire permet d'obtenir l'expression générale des puissances réelles et imaginaires instantanées par l'analyse de Fourier. Cette expression présentée dans la suite peut ainsi prendre en compte les différentes formes de tension du réseau.

$$f(t) = A_0 + A_2 \cos(2\alpha t - \alpha) + B_2 \sin(2\alpha t - \alpha) + \sum_{n=1, \dots, N} \left[\begin{aligned} &A_{n1} \cos(n\alpha t - (n-1)\alpha) + A_{n2} \cos((n-2)\alpha t - (n-1)\alpha) \\ &+ A_{n3} \cos(n\alpha t - (n+1)\alpha) + A_{n4} \cos((n+2)\alpha t - (n+1)\alpha) \\ &+ B_{n1} \sin(n\alpha t - (n-1)\alpha) + B_{n2} \sin((n-2)\alpha t - (n-1)\alpha) \\ &+ B_{n3} \sin(n\alpha t - (n+1)\alpha) + B_{n4} \sin((n+2)\alpha t - (n+1)\alpha) \end{aligned} \right] \quad (3.39)$$

où A_0 est la composante continue, A_2 et les A_{ni} d'une part; B_2 et B_{nj} d'autre part sont les amplitudes des sinus et cosinus. L'expression (3.39) peut se mettre en notation vectorielle sous la forme de l'équation (3.40):

$$f(t) = W^T \cdot X(t) \quad (3.40)$$

avec $W^T = [A_0 A_2 B_2 A_{11} A_{12} A_{13} A_{14} B_{11} B_{12} B_{13} B_{14} \dots A_{N1} A_{N2} A_{N3} A_{N4} B_{N1} B_{N2} B_{N3} B_{N4}]$ et

$$X(t) = \begin{bmatrix} 1 \\ \cos(2\omega t - \alpha) \\ \sin(2\omega t - \alpha) \\ \cos(6\omega t - 5\alpha) \\ \sin(6\omega t - 5\alpha) \\ \cos(4\omega t - 5\alpha) \\ \sin(4\omega t - 5\alpha) \\ \cos(6\omega t - 7\alpha) \\ \sin(6\omega t - 7\alpha) \\ \cos(8\omega t - 7\alpha) \\ \sin(8\omega t - 7\alpha) \\ \dots \\ \cos(n\omega t - (n-1)\alpha) \\ \sin(n\omega t - (n-1)\alpha) \\ \cos((n-2)\omega t - (n-1)\alpha) \\ \sin((n-2)\omega t - (n-1)\alpha) \\ \cos(n\omega t - (n+1)\alpha) \\ \sin(n\omega t - (n+1)\alpha) \\ \cos((n+2)\omega t - (n+1)\alpha) \\ \sin((n+2)\omega t - (n+1)\alpha) \end{bmatrix} \quad (3.41)$$

L'équation (3.40) est linéairement séparable et peut alors être implémenté par un unique neurone, où W est le vecteur poids du réseau et $X(t)$ son entrée. La figure III.20 montre cette topologie. Pour estimer conjointement les deux puissances, deux réseaux Adaline similaires sont nécessaires.

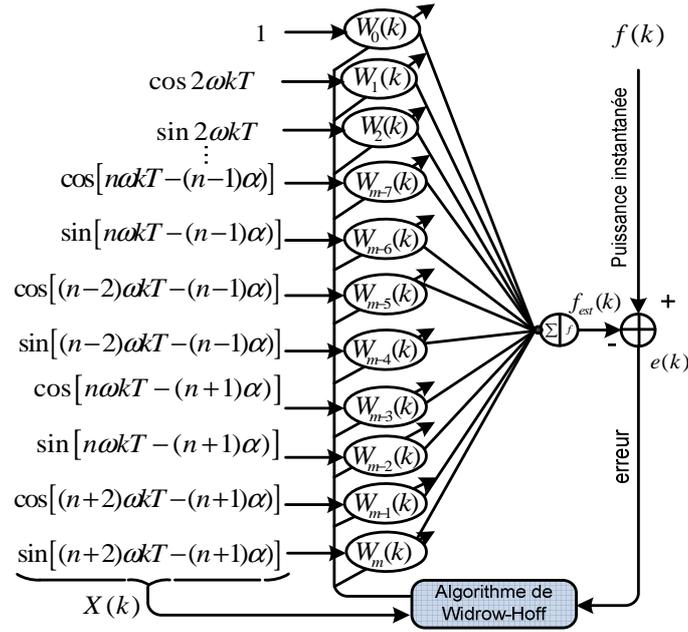


Fig. III.20. Structure du réseau Adaline pour l'estimation des harmoniques par la méthode p - q dans sa formulation généralisée

$f(k)$ est le signal à identifier par ces composantes (puissance active ou puissance réactive du réseau), $f_{est}(k)$ est le signal estimé par le réseau de neurones (la puissance instantanée prédite par le réseau Adaline). L'erreur $e(k)$ est la différence entre le signal $f(k)$ à l'instant k et le signal estimé $f_{est}(k)$. Elle est utilisée par l'algorithme d'apprentissage, version modifiée de l'algorithme Widrow-Hoff, pour la mise à jour des poids du réseau. Pour réaliser une bonne prédiction du signal, l'algorithme cherche soit à annuler l'erreur $e(k)$, soit à atteindre une valeur fixée au préalable. Dans notre application, les amplitudes des composantes continues de la puissance active et de la puissance réactive instantanées sont déterminées à chaque fois par le premier poids des deux réseaux Adaline. La différence entre la puissance active ou réactive et sa composante continue estimée permet de déterminer la composante alternative.

Les composantes alternatives des puissances active et réactive établissent les courants de références à injecter en opposition de phase sur le réseau électrique. La méthode autorise également de récupérer les puissances alternatives individuellement, et ceci en considérant la somme de deux poids consécutifs multipliés par les cosinus et sinus équivalents. De cette façon, la méthode p - q neuronale permet d'identifier individuellement les courants harmoniques. Pour cela, il suffit d'identifier dans le repère diphasé les composantes des puissances équivalentes. Pour une harmonique d'ordre n , on peut écrire :

$$\begin{aligned}
 p_n(t) = & \left\{ \begin{aligned} & A_{pn1} \cos(n\omega t - (n-1)\alpha) + A_{pn3} \cos(n\omega t - (n+1)\alpha) + \\ & B_{pn1} \sin(n\omega t - (n-1)\alpha) + B_{pn3} \sin(n\omega t - (n+1)\alpha) \end{aligned} \right\} \rightarrow p_n^{(d)} \\
 + & \left\{ \begin{aligned} & A_{pn2} \cos((n-2)\omega t - (n-1)\alpha) + A_{pn4} \cos((n+2)\omega t - (n+1)\alpha) + \\ & B_{pn2} \sin((n-2)\omega t - (n-1)\alpha) + B_{pn4} \sin((n+2)\omega t - (n+1)\alpha) \end{aligned} \right\} \rightarrow p_n^{(inv)}
 \end{aligned} \quad (3.42)$$

avec p_n^d la puissance active issue de la composante directe de la tension source et p_n^{inv} celle issue de la composante inverse. De même la composante réactive s'exprimera sous la forme $q_n(t) = q_n^d + q_n^{inv}$.

Le courant harmonique équivalent $i_{ch}(t)$ sera retrouvé par la transformation de Concordia inverse. Considérons à la figure III.21 le courant de charge sur une phase ainsi que son spectre harmonique, lequel courant est prélevé à partir d'un système électrique présentant des tensions source équilibrées alimentant une charge non linéaire équilibrée.

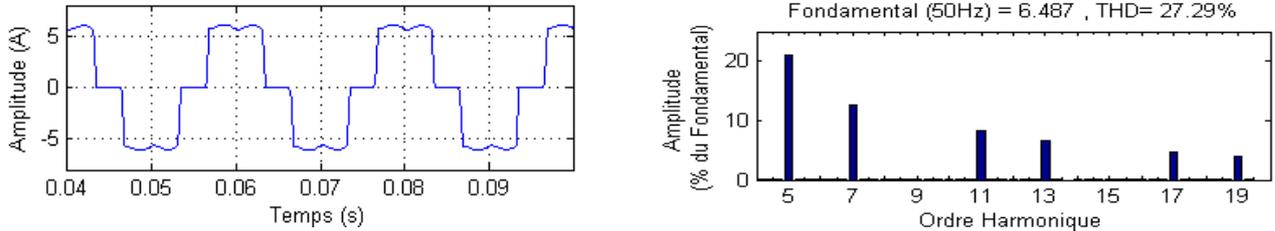


Fig. III.21 a) Allure du courant de charge, b) son spectre harmonique

Par application de la méthode $p-q$, les résultats de simulation de la figure III.22. a), révèlent une bonne séparation des harmoniques de la composante fondamentale du courant de charge qui se caractérise par un THD de moins de 0,14%. A la suite de la génération des courants de références, en adoptant un contrôle de courant HBZ, on peut observer sur la figure III.22 b) les variations du THD du courant coté source après compensation qui se situent autour de 1.8%. L'allure dudit courant est présentée à la figure III.23. a) et sa décomposition spectrale révélée à la figure III.23. b) est suffisamment représentative du bon filtrage harmonique sur le réseau.

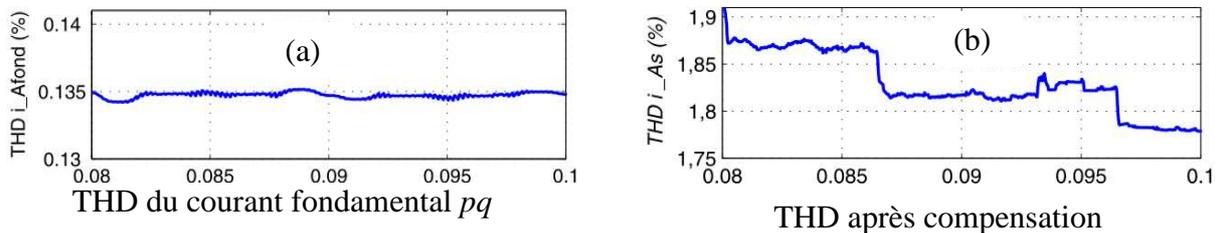


Fig. III.22. Evolution du THD - a) THD de la composante fondamentale du courant de charge, b) THD du courant côté source après compensation

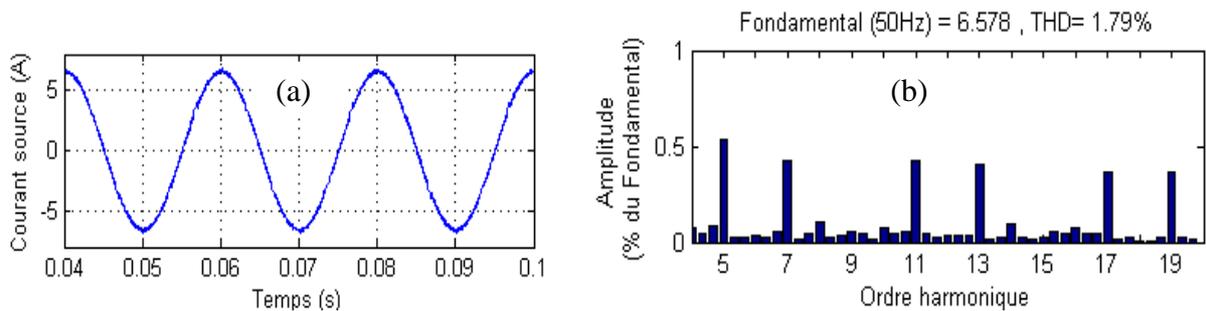


Fig. III.23. Courant source après compensation - a) sa forme d'onde, b) sa décomposition spectrale

Après la présentation d'une approche simplifiée de la méthode $p-q$, une évaluation poussée de ses performances sera effectuée en comparaison avec les autres méthodes d'identification à la section III.3.6.

III.3.5. Méthode "p-q simplifiée" ou p-qs

Une variante de la méthode p-q peut être obtenue par modification de la structure de l'Adaline utilisé. Dans la topologie de la figure III.20, on peut remarquer que le poids $W_0(k)$ affecté à l'entrée en biais de valeur 1 correspond tout simplement à la partie continue de la variable désirée. En construisant chaque Adaline avec uniquement l'entrée en biais selon la structure de la figure III.24 pour apprendre une puissance instantanée, le poids du neurone correspondrait ainsi à la partie continue de la puissance désirée, c'est à dire la puissance moyenne. Dans ce cas, l'algorithme d'apprentissage de Widrow-Hoff qui s'écrit selon l'expression analytique (3.43) rendrait cette méthode indépendante du nombre d'harmoniques présents dans le signal pollué. En adoptant cette modification, la vitesse des itérations est considérablement augmentée entraînant une estimation plus accélérée. Cependant, le poids pondéré en régime permanent ne correspond pas à une estimation de la grandeur désirée, mais plutôt à une partie de celle-ci, impliquant ainsi une erreur plus grande.

$$W_o(k+1) = W_o(k) + \mu e'(k) \cdot X(k) \quad (3.43)$$

μ est le paramètre d'apprentissage, $X(k) = 1$ est l'entrée de l'Adaline et l'erreur $e'(k)$ obtenue selon la relation (3.44) correspond à la partie alternative de la puissance instantanée.

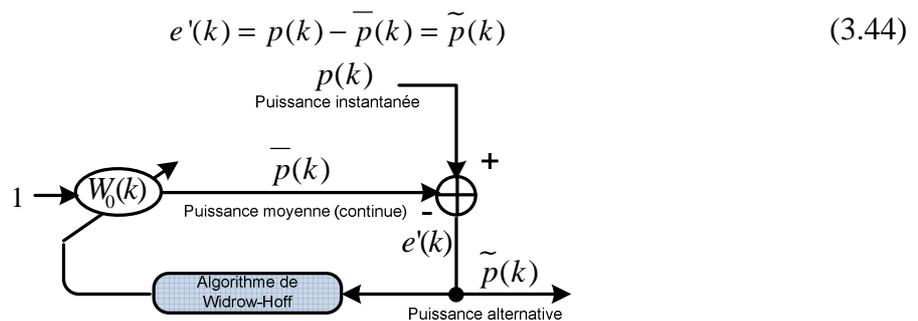


Fig. III.24. Extraction de puissance alternative par la méthode p-qs

Non seulement l'erreur est plus grande, de plus elle n'est pas constante en régime permanent, ce qui rend à priori l'apprentissage moins efficace. Le principal avantage de cette méthode par rapport à méthode p-q est sans nul doute la simplicité sa structure dans la perspective d'implémentation matérielle.

III.3.6. Etude comparative des Méthodes d'Identification des harmoniques

III.3.6.1. Performance des méthodes d'identification

Il est rapporté dans [KA-09] une analyse intéressante de l'identification des harmoniques par la méthode p-q et la méthode SRF. Compte tenu du fait que toutes les méthodes neuronales de détection sont performantes en conditions idéales, nous allons nous intéresser essentiellement à leur comportement en conditions non idéales.

a) Cas de la méthode SRFM

Les performances de la méthode SRFM dépendent fortement des performances de la PLL mise en œuvre et destinée à générer des signaux sinus et cosinus, synchrones avec le réseau. Par la suite, nous restituons une analyse sur le comportement de la PLL classique mise en

œuvre dans diverses conditions : tensions de source sinusoïdales ou non et présentant éventuellement des déséquilibres. Le schéma de principe de cette PLL est présenté au chapitre 1 à la figure I.7.

- Tensions de source sinusoïdales déséquilibrées

Dans ce cas, les tensions réseau selon les axes $\alpha\beta$ sont définies par la relation matricielle (3.37). L'expression de ces tensions selon les axes DQ est alors la suivante :

$$\begin{bmatrix} v_{sd} \\ v_{sd} \end{bmatrix} = \begin{bmatrix} \cos(\hat{\theta}) & \sin(\hat{\theta}) \\ -\sin(\hat{\theta}) & \cos(\hat{\theta}) \end{bmatrix} \begin{bmatrix} v_{s\alpha} \\ v_{s\beta} \end{bmatrix} \quad (3.43)$$

A partir des équations (3.37) et (3.43), nous obtenons :

$$v_{sd} = \sqrt{3}V_d \sin(\theta - \hat{\theta}) + \sqrt{3}V_{inv} \sin(\theta + \hat{\theta}) \quad (3.44)$$

Sachant que la valeur de $(\theta - \hat{\theta})$ est faible, l'expression (3.44) peut être approximée par

$$v_{sd} = \sqrt{3}V_d (\theta - \hat{\theta}) + \sqrt{3}V_{inv} \sin(2\hat{\theta}) \quad (3.45)$$

Le premier terme de cette relation représente l'influence de la composante directe de la tension, tandis que le deuxième terme représente l'influence de sa composante inverse. Considérant l'expression (3.45), nous pouvons conclure que v_{sd} , et par conséquent la position angulaire estimée par la PLL, seront toutes deux affectées par la composante inverse de la tension.

- Tensions de source équilibrées contenant des harmoniques

Dans ce cas, nous considérons que les tensions réseau contiennent des harmoniques. Elles peuvent donc s'écrire :

$$\begin{bmatrix} v_{sa} \\ v_{sb} \\ v_{sc} \end{bmatrix} = \sqrt{2}V_s \left(\begin{bmatrix} \sin(\omega t) \\ \sin(\omega t - 2\pi/3) \\ \sin(\omega t + 2\pi/3) \end{bmatrix} + \frac{1}{5} \begin{bmatrix} \sin(5\omega t) \\ \sin[5(\omega t - 2\pi/3)] \\ \sin[5(\omega t + 2\pi/3)] \end{bmatrix} + \frac{1}{7} \begin{bmatrix} \sin(7\omega t) \\ \sin[7(\omega t - 2\pi/3)] \\ \sin[7(\omega t + 2\pi/3)] \end{bmatrix} + \dots \right) \quad (3.46)$$

En appliquant la transformation de Concordia, nous obtenons la relation matricielle suivante :

$$\begin{bmatrix} v_{s\alpha} \\ v_{s\beta} \end{bmatrix} = \sqrt{3}V_s \left(\begin{bmatrix} \sin(\omega t) \\ -\cos(\omega t) \end{bmatrix} + \frac{1}{5} \begin{bmatrix} \sin(5\omega t) \\ \cos(5\omega t) \end{bmatrix} + \frac{1}{7} \begin{bmatrix} \sin(7\omega t) \\ -\cos(7\omega t) \end{bmatrix} + \dots \right) \quad (3.47)$$

A partir de l'équation (3.47), nous obtenons :

$$v_{sd} = \sqrt{3}V_s \sin(\theta - \hat{\theta}) + \frac{\sqrt{3}V_s}{5} \sin(5\theta + \hat{\theta}) + \frac{\sqrt{3}V_s}{7} \sin(5\theta - \hat{\theta}) + \dots \quad (3.48)$$

Nous constatons que les harmoniques de tension induisent des composantes alternatives qui affectent ici encore les performances de la PLL.

b) Cas des autres méthodes

De même que la méthode *SRFM*, la méthode directe et la méthode *TMM* font abstraction de la fonction d'extraction des composantes directes de tension. De ce fait, elles seront tout aussi sensibles à la composante inverse de la tension source. Par ailleurs, nous avons déjà évoqué le problème du filtrage de la composante harmonique de rang 2 générée par le déséquilibre au niveau de cette tension. La méthode d'identification *p-q* associée à une PLL basée sur la théorie des puissances instantanées constituera une stratégie de compensation suffisamment sélective et robuste pour faire face à ce déséquilibre.

III.3.6.2. Comparaison structurelle et fonctionnelle

Dans le but de faire une étude comparative entre les méthodes neuronales d'identification des harmoniques sur les plans structurel et fonctionnel, nous avons choisi cinq critères :

- nécessité ou non de la présence d'une méthode d'extraction des tensions directes,
- nécessité ou non d'une transformation des courants et/ou de repères
- utilisation pour les systèmes monophasés,
- nombre d'Adalines utilisés dans le module d'identification et en cas de besoin dans le bloc d'extraction des tensions directes de la PLL
- nombre d'entrées par Adaline fixant la taille du vecteur X.

Selon le tableau comparatif III.5, les méthodes *p-q* et *p-qs* basées sur la théorie des puissances instantanées sont les seules qui ont besoin d'un système d'extraction de la tension directe du réseau électrique. Elles ne sont pas applicables pour les systèmes monophasés de même que la méthode *SRFM*. Celle-ci effectue l'identification des courants dans le repère à deux dimensions (*DQ*) et offre tous les avantages des méthodes *p-q* et *p-qs* tout en s'affranchissant de la nécessité d'une PLL. La méthode directe ne nécessite pas la décomposition de la tension ni la transformation des courants. La technique tri-monophasée modifiée s'applique sur les courants comme la méthode directe et la méthode *SRFM* tandis que les méthodes *p-q* et *p-qs* s'utilisent dans l'espace des puissances. La méthode *SRFM* avec les réseaux de neurones apparaît comme celle qui remplit le mieux les différentes contraintes et notamment celles relatives aux ressources de calculs.

Méthode de Compensation harmonique	Nécessité d'une transformation de repère	Valable pour un système monophasé	Nombre d'Adalines (Identification + PLL)	Nombre d'entrées par Adaline	Besoin de la tension directe?
<i>Directe</i>	non	oui	3	7	non
<i>TMM</i>	non	oui	3	11	non
<i>SRFM</i>	oui	non	1	5	non
<i>p-q</i>	oui	non	4	11	oui
<i>p-qs</i>	oui	non	4	1	oui

Tab. III.5 : Comparaison des techniques de compensation

Par la suite, l'étude comparative entre les méthodes d'identification tiendra aussi compte des résultats de simulation et du prototypage FPGA. C'est ainsi qu'une évaluation sera faite à l'issue des simulations sur les paramètres suivants :

- Temps de réponse
- THD de la composante fondamentale du courant de charge
- THD du courant source après compensation

Tous ces paramètres ainsi que le taux de remplissage du FPGA à l'issue de la phase de prototypage devront être les plus petits possibles.

III.3.6.3. Résultats de simulation

Avant de présenter les résultats de simulation, nous allons d'abord discuter du choix des paramètres du FAP. Pour la simulation, nous avons choisi une tension source entre phases de 100V. Etant donné que la tension de référence du bus continu doit être supérieure ou égale à la tension redressée maximale, sa valeur minimale vaut donc $V_{dc-refmin} = \sqrt{6}V_s = 141V$. Elle doit également être inférieure à la tension nominale imposée par la limitation physique des semi-conducteurs de puissance. De plus, afin de satisfaire la contrainte de contrôlabilité en courant, la condition (3.49) doit être respectée [KA-09]:

$$\sqrt{\frac{2}{3}}V_{dc-ref} \geq (v_{s,max}) + L_f \left(\frac{di_{ref}}{dt} \right)_{max} \quad (3.49)$$

Il existe donc une relation entre la valeur minimale de v_{dc-ref} et la valeur de l'inductance de découplage. Nous avons ainsi fixé la tension de référence v_{dc-ref} à 200 V. Puis en prélevant la pente maximale en régime permanent du courant de référence obtenu à la figure III.25, nous avons choisi $L_f = 7$ mH pour avoir une marge de contrôlabilité du courant afin de garantir le bon fonctionnement du système lors de variations de charge. La valeur du condensateur du bus continu de l'onduleur C_{dc} est fixée à 1100 μ F selon la maquette expérimentale. En résumé, nous présentons au tableau III.6., les caractéristiques des éléments du réseau électrique ainsi que les paramètres de simulation.

Source de tension	tensions équilibrées	amplitude (PH-N) $V_s = 81,65V$ résistance de la source $R_s = 0$
	tensions déséquilibrées	$V_{sa} = 64,5V, V_{sb} = 46V, V_{sc} = 81,65V$ $R_{sa} = 5 \Omega, R_{sb} = 10 \Omega, R_{sc} = 0 \Omega$
	Fréquence	$f = 50Hz$
Charge perturbatrice	pont de Graetz (angle d'amorçage de 0° , avec sur le côté continu une résistance $R_c = 20 \Omega$ et une inductance $L_c = 12,5$ mH)	
Filtre de sortie	$R_f = 3 \Omega - L_f = 7mH$	
Bus continu de l'onduleur	Tension $V_{dc-ref} = 200V$	
Période d'échantillonnage	$T_e = 10^{-5} s$	

Tab. III.6. Paramètres de simulation

Le courant absorbé par la charge, sur lequel nous appliquons les méthodes d'identification présentées ci-dessus, sera caractérisé par un THD de 27,3%. A la figure III.25, sont restituées les composantes fondamentales (figure III.25 a) et les courants harmoniques (figure III.25 b) sur une phase en situation idéale. Les figures III.26 et III.27 concernent respectivement les résultats d'identification en présence d'une tension source contenant une harmonique d'ordre 3 et les résultats pour une variation brusque de la charge à 0.1s. Dans tous les cas, on remarque que les signaux sont identiques en régime statique, mais varient différemment pendant la phase d'apprentissage. En effet, nous constatons que la méthode directe est la plus lente à converger.

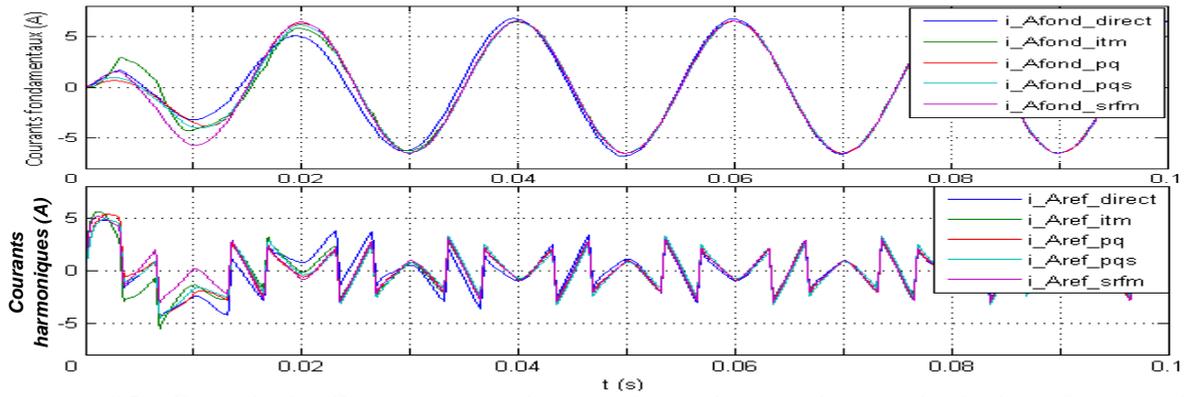


Fig. III.25. Cas idéal: Comparaison des résultats de simulation de l'identification des harmoniques sur une phase a) les composantes fondamentales ; b) les courants harmoniques

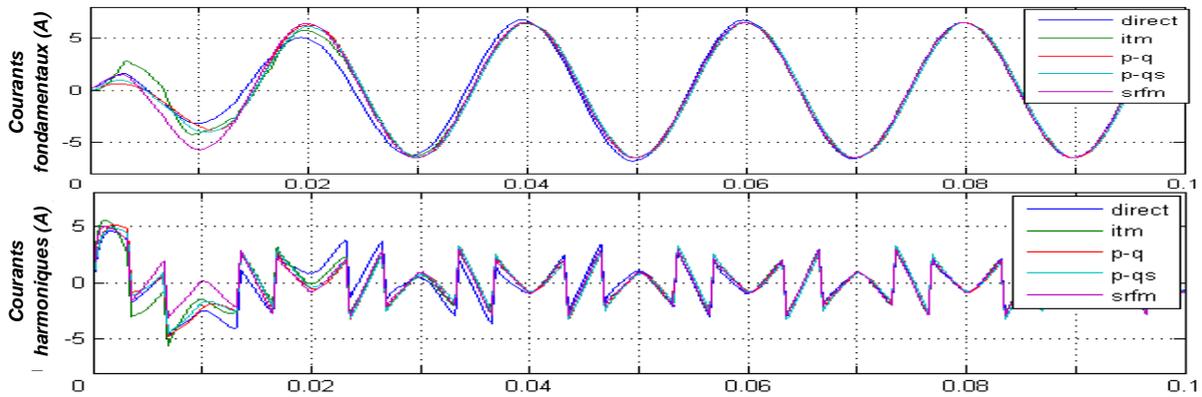


Fig. III.26. Tension source polluée d'une harmonique d'ordre 3: Comparaison des résultats de simulation de l'identification des harmoniques sur une phase a) les composantes fondamentales ; b) les courants harmoniques

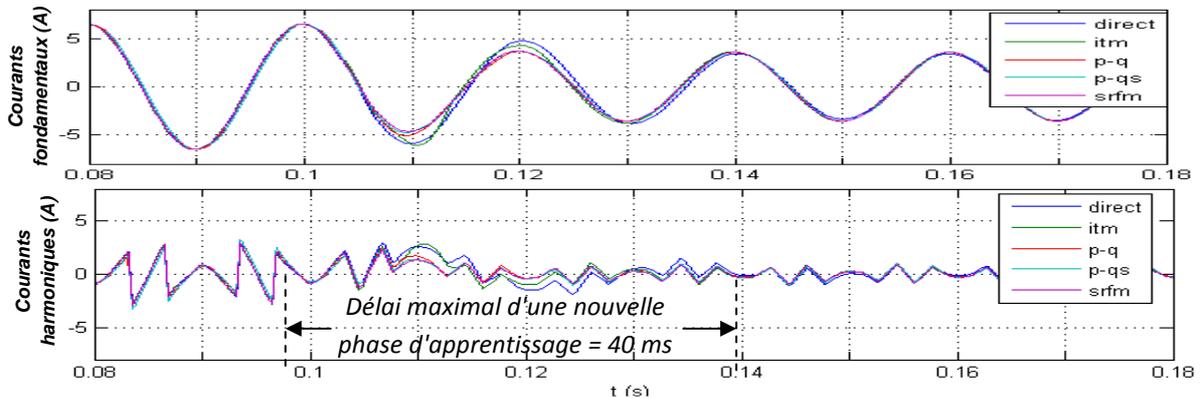


Fig. III.27. Variation de charge à 0.1s : Comparaison des résultats de simulation de l'identification des harmoniques sur une phase a) les composantes fondamentales ; b) les courants harmoniques

On peut remarquer à la figure III.28, qu'en présence d'une tension source déséquilibrée identique à celle de la figure III.3, la méthode $p-q$ est la seule méthode d'identification qui arrive à maintenir un courant fondamental équilibré. Par conséquent, nous allons montrer que le courant côté source après compensation harmonique va suivre cette tendance.

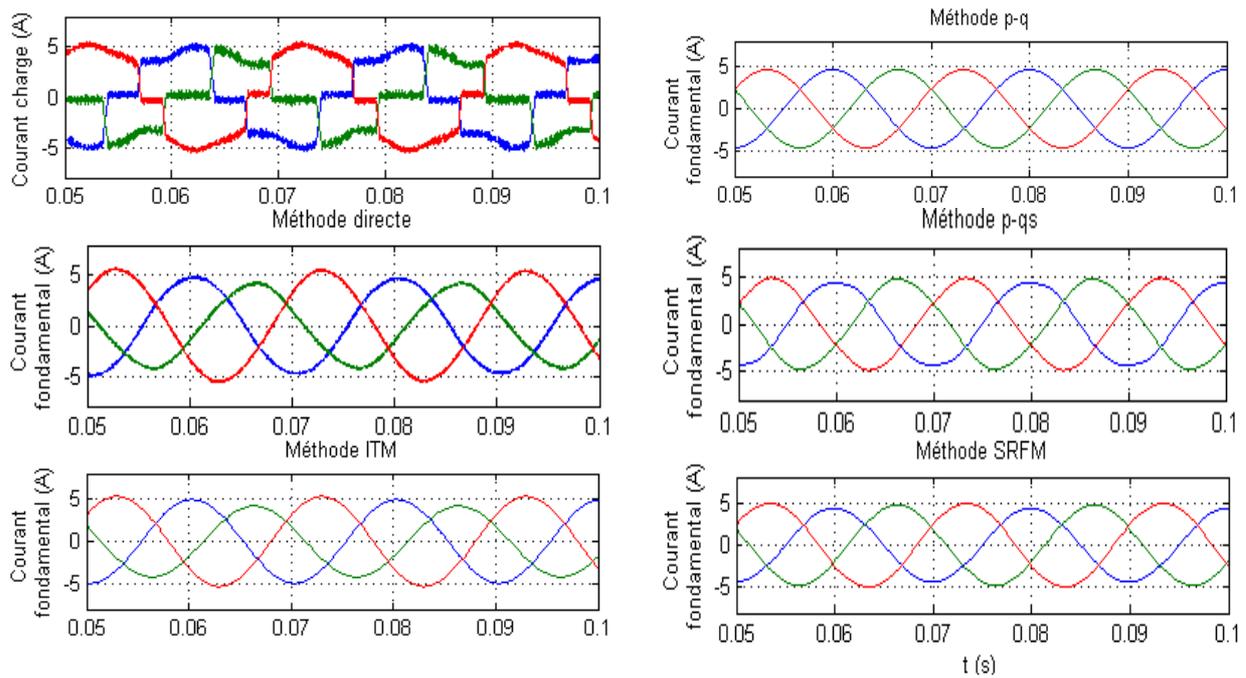


Fig. III.28. Tension source déséquilibrée : Composantes fondamentales des courants de charge après extraction des harmoniques sur une phase

A l'issue des simulations, le tableau III.7 permet d'évaluer les performances de compensation harmonique pour les méthodes d'identification retenues, par rapport aux trois critères de base retenus :

Temps de réponse : c'est le temps d'apprentissage des Adalines à l'issue duquel débute le régime permanent. Les méthodes $p-q$ et $p-qs$ se caractérisent par une phase d'apprentissage rapide pouvant atteindre 17ms. Quant à la méthode directe, elle semble la plus lente à converger avec un temps d'établissement qui atteint 60ms avec une tension source polluée d'harmoniques. Toutefois, face à une variation brusque d'un paramètre du réseau, le temps de réapprentissage est limité à 40ms, car les valeurs actuelles des poids des Adalines ne sont plus nulles comme à l'instant initial.

THD de la composante fondamentale : Elle permet d'évaluer le taux de distorsion de la composante fondamentale du courant de charge après extraction des harmoniques. Les THD les plus satisfaisants concernent le cas idéal pour toutes les méthodes. En présence de déséquilibre et/ou d'harmonique de la tension source, ce taux de distorsion peut augmenter tout en restant dans des proportions acceptables.

THD du courant coté source après compensation : Pour mieux évaluer les méthodes d'identification, ce taux permet d'apprécier la nouvelle forme du courant de source après la dépollution harmonique. Dans les conditions idéales et non idéales, et avec une méthode de contrôle de courant de type HBZ, le tableau III.7 restitue aussi les résultats de compensation harmonique à l'issue de la simulation de l'ensemble source, charge et FAP. On peut constater que la méthode $p-q$ est la meilleure, car elle offre le plus petit taux global de distorsion. En présence d'un déséquilibre de tension source, sa version simplifiée ($p-qs$) avec un THD de

3,2% ne confirme pas les bons résultats de la méthode originale (1,92%). Les autres méthodes, donnent des résultats plutôt satisfaisants en attendant d'être validés expérimentalement.

Méthode de détection des harmoniques	Temps de réponse (ms)			THD de la composante fondamentale (%)			THD du courant source après compensation (%)		
	Cas idéal	v_s déséquilibrée	v_s polluée harmonique 3	Cas idéal	v_s déséquilibrée	v_s polluée harmonique 3	Cas idéal	v_s déséquilibrée	v_s polluée harmonique 3
<i>Directe</i>	50	55	60	0,1	1,8	0,35	0,96	2,4	2,4
<i>TMM</i>	30	30	30	0,1	0,1	0,93	1	2,05	2,7
<i>SRFM</i>	35	33	40	0,26	0,83	0,25	1,78	2,7	2,2
<i>p-q</i>	20	30	17	0,14	0,55	0,13	1,7	1,92	1,75
<i>p-qs</i>	20	21	26	0,59	2,52	0,51	1,95	3,2	1,98

Tab. III.7. Indicateurs de performance des méthodes de compensation harmonique

III.3.6.4. Prototypage FPGA

La nouvelle carte de développement choisie utilise un FPGA Stratix II comme cible d'implantation pour sa densité d'intégration plus importante et sa fréquence de fonctionnement plus élevée. Selon les prévisions faites à partir du tableau III.5, la méthode SRFM est la moins gourmande en ressources FPGA en phase de prototypage. L'implémentation des différentes méthodes d'identification restituée au tableau III.8 nous confirme ces prévisions en faisant de la méthode TMM la plus consommatrice d'espace. Elle occupe en effet 52% du composant FPGA Stratix II EP2S180F1020C3 de la carte de développement qui fait partie de la plate-forme de prototypage de la figure III.29.

Ressource de calcul	Taux d'utilisation en %				
	<i>Directe</i>	<i>TMM</i>	<i>SRFM</i>	<i>p-q</i>	<i>p-q-s</i>
ALUT	6	32	4	48	16
Bits mémoire (RAM)	0	24	4	0	0
Blocs DSP de 9-bits	88	100	57	99	95
Surface occupée	31,33	52%	21,67%	49%	37%

Tab. III.8. Comparaison des taux d'occupation du FPGA pour les 5 méthodes

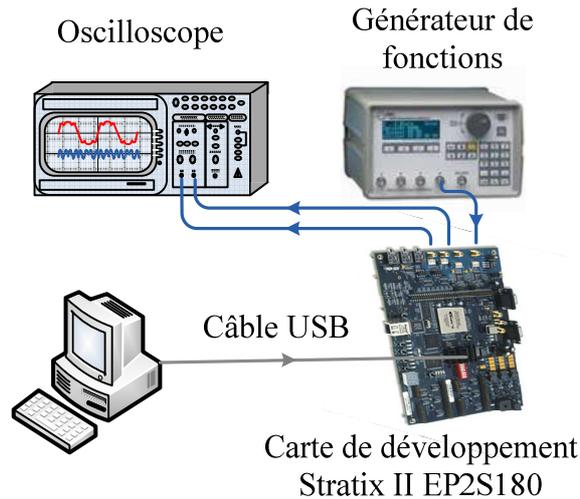


Fig. III.29. Plate-forme de prototypage FPGA

Au vu des différents résultats de simulation et de prototypage FPGA, la méthode $p-q$ a l'avantage d'être la plus performante, et la méthode SRFM permet une consommation minimale des ressources matérielles. Etant donné que l'implémentation de toutes ces méthodes est possible dans notre cible FPGA, il est naturel de privilégier la méthode $p-q$ pour ses bonnes aptitudes de filtrage et sa flexibilité. L'élaboration de la méthode $p-qs$ a été une tentative d'obtenir les mêmes résultats que la méthode $p-q$, mais avec une structure simplifiée dans l'optique de se rapprocher du taux minimal d'occupation du FPGA attribué à la méthode SRFM. Le gain de 12% d'espace a été obtenu au prix d'une dégradation significative des performances de filtrage constatée en présence d'une tension source déséquilibrée. C'est pourquoi, en se basant toujours sur la méthode $p-q$, nous nous proposons dans la suite de changer de stratégie d'optimisation des ressources du FPGA par une technique de multiplexage des Adalines constituant l'architecture globale de l'identification des harmoniques de courant

III.4. NOUVELLE APPROCHE D'IDENTIFICATION $P-Q$ MULTIPLEXÉE POUR UNE IMPLANTATION OPTIMALE SUR FPGA

III.4.1. Présentation de la méthode

La figure III.30 révèle quatre Adalines identiques dans l'architecture générale de génération des courants de référence. Les puissances instantanées sont appliquées en entrée des Adalines qui génèrent leurs composantes continues en sorties. Les modules arithmétiques parallèles utilisés occupent un espace considérable sur la cible de prototypage et il est par conséquent important de les réutiliser au maximum. Dans cette optique, nous proposons en collaboration avec l'équipe TROP du laboratoire MIPS de l'Université de Haute Alsace de Mulhouse en France, une architecture simplifiée utilisant un seul Adaline à partir d'un multiplexage temporel synchrone des quatre Adalines. Cette technique qui est largement évoquée dans [DZ-10] et [DZ-11b], sous le label $p-qm$, renvoie à la méthode $p-q$ multiplexée.

En fait, si l'on considère z_k à l'itération k comme étant l'une des puissances instantanées dont la composante continue est désirée à l'issue du processus d'apprentissage, l'Adaline devra estimer sa valeur \hat{z}_k selon l'expression (3.40). L'erreur d'estimation correspondante $e_k = z_k - \hat{z}_k$ sera mémorisée à l'adresse a_k et utilisée dans une version simplifiée de

l'algorithme LMS pour la mise à jour des poids w_{kj} . Cette mise à jour des poids w_{kj} relatifs aux entrées x_j de l'Adaline se fait selon l'expression suivante :

$$w_{(k+4)j} = w_{kj} + \frac{\mu \cdot e_k \cdot x_j}{x_j^T \cdot x_j}; j = 1, \dots, N \quad (3.50)$$

Dans l'expression (3.50), μ est le coefficient d'apprentissage et N le nombre d'entrées de l'Adaline.

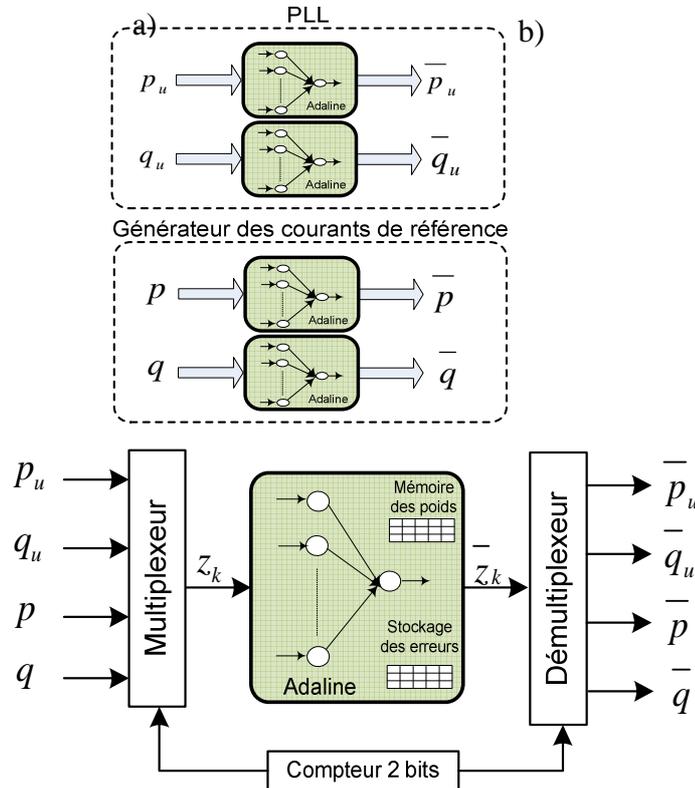


Fig. III.30. Application de la technique de multiplexage au système de génération des courants de référence a) Illustration de l'apprentissage parallèle avec quatre Adalines. b) Utilisation d'un seul Adaline par multiplexage.

Chaque poids w_{kj} obtenu à l'itération k et stocké en mémoire à l'adresse b_k sera remplacé par sa nouvelle valeur $w_{(k+4)j}$. Finalement, la composante continue \hat{z}_k issue de l'estimation de z_k sera obtenue en utilisant les deux premiers éléments du vecteur poids W . Les puissances fictives p_u et q_u de la figure III.30 a) sont utilisées pour l'extraction des composantes symétriques de tension. De plus p et q sont les puissances instantanées essentielles dans la méthode p - q pour la génération des courants de référence. Dans le modèle neuronale, ces puissances sont estimées en parallèle par quatre Adalines identiques. La nouvelle approche présentée à la figure III.30 b) consiste à n'utiliser qu'un seul Adaline par une technique de multiplexage synchronisée par un compteur à quatre états. C'est ainsi que si à l'itération k l'apprentissage concerne p_u pour l'obtention de sa composante continue \bar{p}_u , à l'itération $k+1$, q_u sera estimée et sa composante continue \bar{q}_u sera relevée en sortie du même Adaline. Pour l'itération $k+2$, la composante continue \bar{p} de p sera obtenue. La dernière itération $k+3$ du cycle temporel permettra à l'Adaline de générer la composante continue \bar{q} à l'issue de

l'estimation de q . L'itération suivante sera la première du nouveau cycle à quatre états et concernera à nouveau l'apprentissage de p_u .

A partir des puissances obtenues en sortie de l'Adaline, un démultiplexeur permet de retrouver respectivement la forme d'onde continue des composantes continues \bar{p}_u , \bar{q}_u , \bar{p} et \bar{q} . Cette modification permet certes de simplifier l'architecture de calcul, mais ne garantit pas d'emblée de bons résultats. Il est aussi important de considérer, pour chaque itération, le délai d'estimation par l'Adaline, c'est-à-dire le temps qui s'écoule entre la lecture de la valeur désirée et la génération en sortie de la valeur estimée. Pour que la synchronisation soit bonne, ce délai doit être un multiple du nombre d'états du compteur correspondant au nombre d'entrées multiplexées. Dans le modèle utilisé jusqu'à présent, les Adalines ont besoin de deux itérations pour générer la première donnée. De ce fait, nous avons ajouté un bloc mémorisation qui génère un retard de deux périodes de fonctionnement du FPGA afin d'avoir un délai d'estimation de quatre périodes et par conséquent une bonne synchronisation.

La Figure III.31 montre comment les erreurs d'estimation et les poids sont dispatchés dans les mémoires embarquées du FPGA. Pour chaque itération, l'erreur e_k et le poids w_{kj} , correspondant à l'apprentissage d'une puissance instantanée z_k , sont stockés en mémoire. La composante continue \bar{z}_k issue de l'apprentissage de z_k est générée quatre périodes après en sortie de l'Adaline. On peut ainsi considérer qu'avec le passage séquentiel des puissances instantanées vers l'Adaline, l'échantillonnage de chacune d'elles se fait en un temps quatre fois plus grand que la période T_e , c'est à dire $4T_e$.

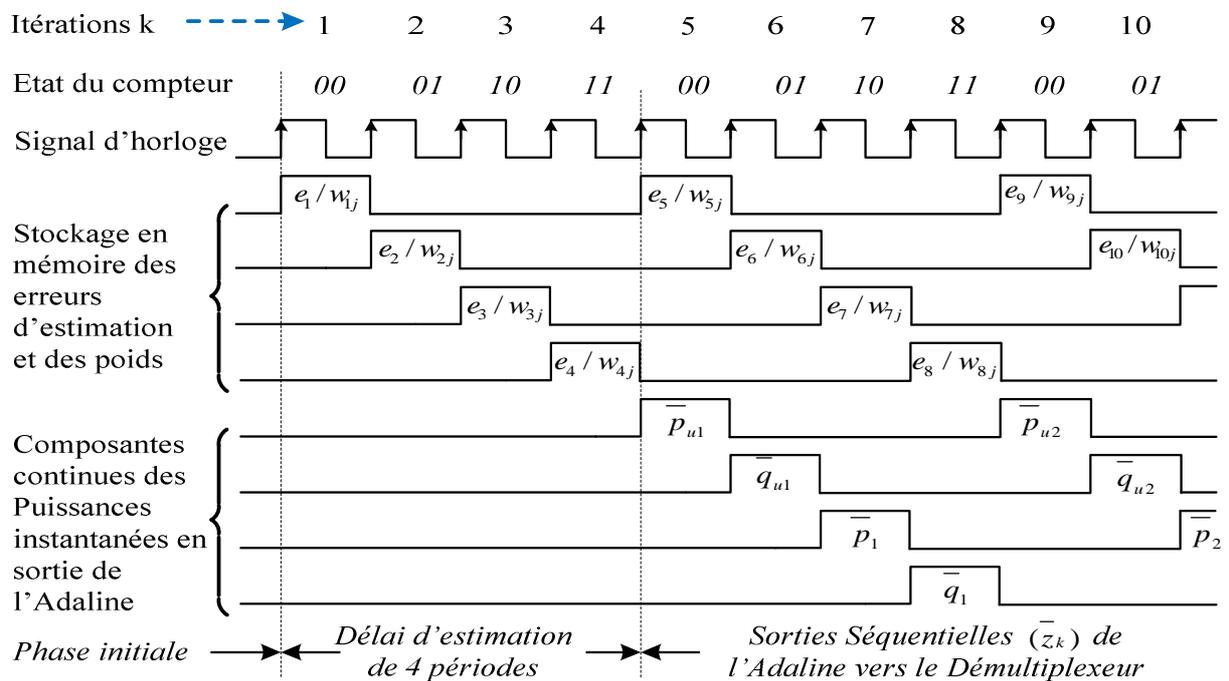


Fig. III.31. Flot de données transitant par les cellules mémoire, et puissances en sortie de l'Adaline par l'approche $p-qm$

III.4.2. Evaluation de la méthode $p-qm$

Des simulations ont été effectuées afin d'évaluer la méthode $p-qm$ et les résultats sont présentés en comparaison à la méthode $p-q$ dans cinq conditions différentes (figure III.32). Le tableau III.9 fait quant à lui une évaluation comparative des performances de ces méthodes selon des indicateurs bien choisis. On constate que l'apprentissage séquentiel des puissances instantanées n'augmente pas le temps de réponse de la méthode $p-qm$, il est même plus court dans certaines conditions. Ceci se justifie par l'ajustement opéré sur le coefficient d'apprentissage de l'Adaline. En fait, dans les conditions de simulations adoptées, on est passé à une valeur de $\mu = 0.002$ pour la méthode $p-q$ à $\mu = 0.009$ pour la méthode $p-qm$, soit un coefficient environ quatre fois plus grand. De manière générale, une valeur plus grande de μ accélère l'apprentissage d'un Adaline parfois au détriment de la stabilité. Il faut donc trouver le juste milieu, en faisant un compromis entre rapidité et stabilité.

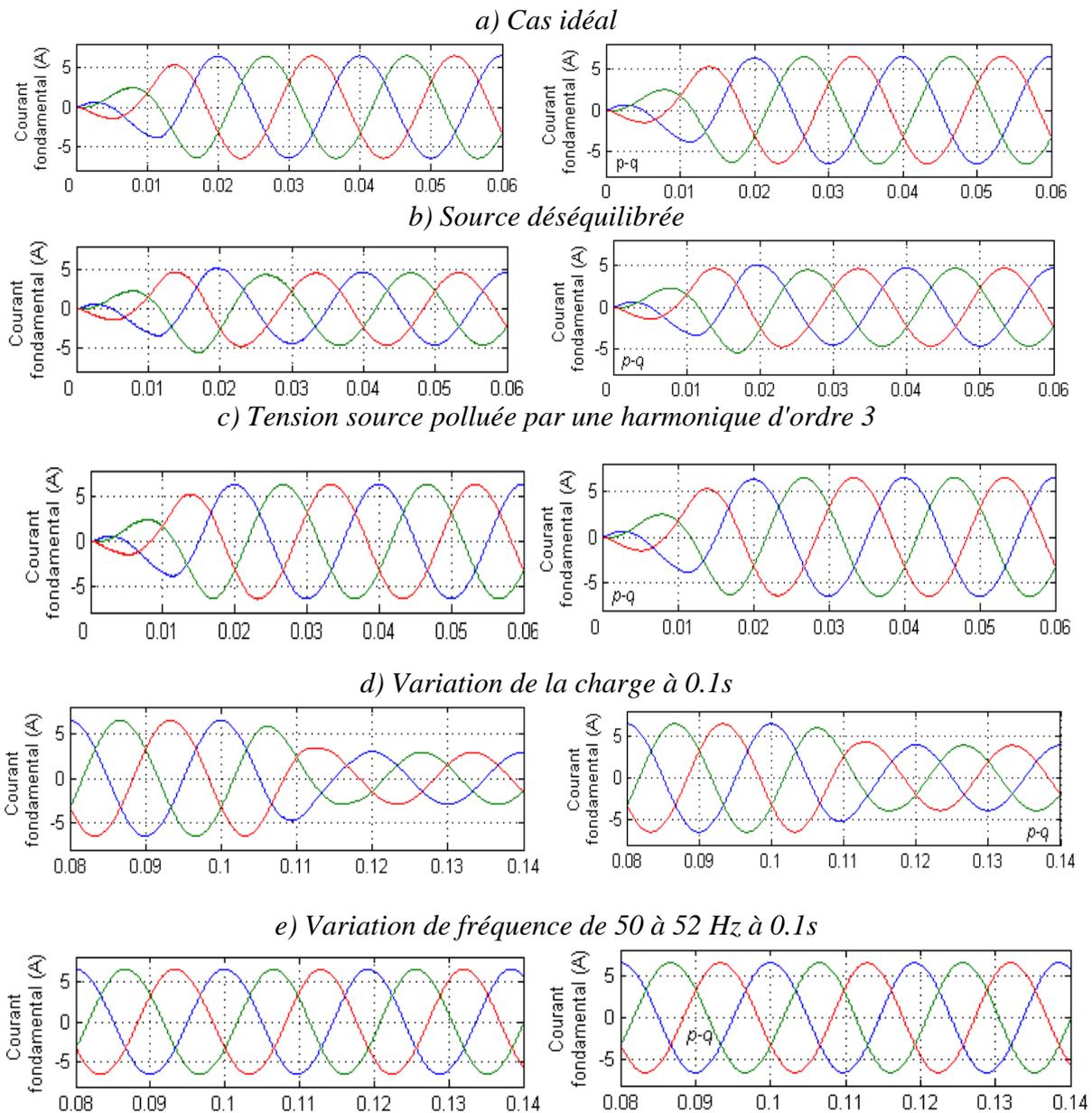


Fig. III.32. Composantes fondamentales après extraction des harmoniques dans cinq conditions de simulation avec les méthodes $p-qm$ et $p-q$

Méthode de détection des harmoniques	Temps de réponse (ms)			THD de la composante fondamentale (%)			THD du courant source après compensation (%)		
	Cas idéal	v_s déséquilibrée	v_s polluée harmonique 3	Cas idéal	v_s déséquilibrée	v_s polluée harmonique 3	Cas idéal	v_s déséquilibrée	v_s polluée harmonique 3
$p-q$	20	30	17	0,14	0,55	0,13	1,7	1,92	1,75
$p-qm$	17	21	26	0,08	0,16	0,08	1,95	1,96	1,98

Tab. III.9. Evaluation comparative des performances des méthodes $p-qm$ et $p-q$

D'autre part, les besoins en ressources matérielles pour l'implémentation sur FPGA du système neuronal de génération des courants de référence par la méthode $p-qm$ ont été évalués et comparés à ceux de méthode $p-q$. Selon le tableau comparatif III.10, la technique de multiplexage des Adalines à la base de la méthode $p-qm$ permet de consommer 41,33% de ressources contre 49% pour la méthode $p-q$. Pour les deux méthodes, les blocs DSP sont entièrement utilisés et les RAMs très peu occupées. C'est ainsi que la comparaison concernera essentiellement les ALUTs. Comme nous pouvons remarquer dans le tableau III.10, 24 398 blocs, c'est-à-dire 17% des ALUTs sont utilisés pour l'implémentation de la méthode $p-qm$ contre 68 890 blocs c'est-à-dire 48% pour la méthode $p-q$. Ce résultat montre que la technique de multiplexage employée permet un gain de 44 492 blocs, soit 31% des ALUTs du FPGA sans dégradation sur les performances d'identification des harmoniques.

Ressources de calcul	Quantité disponible	Taux d'utilisation en %	
		$p-q$	$p-qm$
ALUT	143,520	48	17
Bits mémoire (RAM)	9.383.040	0	8
Blocs DSP de 9-bits	768	99	99
<i>Surface occupée</i>		49%	41,33%

Tab. III.10. Taux d'occupation du FPGA pour les méthodes $p-q$ et $p-qm$

III.5. POURSUITE DES COURANTS DE REFERENCE

La finalité de la commande d'un FAP est de contrôler les courants à sa sortie, destinés à être injectés au réseau électrique, afin qu'ils suivent au plus près leurs références générées par le bloc identification. Le principe de cette poursuite est basé sur la comparaison entre le courant i_{fk} généré par le FAP et le courant de référence, i_{refk} , afin d'en déduire les ordres de commande de l'onduleur. En effet ce dernier comporte des thyristors ou transistors dont il convient de piloter l'ouverture et la fermeture.

III.5.1. Modélisation de l'onduleur et du filtre de sortie

L'onduleur utilisé par le FAP est un convertisseur statique à structure de tension qui permet, de manière réversible, la conversion de tension continue en tension alternative. Vu du

réseau, il agit comme une source de tension alternative variable. La capacité d'échange de puissance active de cette source dépend des caractéristiques du système de génération et/ou de stockage d'énergie de la partie continue de l'onduleur. Il peut aussi échanger de l'énergie réactive, la limite étant cette fois-ci fixée par la puissance apparente du convertisseur et la fréquence de commutation des interrupteurs (si l'on veut aussi échanger de l'énergie via les harmoniques). L'onduleur représenté à la figure III.33 se compose de trois bras à interrupteurs réversibles en courant, commandés à la fermeture et à l'ouverture. Dans la pratique, chaque interrupteur est constitué d'un transistor IGBT et d'une diode montée en antiparallèle. Le stockage de l'énergie du côté continu se fait par l'intermédiaire d'un condensateur C_{dc} de tension V_{dc} . Le filtre de sortie est un filtre passif habituellement du premier ordre (L_f, R_f) qui permet de connecter l'onduleur de tension au réseau électrique.

Dans l'hypothèse d'un système équilibré, les tensions du côté alternatif sont définies par la relation (3.49).

$$v_{si} = V_m \sin\left(\omega t - (i-1)\frac{2\pi}{3}\right), \quad i=1,2,3 \quad (3.49)$$

En appliquant la loi de Kirchhoff côté alternatif, on obtient :

$$L_{fi} \frac{di_{fi}}{dt} = -v_{si} - R_{fi}i_{fi} + v_{fi}, \quad i=1,2,3 \quad (3.50)$$

avec $v_{si} = [v_{s1} \quad v_{s2} \quad v_{s3}]^T$, $v_{fi} = [v_{f1} \quad v_{f2} \quad v_{f3}]^T$ qui représentent les tensions par rapport au point neutre n de la figure III.33, et $i_{fi} = [i_{f1} \quad i_{f2} \quad i_{f3}]^T$ qui sont les courants injectés par l'onduleur dans le réseau triphasé.

Le lien entre le côté alternatif et le côté continu de l'alternateur se fait à travers les interrupteurs u_k et \bar{u}_k . Ces interrupteurs étant complémentaires, leur état peut être défini par la fonction suivante :

$$u_k = \begin{cases} +1, & \bar{u}_k = -1 \\ -1, & \bar{u}_k = +1 \end{cases} \quad \text{pour } k=1,2,3 \quad (3.51)$$

L'expression reliant les tensions v_{fi} à la tension continue V_{dc} en fonction de la position des interrupteurs (u_1, u_2, u_3) s'écrit :

$$\begin{bmatrix} v_{f1} \\ v_{f2} \\ v_{f3} \end{bmatrix} = \frac{V_{dc}}{6} \begin{bmatrix} 2 & -1 & -1 \\ -1 & 2 & -1 \\ -1 & -1 & 2 \end{bmatrix} \begin{bmatrix} u_1 \\ u_2 \\ u_3 \end{bmatrix} \quad (3.52)$$

La tension continue dans l'onduleur peut alors être calculée à partir des courants injectés par le FAP et en fonction de la commutation des interrupteurs comme suit :

$$C_{dc} \frac{dv_{dc}}{dt} = \frac{1}{2} (u_1 i_{f1} + u_2 i_{f2} + u_3 i_{f3}) \quad (3.53)$$

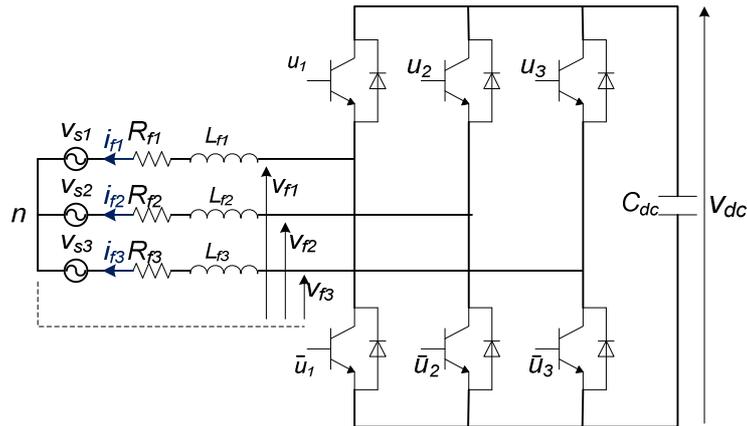


Fig. III.33. Schéma d'un onduleur de tension triphasé

Afin de restituer les courants de références dans le réseau triphasé, un contrôleur spécifique est nécessaire pour élaborer de façon adéquate les impulsions de commande des interrupteurs de l'onduleur. Deux familles de contrôleurs sont principalement utilisées pour la commande d'un onduleur. Il s'agit du contrôle par hystérésis et du contrôle par MLI.

III.5.2. Contrôle des courants par hystérésis

Ce type de contrôle non linéaire utilise le signal d'erreur entre le courant de référence et le courant produit par l'onduleur (figure III.34). Le seul paramètre intervenant dans cette régulation analogique est la largeur de la bande d'hystérésis. Elle détermine, d'une part la fréquence moyenne de commutation et d'autre part l'erreur sur les courants générés. Le contrôle du courant par hystérésis est simple à mettre en œuvre et donne de bons résultats en régulation. La commande est robuste vis à vis des paramètres du système et présente de bonnes dynamiques en régime transitoire. La bande permet de limiter l'amplitude des oscillations du courant de sortie.

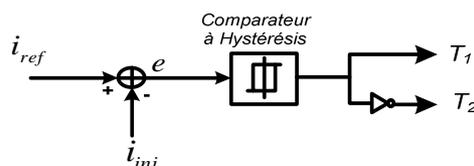


Fig. III.34. Principe du contrôle par hystérésis

Cependant, la fréquence de commutation obtenue est variable, ce qui permet certes d'étaler le spectre du signal de sortie, mais sans contrôle sur ce dernier. En effet, lors de perturbations ou de variations de la référence, des commutations à fréquences plus élevées peuvent alors être provoquées. La bande est généralement calculée pour limiter cette fréquence sans toutefois tenir compte de ce type de problème [CH-07]. Afin de résoudre ce problème de maîtrise des fréquences de commutation, différentes solutions ont été proposées. On peut notamment citer les méthodes dites "hystérésis à bande variable" [KA-05] ou "hystérésis modulée"[SH-07]. Cette méthode permet d'une part de fixer la fréquence de commutation des interrupteurs et garantit d'autre part une bonne dynamique en régime transitoire. De plus, l'erreur de poursuite peut être minimisée si les paramètres du contrôleur comme l'amplitude du signal triangulaire (At) et la largeur de la bande d'hystérésis (B_H) sont correctement dimensionnées et optimisées.

L'Hystérésis numérique présente un avantage en termes de minimisation des ressources matérielles. Cependant, son principe de fonctionnement de la figure III.35 a) révèle que les

interrupteurs de l'onduleur changent d'état uniquement à un point d'échantillonnage survenant après que le courant du filtre ait franchi une limite de la bande hystérésis. Ainsi, le changement ne se fait plus à la limite de la bande; ce qui a pour effet de rendre les instants de commutation plus éloignés et la fréquence de commutation plus petite. Les ondulations sont plus importantes et une inductance avec une valeur plus élevée est nécessaire pour réduire ces ondulations. Ce qui a pour effet d'augmenter les pertes.

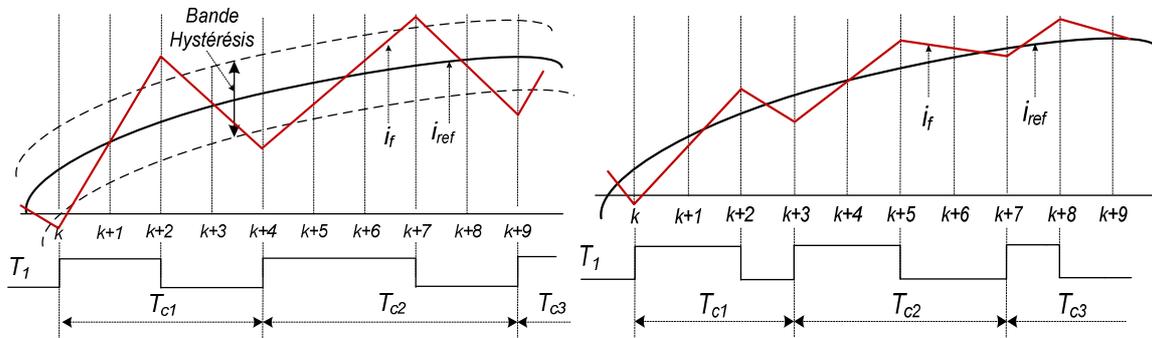


Fig. III.35. Evolution du courant produit par l'onduleur a) par un contrôle par hystérésis numérique b) par un contrôle par hystérésis à bande nulle

Plus récemment, la méthode HBZ proposée dans [RA-09], est un cas particulier d'hystérésis numérique avec une bande nulle, pour le contrôle de courant dans un FAP à travers des capacités connectés à des interrupteurs bidirectionnels. La figure 3.35 b) présente le principe de cette méthode qui, testée pour la structure du FAP adoptée dans nos travaux donne des résultats très encourageants. Ici, l'interrupteur change d'état au point d'échantillonnage dès que i_f est plus grand ou plus petit que i_{ref} . L'algorithme peut être expliqué de la manière suivante :

- si $i_f < i_{ref}$, T_1 est l'état « HAUT »
- si $i_f > i_{ref}$, T_1 est l'état « BAS »

Avec l'application d'une telle méthode de poursuite de courant, associée à une inductance du filtre de sortie convenablement choisie, les oscillations sont alors réduites. La commutation ainsi que les pertes sont optimisées et la poursuite des courants de référence est meilleure. Bien que la fréquence de commutation des interrupteurs de l'onduleur varie, elle est limitée à une valeur maximale que l'on peut déterminer. Si T_e est la période d'échantillonnage, la période de commutation est au moins le double de cette valeur. Par conséquent, la fréquence maximale de commutation s'obtient par la relation suivante :

$$f_c(\max) = \frac{1}{2T_e} \quad (3.54)$$

Ainsi, la période ou la fréquence d'échantillonnage doit être convenablement choisie lors de l'élaboration du modèle de poursuite de courant sur l'interface de développement FPGA. A chaque période d'échantillonnage, la cible de prototypage devra avoir suffisamment de temps pour acquérir les données courants/tensions issues des capteurs, réaliser les calculs relevant de la détection des harmoniques et comparer le courant généré par le filtre au courant de référence dans l'algorithme hystérésis. Une grande fréquence d'échantillonnage permet au contrôleur d'être très sensible aux variations du courant de référence, mais limite le temps alloué aux opérations de calcul. On peut observer à la figure III.36 des résultats quasi-parfaits de poursuite de courant de référence obtenus par la méthode HBZ à $f_e = 1\text{MHz}$.

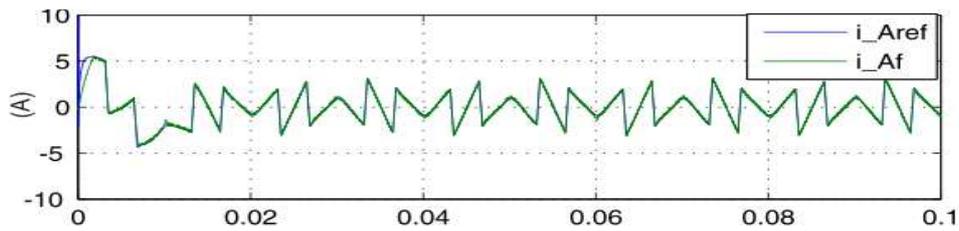


Fig. III.36. Poursuite du courant de référence par la méthode HBZ

III.5.3. Contrôle des courants par MLI

Afin de contourner le problème de maîtrise de la fréquence de commutation, la littérature propose la technique de commande par MLI fonctionnant avec une fréquence fixe facile à filtrer en aval de l'onduleur. La plus simple et la plus connue des modulations de largeur d'impulsion est sans doute la MLI à échantillonnage naturel, dite *MLI intersective* [BU-98]. Cette technique de commande met en œuvre un régulateur qui détermine la tension de référence de l'onduleur (modulatrice) à partir de l'écart entre le courant mesuré et sa référence. Cette erreur est ensuite comparée avec un signal triangulaire (porteuse à fréquence élevée fixant la fréquence de commutation). La sortie du comparateur fournit l'ordre de commande des interrupteurs. Le schéma de principe est donné par la figure III.37. Bien que cette porteuse appliquée sur chaque phase offre l'avantage d'imposer la fréquence de commutation des IGBTs, elle génère des erreurs d'amplitude et de déphasage observées sur le courant à injecter sur le réseau. Pour éviter ce désagrément, il est proposé dans [SU-08] d'appliquer des porteuses identiques mais décalées de $\pm 120^\circ$ sur les phases b et c.

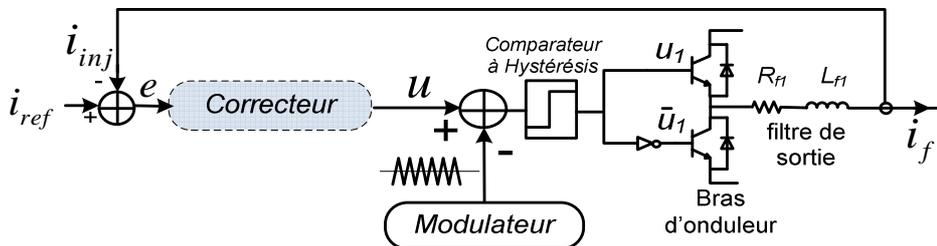


Fig. III.37. Principe de poursuite des courants par MLI

D'autres techniques de MLI existent également dans la littérature. On peut citer la stratégie de contrôle de courant par des vecteurs d'espace appelée SVPWM (*Space Vector Pulse Width Modulation*) qui offre un bon rendement. Dans [VO-09], les auteurs proposent une nouvelle approche qui utilise un repère tournant $\alpha\beta$ pour choisir les états de commutations à partir d'une table implémentée dans un FPGA. Cette méthode entraîne une réduction significative du THD du courant côté source après compensation, de la fréquence de commutation moyenne des IGBTs ainsi que des pertes par commutation. D'autre part, on peut aussi citer la MLI à élimination (ou minimisation) d'harmoniques et la MLI vectorielle [CH-07].

Finalement, en ce qui concerne le contrôle par MLI, nous avons choisi, dans la suite de notre étude, la technique de commande à MLI à échantillonnage naturel dont le principe est présenté à la figure III.38. Cette technique représente en réalité la MLI analogique et est préférée à cause de sa facilité de modélisation. L'efficacité de la boucle de contrôle de courant dépend non seulement de la technique de MLI utilisée, mais aussi du correcteur chargé de maintenir de courant injecté i_f conforme au courant de référence i_{ref} .

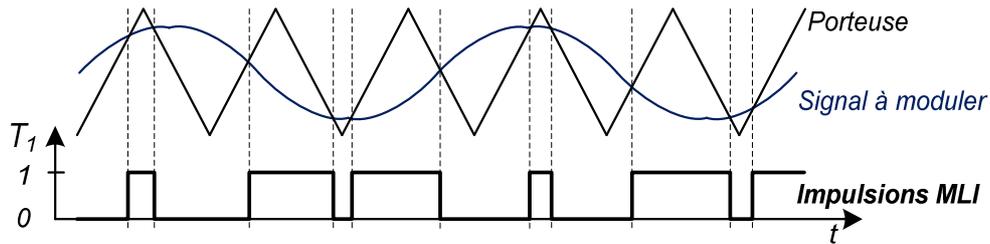


Fig. III.38. Commande des interrupteurs par MLI naturelle.

III.5.3.1 Utilisation d'un correcteur PI

Le régulateur le plus couramment employé est indéniablement le régulateur proportionnel intégral (PI). Il est en effet l'un des plus simples à mettre en œuvre numériquement et à régler. On le retrouve dans un grand nombre de publications [BU-98], [ZE-04]. Il se caractérise par une action proportionnelle à travers un gain K_p et une action intégrale grâce au gain K_i , d'où sa fonction de transfert $C(s) = K_p + \frac{K_i}{s}$

Le régulateur PI réalise un bon compromis entre performances et coût de réalisation, et son utilisation avoisine les 80% dans des systèmes de régulation industrielle. La détermination de ses paramètres P (proportionnel) et I (intégral) n'est cependant pas toujours optimale. L'asservissement proportionnel P est essentiel au fonctionnement du PI. Il permet de donner de la « puissance » au système. Plus le gain proportionnel K_p est grand, plus le système converge vite vers sa référence. Mais en contrepartie, pour des valeurs de K_p trop grandes, le système oscille et une erreur statique est inévitable. Pour compenser cette erreur statique, on rajoute un terme intégral. L'idée principale est d'intégrer l'erreur dès le début et d'ajouter cette erreur à la consigne jusqu'à ce qu'elle devienne nulle. Lorsque cette erreur est nulle, le terme intégral se stabilise et compense parfaitement l'erreur entre le courant de référence et le courant de compensation. En revanche, plus le gain intégral K_i est grand, plus le système oscille et plus le dépassement est grand.

Ce type de régulateur est simple mais donne des performances limitées. En effet, le choix des deux gains peut se faire suivant différentes méthodes, mais dépend généralement de la connaissance du système à commander. Or, on ne dispose pas toujours du modèle du système et encore plus rarement d'un modèle précis.

De plus, en cas de charge variable, il faudrait ajouter une commande adaptative complexe. Pour le régulateur PI, comme pour toutes les régulations dites linéaires (PID, RST, etc...), un déphasage existe entre le signal d'entrée et le signal de sortie de la boucle de régulation (pour une référence sinusoïdale) [CH-07]. Ce déphasage augmente avec la fréquence et génère une erreur de poursuite en régime permanent. Cette erreur peut dégrader la qualité de compensation du FAP car les courants de référence peuvent contenir des fréquences de tous rangs.

III.5.3.2 Utilisation d'un correcteur PI neuronal

La littérature scientifique fait état d'un grand nombre de stratégies de commande à base des techniques neuromimétiques [VI-04], [DE-03]. Dans nos travaux, nous avons sélectionné les solutions les plus aptes à répondre à nos exigences. L'architecture du réseau de neurones n'est souvent que partiellement imposée par la tâche à réaliser ; les entrées, le nombre de neurones,

les sorties du réseau, le type et la connectivité des neurones peuvent être fixés par le concepteur.

La modélisation d'un contrôleur à base de perceptron à une seule couche cachée avec un nombre suffisant de neurones se fait par un processus empirique. Une fois l'architecture fixée selon une procédure itérative, l'apprentissage tente de remplir au mieux la tâche à laquelle le réseau est destiné.

Certains contrôleurs sont de type PI, ils exploitent la faculté d'apprentissage des Adalines pour déterminer les gains proportionnel et intégral. Ceux-ci peuvent être estimés selon le schéma de principe de la figure III.39. Le vecteur d'entrée de l'Adaline possède deux composantes : l'erreur et son intégral. Le poids $W_1(k)$ pondérant l'entrée erreur correspondra au facteur P et le poids $W_2(k)$ pondérant l'intégral de l'erreur sera quand à lui associé au facteur I. L'erreur d'apprentissage $e = i_{ref} - i_f$ est utilisée par l'algorithme de mise à jour des poids de type Widrow-Hoff modifiée.

Lorsque le signal injecté arrive à suivre la référence selon les critères fixés par l'utilisateur, alors l'apprentissage peut être arrêté. L'Adaline joue ensuite le rôle d'un PI non adaptatif. Si des variations importantes surviennent au niveau du système à commander, l'apprentissage peut reprendre. Il faut noter aussi que le filtre de sortie doit être du premier ordre afin de permettre à l'Adaline de se comporter comme un PI. Le but de cette approche est de concevoir un régulateur PI adaptatif et d'exploiter la simplicité de réglage des réseaux Adaline.

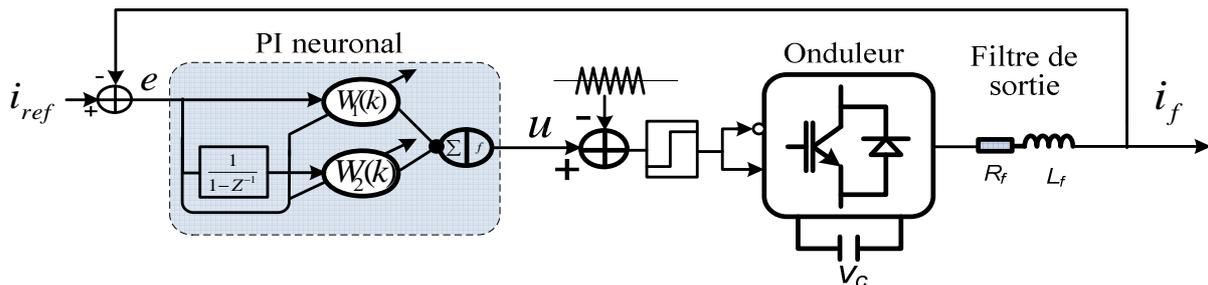


Fig. III.39. Schéma de la commande PI neuronale.

La réponse du système à un signal de référence composé des harmoniques d'ordre 5 et 7 est montrée à la figure III.40. On peut aussi y voir l'erreur d'estimation dont l'évolution permet de constater une bonne précision du contrôle de courant aussi bien en régime transitoire qu'en régime statique. Nous allons dans la suite présenter une étude comparative entre les méthodes de poursuite de courant de référence.

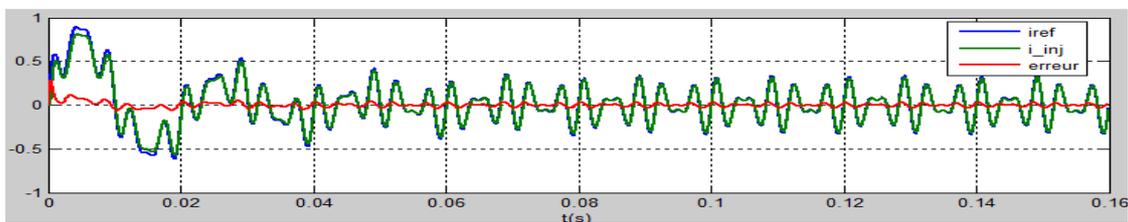


Fig. III.40. Résultats de la poursuite d'un courant de référence à l'aide d'un PI neuronal.

Parmi les autres régulateurs employés pour le contrôle de courant, on peut citer le régulateur RST, moins sensible aux problèmes rencontrés avec le régulateur PI classique concernant le respect du compromis rapidité et filtrage. Il est composé de trois polynômes $R(s)$, $S(s)$ et $T(s)$ définis de manière à atteindre les objectifs de régulation. L'inconvénient

majeur de cette méthode est l'introduction d'un déphasage entre l'entrée et la sortie de la boucle de régulation, lequel déphasage croît avec l'augmentation de la fréquence [AL-02]. L'auteur propose ainsi dans ce manuscrit un régulateur RST amélioré permettant de minimiser l'erreur entre la référence et la sortie en boucle fermée. Pour ce faire, le polynôme $T(s)$ est du quatrième ordre tout en satisfaisant le critère de causalité de $T(s)/R(s)$.

III.5.4. Etude comparative des méthodes de poursuite de courant

En adoptant la méthode $p-qm$ pour l'identification des courants de référence, plusieurs techniques de poursuite ont été testées et évaluées aux fins de comparaison. Pour un courant de référence constitué d'harmoniques 5, 7, 11, 13, 17, 19, etc., la figure III.41 présente l'évolution du courant injecté, obtenu en sortie du système de contrôle de courant par la méthode PI neuronale (figure III.41 a) et la méthode HBZ (figure III.41 b). En superposant les erreurs de poursuite sur la figure III.41 c), nous constatons que l'erreur est légèrement plus importante pour la méthode PI neuronale. Une dérive plus grande apparaît aux instants de commutations des interrupteurs de l'onduleur pour la méthode HBZ. Pour traduire de façon précise les performances des méthodes utilisées, le tableau comparatif III.11 fait une évaluation selon les critères suivants:

- temps de réponse
- valeur rms de l'erreur statique
- THD du courant côté source après compensation

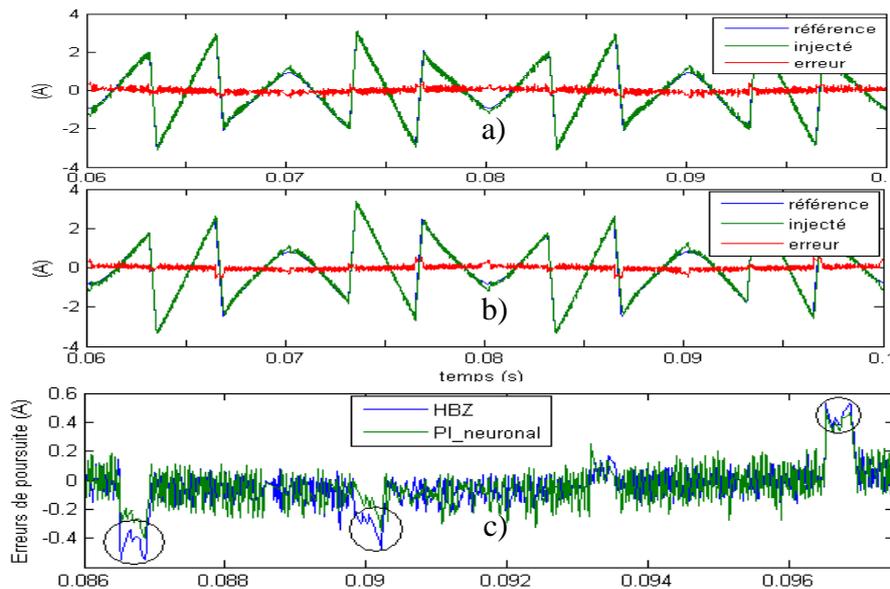


Fig. III.41. Poursuite des courants de référence - a) résultats pour un contrôleur PI neuronal b) résultats pour un contrôle HBZ c) Comparaison des erreurs de poursuite

Technique de contrôle de courant	Temps de réponse (ms)	Erreur statique RMS (%)	THD du courant source après compensation (%)
<i>PI Classique</i>	13	21	4.6
<i>HBZ</i>	10	8.5	1.7
<i>PI neuronal</i>	10	9.9	2.2
<i>Neuronal inverse (PMC)</i>	24	18	3.8

Tab. III.11. Comparatif du suivi de consigne des différents contrôleurs

En se basant sur les contrôleurs PI neuronal et HBZ, le courant injecté nécessite un temps de montée d'au moins 10ms pour atteindre la référence. De même, ces deux méthodes permettent d'obtenir la meilleure précision avec une erreur statique autour de 9%, qui entraîne une THD en simulation autour de 2%. Le tableau III.12 fait état de l'impact des différents contrôleurs dans la consommation des ressources du FPGA.

Ressources de calcul	Quantité disponible	Taux d'utilisation en %		
		HBZ	PI neuronal	PMC
ALUT	143,520	17	21	Impossible
Bits mémoire (RAM)	9.383.040	8	8	
Blocs DSP de 9-bits	768	99	99	
<i>Surface occupée</i>		41,33%	42,67%	

Tab. III.12. Impact des différents contrôleurs dans la consommation des ressources du FPGA

On constate que pour une méthode d'extraction des harmoniques $p-qm$, la méthode de contrôle de courant PI neuronal en lieu et place du contrôleur HBZ, entraîne une augmentation de 4 points en % des ALUTs.

III.6 SIMULATION DE L'ENSEMBLE DU SYSTEME DE COMPENSATION

Le système de filtrage global est constitué de la source de tension alimentant la charge non-linéaire ainsi que du FAP. Nous justifierons dans un premier temps le choix des paramètres du FAP, puis nous analyserons les résultats de simulation en ce qui concerne la régulation de la tension côté continu de l'onduleur et le courant côté source après compensation.

III.6.1. Régulation de tension continue

La compensation harmonique à base de FAP à structure shunt influe sur la tension côté continu de l'onduleur. Par conséquent, il est nécessaire de maintenir celle-ci constante afin de ne pas dégrader la qualité du filtrage ni dépasser la limite en tension des semi-conducteurs. La variation de la tension continue est principalement due aux variations de la charge polluante qui créent un échange de puissance active avec le réseau, faisant varier brusquement la composante fondamentale du courant de charge. La source de tension continue qui alimente l'onduleur est en pratique réalisée à l'aide d'un système de stockage capacitif, représenté par un condensateur C_{dc} . Le choix des paramètres du système de stockage (V_{dc} et C_{dc}) se répercute sur la dynamique et sur la qualité de compensation du FAP. En effet, une tension V_{dc} élevée améliore la dynamique du filtre actif. De plus, les ondulations de la tension continue V_{dc} , causées par les courants engendrés par le filtre actif et limitées par le choix de C_{dc} , peuvent dégrader la qualité de compensation du FAP [AL-02]. La réduction des ondulations de V_{dc} liée au choix d'une valeur élevée de C_{dc} , se fait au détriment de l'augmentation de la taille et du coût du FAP.

Afin de contrôler la tension aux bornes de C_{dc} , un contrôleur classique de type PI est suffisant pour obtenir des performances acceptables. Dans [BH-09], un régulateur PI à base de réseau de neurones, est utilisé pour les mêmes besoins mais avec des performances

dynamiques plus élevées. La sortie du régulateur de tension s'ajoute à la composante active harmonique et donne lieu à un courant fondamental actif supplémentaire (cas des méthodes *SRF*) ou une puissance active (cas des méthodes *p-q*) corrigeant la tension continue V_{dc} . La figure III.42 montre, pour une consigne v_{dc_ref} de 200V, la convergence de V_{dc} avec une erreur statique de 1.3%. Cette valeur négligeable permet de constater l'efficacité de la régulation de la tension continue grâce à un correcteur PI classique.

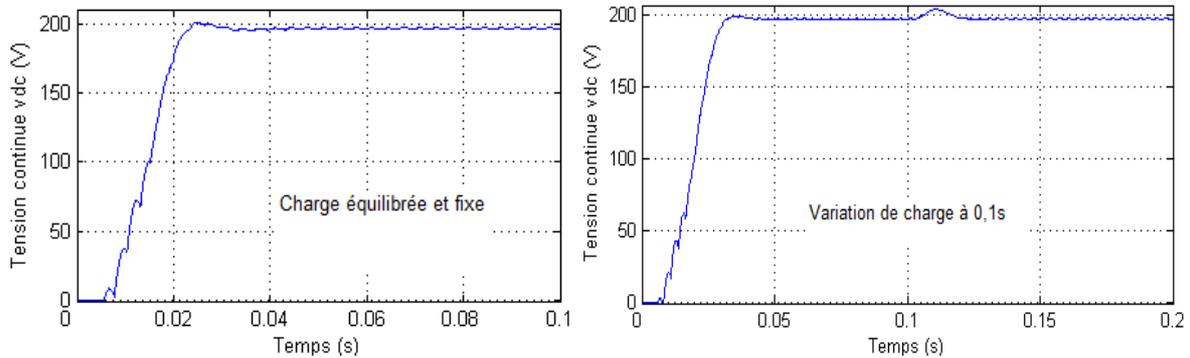


Fig. III.42. Résultat de la régulation de la tension continue

III.6.2. Performances de la compensation active

Les résultats de la figure III.43 présentent les courants du côté source après compensation pour cinq conditions de simulations. Ces résultats sont naturellement à l'image de l'identification des harmoniques de courant par la méthode *p-qm* de la figure III.32. Le tableau III.9 précédent a déjà donné une idée des bonnes valeurs de THD pour les trois premiers cas. On peut aussi remarquer que les performances de compensation sont bonnes en présence d'une variation de l'amplitude du courant de charge ou de la fréquence de la tension source. La figure III.44 donne, pour une phase, la tension source et le courant côté source après compensation obtenus par la commande du FAP intégrant une extraction du courant de référence par la méthode *p-qm*. Les deux signaux étant en phase, on peut affirmer qu'en plus de l'élimination des harmoniques de courant, cette stratégie de commande a permis aussi de compenser l'énergie réactive.

III.8. CONCLUSION

Dans ce chapitre, nous nous sommes intéressés à l'implication des techniques neuronales dans l'identification des harmoniques de courant, le contrôle des courants de référence, ainsi que dans la PLL utilisée pour la synchronisation des différents blocs constitutifs de la commande d'un FAP. Nous avons choisi de modéliser la PLL selon la théorie des puissances instantanées car celle-ci permettait de rendre l'extraction de composantes symétriques de tension et la détection de la phase instantanée du réseau robustes aux éventuelles variations des paramètres du système électrique.

Nous nous sommes ensuite focalisés sur le module d'extraction des références de courant. Dans cette partie, nous avons d'abord procédé à l'implémentation sur cible matérielle de la méthode directe discutée dans de précédents travaux. La faisabilité du prototypage FPGA d'une telle architecture à base de réseaux de neurones nous a conduit à proposer de nouvelles approches neuronales d'identification avant d'en faire une évaluation comparative. En plus de l'amélioration des performances de filtrage et de la flexibilité qu'apportent les techniques

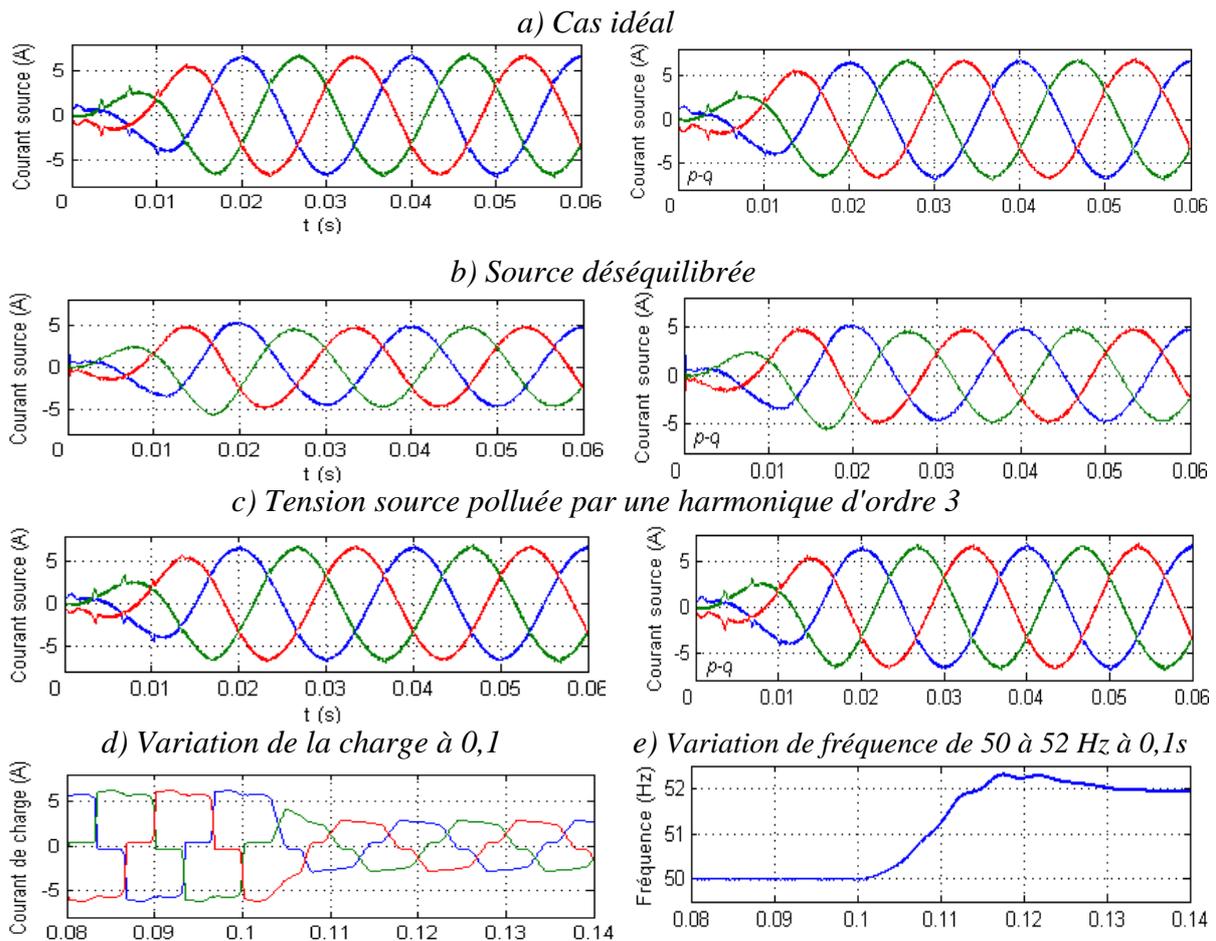
neuromimétiques, les méthodes proposées tiennent compte des contraintes de limitation des ressources du FPGA.

Dans la troisième partie, la méthode $p-qm$ qui utilise une technique de multiplexage pour simplifier l'architecture autour d'un unique Adaline, contrairement aux trois Adalines de la méthode $p-q$, est particulièrement détaillée.

La présentation des méthodes de poursuite de courant utilisées ainsi qu'une évaluation comparative fait l'objet de la quatrième partie. Pour ce faire, nous avons fixé une méthode d'identification des harmoniques de courant afin d'observer l'influence des différents modules de contrôle de courant sur la compensation du courant coté source.

Dans la dernière partie de ce chapitre, des résultats présentant ce courant côté source après compensation dans diverses conditions de simulation nous ont permis d'évaluer la méthode d'extraction des harmoniques de type $p-qm$. Les bons résultats obtenus par cette approche s'expriment principalement en termes de réduction significative du THD, temps de réponse court et amélioration du facteur de puissance vers l'unité. Ces résultats sont aussi justifiés par la qualité de la régulation de la tension du bus continu de l'onduleur.

Nous allons dans le dernier chapitre tenter de valider ces différentes stratégies de compensation sur une plate-forme expérimentale.



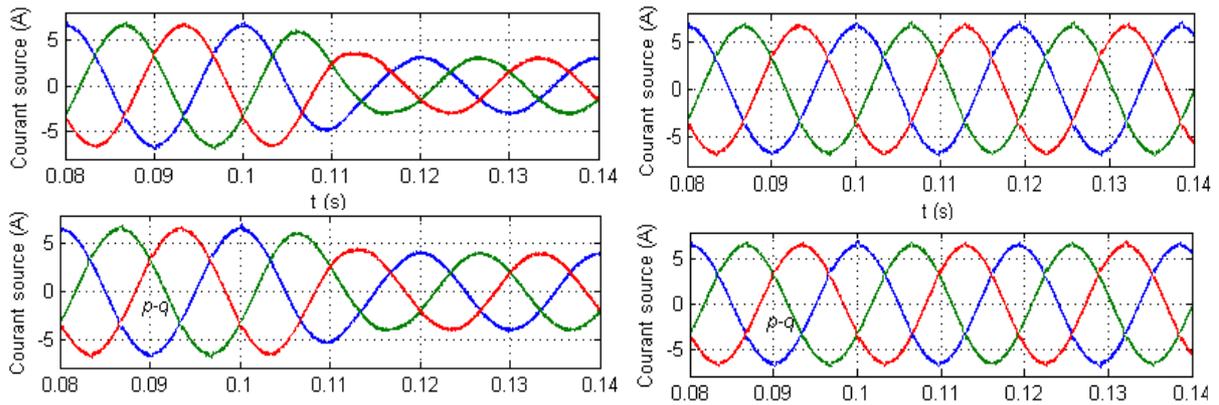


Fig. III.43. Comparaison des courants coté source après compensation dans cinq conditions de simulation.

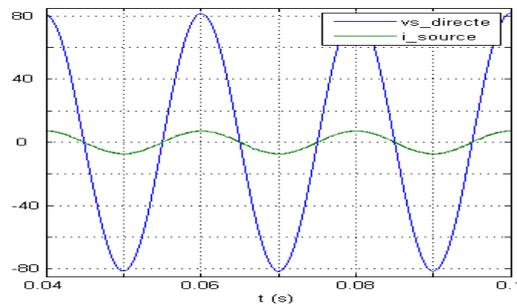


Fig. III.44. Compensation en simulation du déphasage courant-tension par la méthode $p-qm$

CHAPITRE IV

**PROTOTYPAGE FPGA ET
VALIDATION EXPERIMENTALE DE
LA COMMANDE DU FAP**

IV.1. INTRODUCTION

La cible matérielle de type FPGA utilisée dans nos travaux est aujourd'hui reconnue pour diverses applications numériques comme une alternative intéressante à l'ASIC essentiellement grâce à son rapport coût / performance avantageux. Nous tentons de vérifier que cette solution est aussi un atout indéniable pour l'implémentation globale de la commande d'un système de filtrage actif à base de réseaux de neurones artificiels dans un unique FPGA. Dans cette stratégie d'implémentation « FPGA alone », l'architecture parallèle du FPGA est conjugué au parallélisme inhérent aux réseaux de neurones afin d'obtenir un contrôleur numérique efficace et capable de s'adapter à l'évolution des paramètres du système électrique de manière à atteindre un niveau de performance comparable à celui des contrôleurs analogiques. Nous avons évoqué une contrainte incontournable liée à l'utilisation des FPGA en termes de limitation de ses ressources matérielles. Cet aspect a été pris en compte dans l'élaboration des architectures de commande du FAP grâce à une approche générale de conception modulaire sans bloc redondant. Pour cela, nous avons opté pour un graphe flot de données factorisé avec un choix personnalisé du format de données manipulées à travers les blocs de l'algorithme. Un autre intérêt de l'approche de partitionnement modulaire est sans nul doute le caractère réutilisable des modules conçus. L'optimisation de la surface occupée sur le composant FPGA est obtenue par combinaison d'une approche méthodologique lors de la phase de conception d'architectures et des spécifications lors de l'étape de compilation. Après avoir présenté la démarche de développement en vue de l'optimisation de la surface occupée dans la cible matérielle d'implémentation, nous présenterons le banc de test et les résultats des essais expérimentaux qui nous ont permis de valider la commande neuronale du FAP à partir d'un unique FPGA.

IV.2. APPROCHE DE DEVELOPPEMENT POUR UNE MINIMISATION DES RESSOURCES DU FPGA

IV.2.1. Flot de conception

Le flot de conception descendant proposé et destiné au prototypage FPGA de la commande du FAP permet, en premier lieu, de mener une étude fonctionnelle du système de conversion de l'énergie électrique à l'aide de Matlab/SimulinkTM et des bibliothèques associées notamment SimPowerSystems. Ensuite, le contrôleur numérique est modélisé et simulé dans son contexte analogique, jusqu'à l'obtention d'une modélisation numérique synthétisable en langage VHDL. Cette dernière modélisation sera physiquement implantée sur la cible FPGA choisie avant le test dans un environnement réel de filtrage actif.

IV.2.1.1. Etape de simulation fonctionnelle

Lors de la première étape, les spécifications du système sont définies et la fonctionnalité de l'algorithme de commande est étudiée et validée. Pour notre application, le système de puissance et les capteurs sont modélisés à l'aide de la bibliothèque SimPowerSystems alors que les interfaces, les convertisseurs analogiques-numériques (CANs) et le contrôleur numérique sont modélisés à l'aide de la bibliothèque SimulinkTM. Dans un premier temps, le système de conversion de l'énergie électrique est simulé et validé en mode discret ou « Discrete electrical model » à partir du bloc « powergui ». Ici, les blocs de la partie puissance sont des modèles discrets, le pas de simulation est fixe et doit être choisi suffisamment petit pour garantir une précision acceptable, notamment lorsque les composants de puissance commutent à des fréquences élevées. Les interfaces, les CANs et le contrôleur numérique sont

également sous la forme de modèles discrets au moyen de blocs Simulink™. La fréquence d'échantillonnage des blocs utilisés est choisie selon les spécifications du système physique à simuler, notamment selon les CANs choisis. A ce stade de la conception, le format réel est utilisé pour tous les signaux de la partie modélisée à l'aide de la bibliothèque Simulink™.

IV.2.1.2. Etape de simulation mixte

Après avoir validé la fonctionnalité de l'algorithme de commande en mode discret et au format réel lors de l'étape précédente, un format binaire spécifique de codage des données doit maintenant être choisi en vue d'implanter l'algorithme de commande sur cible FPGA. Dans cette seconde étape, les modèles du système de puissance, des capteurs, des CANs et des interfaces restent identiques aux modèles décrits et utilisés lors de la précédente étape. Toutefois, le modèle du contrôleur numérique doit être modifié et remplacé par un second modèle numérique au format binaire, basé sur des blocs de la bibliothèque de Dsp Builder™. Comme précédemment, l'environnement de simulation reste celui de Matlab/Simulink™. Notre objectif final est d'implanter l'algorithme de commande sur un composant FPGA afin de le tester dans son contexte physique réel.

La figure IV.1 illustre cette étape du flot conception proposé dans ce manuscrit. Il faut noter que le pas de simulation et la fréquence d'échantillonnage des blocs utilisés restent identiques à ceux du mode discret sous Simulink™.

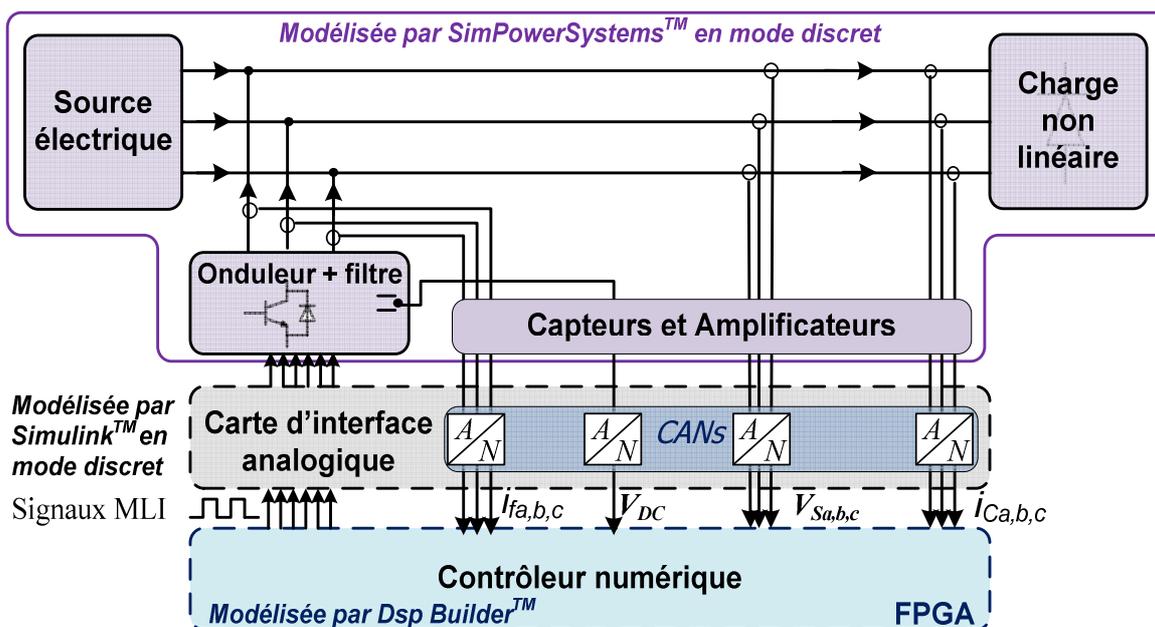


Fig. IV.1. Flot de conception : Etape de simulation mixte.

IV.2.2. Stratégie de réduction de la taille des architectures neuronales

Dans les applications de filtrage actif, les architectures de commande à base de réseaux de neurones dont certaines ont déjà été validées en simulation constituent des algorithmes complexes. C'est ainsi que l'optimisation des ressources consommées lors de l'implémentation sur des cibles matérielles reste une problématique avérée. Au delà des méthodologies de conception proposées dans ce manuscrit et exploités dans le cadre de nos travaux, pour faciliter le développement du contrôleur numérique pour FAP, nous avons

toujours adopté une approche d'optimisation de la surface occupée sur le FPGA. De manière générale, on peut l'exprimer selon trois étapes procédurales.

IV.2.2.1. Réduction du nombre de réseaux de neurones et autres blocs redondants

Afin de prendre en compte l'élimination d'un grand nombre d'harmoniques dans les signaux pollués, les structures neuronales qui constituent les algorithmes d'extraction sont de taille relativement importante. Elles sont notamment constituées d'un grand nombre d'opérateurs dont une majorité de multiplieurs reconnus comme de gros consommateurs de ressources de calcul. C'est ainsi qu'un accent est mis sur la réduction de la taille et éventuellement du nombre de ces réseaux de neurones.

Comme présentée dans le cadre de l'élaboration de la méthode $p-qm$ pour l'extraction des harmoniques de courant, la technique de multiplexage sera envisagée en cas de présence de structures neuronales identiques réalisant un apprentissage parallèle de grandeurs différentes. En ce qui concerne les blocs redondants, on veillera à les éliminer et n'en conserver qu'un minimum en s'assurant que leurs signaux de sortie sont bien distribués aux différentes destinations à travers l'algorithme grâce à un bus de données.

IV.2.2.2. Choix du format de données à virgule fixe

Les signaux d'entrée et de sortie des blocs de la bibliothèque DSP Builder™ doivent être au format binaire à virgule fixe. Ce format, noté $[s, me, md]$, est composé d'une partie entière de me bits, d'une partie décimale de md bits et le MSB , s , correspond au signe de la grandeur numérique à coder.

En fait, le nombre de bits nécessaire au codage des signaux d'entrées d'un composant FPGA ne dépend que du format de sortie des CANs qui seront mis en œuvre sur une carte d'interface analogique. Toutefois, le nombre de bits pour le codage numérique des données des blocs de l'outil Dsp Builder™, internes au contrôleur numérique, est variable et doit également être choisi pour chaque bloc par le concepteur. Il doit cependant être inférieur à 51 bits en raison de la limitation imposée par ce logiciel de développement FPGA.

Une augmentation injustifiée de la taille du format binaire augmente inutilement le temps d'exécution et la surface occupée sur le circuit FPGA. Par contre, le choix d'une taille trop faible du format binaire peut conduire à la saturation des signaux et à une perte de précision, conduisant ainsi à l'altération des performances du contrôleur numérique, voire à son dysfonctionnement. De ce fait, à ce stade, on doit choisir avec la plus grande attention le nombre de bits des formats binaires pour ces blocs intermédiaires en considérant les contraintes logicielles et les remarques précédemment mentionnées afin de réaliser un codage du flot de données selon l'application.

IV.2.2.3. Optimisation de la surface occupée à l'aide du synthétiseur

Après la modélisation sous Dsp Builder™ du contrôleur numérique, une compilation permet de réaliser tour à tour les étapes suivantes :

- la conversion du modèle en VHDL
- l'analyse et la synthèse logique selon l'outil Quartus 2
- le placement et le routage
- la programmation du FPGA.

La phase de placement/routage peut se dérouler selon différents critères basés soit sur la rapidité, sur la surface ou même sur un équilibre en entre rapidité et surface. Il conviendra de choisir soit un placement basé sur la surface du composant ou un placement basé sur un

équilibre entre rapidité et surface. En fait, pour des algorithmes complexes comme celui de notre application, ces deux modes d'optimisation fournissent des résultats quasi-identiques avec une occupation minimale de la surface du composant. Toutefois, quand la contrainte de surface n'est pas très stricte, la prise en compte simultanée des critères surface et rapidité apparait comme la meilleure option afin d'assurer une consommation réduite de ressources FPGA et un temps de compilation court.

IV.3. VALIDATION EXPERIMENTALE DE LA COMMANDE DU FAP

Le FAP encore appelé compensateur shunt est une source de courant contrôlée qui échange un courant avec le réseau de façon à améliorer les caractéristiques du courant amont. En fonction des caractéristiques de l'onduleur, noyau du dispositif, cette source de courant peut modifier non seulement les caractéristiques de phase du courant (compensation du facteur de puissance), mais aussi sa forme d'onde (filtrage actif de courant). Dans le cadre de nos travaux, le filtrage actif qui est l'application la plus contraignante sera réalisé à partir d'une plateforme expérimentale élaborée au sein de l'équipe de recherche en Génie Electrique de l'INSA de Strasbourg.

IV.3.1. Présentation de la plate-forme expérimentale

Notre banc de test expérimental est un système constitué des éléments suivants :

- une carte FPGA pour l'intégration de l'architecture de contrôle commande du FAP
- une carte d'interface pour l'acquisition des signaux analogiques courants/tensions du réseau et permettant d'adapter les signaux numériques issus du FPGA à la commande de l'onduleur du FAP.
- un environnement analogique et de puissance pour une application réelle du filtrage actif en basse tension. Il est constitué essentiellement d'une source de tension alternative qui alimente une charge non linéaire à base d'un pont redresseur, ainsi qu'un dispositif de filtrage actif dont la commande se fait à partir de l'ensemble de cartes précédentes.

Nous allons dans la suite présenter ces différents éléments.

IV.3.1.1. Carte de développement FPGA Stratix EP2S180

La mise en œuvre de la commande utilise une carte de développement FPGA comportant un composant FPGA de type Stratix II EP2S180 de la famille Altera. La figure IV.2 présente cette carte de développement. On y retrouve les éléments suivants :

- *Entrées/sorties*
 - Deux convertisseurs A/N 12-bits, 125 MHz,
 - Deux convertisseurs N/A 14-bits, 165 MHz,
 - Trois convertisseurs A/N, 8-bits, 180 mégapixels/s pour sortie VGA
 - Des connecteurs d'entrées/sorties numériques ATA et IDE
 - Un connecteur Ethernet RJ45
 - Un connecteur JTAG pour configuration du FPGA par un câble USB Blaster™
- *Éléments de Mémoire*
 - 1 Mo de mémoire asynchrone SRAM (32x32bits)
 - Un mémoire flash de 16 Mo (bus de données de 8bits)
 - 32Mo de mémoire SDRAM (bus de données de 64 bits)
- *Un oscillateur à quartz de fréquence 100 MHz*
- *Deux afficheurs sept segments*

- *Un composant FPGA Stratix EP2S180F1020C3* dont les caractéristiques sont les suivantes :
- 143.520 ALUTs
 - 9 383 040 de bits de RAM,
 - 768 blocs DSP de 9 bits,
 - 12 PLLs reconfigurables,
 - 783 broches d'entrées/sorties,



Fig. IV.2. Carte de développement Stratix DSP 2S180.

Dans le souci de ramener les courants et tensions de la plate-forme expérimentale à des niveaux de tension compatibles avec la carte FPGA, nous avons été amenés à réaliser une nouvelle carte d'interface. Pour ce faire, nous nous sommes inspirés du modèle conçu dans le cadre des travaux de S. Karimi [KA-09], que nous avons adapté à notre carte de prototypage.

IV.3.1.2. Carte d'interface auxiliaire

Cette carte d'interface permet d'une part de convertir les signaux analogiques en signaux numériques pour le FPGA et d'autre part de conditionner les impulsions (0-3,3V) générées par le FPGA dans la logique CMOS (0/15V) pour la commande de l'onduleur de tension. La conversion analogique numérique est orchestrée par les circuits 12 bits de type ADS7810U de chez Analog Devices ayant une gamme d'entrée analogique de ± 10 V. Pour l'acquisition numérique au niveau de la carte FPGA, seuls les connecteurs de type IDE ont été utilisés pour leur facilité d'exploitation. Compte tenu des contraintes sur le nombre limité de broches accessibles de ces connecteurs, nous avons exploité seulement les 11 bits de poids forts en sortie de chacun des six CANs de la carte d'interface. Par la suite, chaque bit de poids faible a été mis à l'état logique « haut » pour reconstituer, parfois avec légère erreur de ± 4.88 mV, les valeurs numériques correspondant aux entrées analogiques des CANs, dans l'architecture de calcul à implémenter dans le FPGA.

En guise de capteur de tension, les transformateurs utilisés délivrent des tensions proportionnelles aux tensions mesurées avec un rapport de transformation 500V/10V. En ce qui concerne les capteurs de courant, ils sont assurés par un boîtier qui affiche un rapport de transformation de 0.2V/1A. Afin d'amplifier éventuellement les tensions issues des capteurs dans la gamme d'entrée du CAN, un montage à base d'amplificateurs opérationnels de type AMP02E (société Analog Devices) a été utilisé. La mémorisation des états logiques des sorties des CANs pendant la conversion est assurée par des composants SN74HC174N (Société Texas Instruments) qui intègrent chacun six bascules de type D. Pour adapter le

niveau de tension des E/S numériques de la carte FPGA aux niveaux de tension du dispositif expérimental, nous avons employé des composants ULN2003 (STMicroelectronics). La figure IV.3 présente les différents constituants de cette carte et sa connexion avec la carte de développement Stratix DSP 2S180.

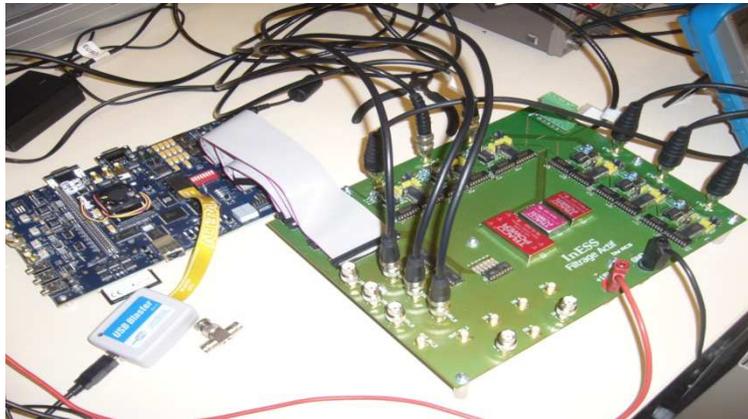


Fig. IV.3. Carte d'interface connectée à la carte de développement.

IV.3.1.3. Environnement réel de filtrage actif

La figure IV.4 présente le principe du banc expérimental de filtrage actif, utilisé pour la validation de la commande du FAP. On y retrouve une carte munie d'une cible FPGA EP2S180F1020C3 pour l'intégration de la commande du FAP et une carte d'interface pour acquisition et conversion analogique numérique d'une part et l'adaptation de niveau de tension numérique d'autre part. En outre, on peut aussi voir une unité d'élaboration d'algorithmes (micro-ordinateur) connecté sur la carte FPGA par un câble « USB Blaster ». Cet ensemble est intégré à l'environnement réel de filtrage actif qui est constitué, comme pour le cas du modèle de simulation, de plusieurs parties :

- un réseau électrique avec une puissance variable,
- une charge non linéaire constituée d'un pont de Graetz commercialisé par la société Semikron (référence SKD 51/14) qui alimente une charge composée d'une résistance R_c en série avec une inductance L_c ,
- un capteur pour la mesure des courants du réseau,
- un capteur pour la mesure des tensions du réseau et de la tension aux bornes de la capacité de stockage d'énergie,
- un onduleur de tension,
- un bloc drivers SEMIKRON (référence SKHI 22A) pour piloter l'ouverture et la fermeture des IGBTs de l'onduleur,
- une source de stockage d'énergie constituée de 2 condensateurs de 2200 μ F mis en série, et connectés du côté continu de l'onduleur,
- un filtre passif en sortie de l'onduleur.

qui concerne le module d'extraction des harmoniques, nous avons opté pour une validation par une approche quasi-expérimentale.

a) *Validation quasi-expérimentale de l'extraction des harmoniques*

En prélude à la validation expérimentale, nous avons tout d'abord choisi de tester en simulation les performances d'identification des harmoniques à partir d'un courant de charge mesuré sur notre plate-forme de test. C'était pour nous un moyen de tester cette fonctionnalité clé de la commande du FAP de manière à en avoir une évaluation propre. A la figure IV.5, nous présentons la tension mesurée dans le même temps aux bornes de la source variable (figure IV.5 a) et obtenue en sortie d'un capteur de gain de 1/500 ; ce qui correspond en réalité à une amplitude crête à crête d'environ 100V. Après séparation des harmoniques contenues dans le courant de charge (figure IV.5 b) correspondant, on retrouve sa composante fondamentale à la figure IV.5 c) par la méthode *p-qm*. Des résultats de simulation peuvent aussi être obtenus par les autres méthodes d'identification à base de réseaux de neurones présentées au chapitre 3. Toutefois, la tension source présentant des fluctuations, les méthodes basées sur la théorie des puissances instantanées se sont avérées plus efficaces.

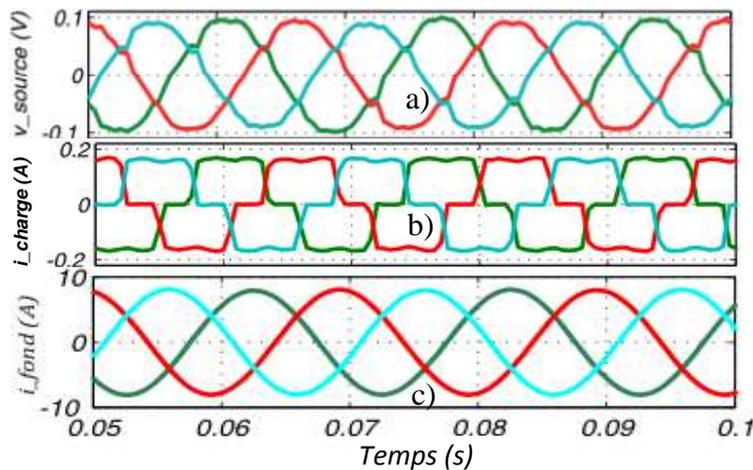


Fig. IV.5 Méthode *p-qm* - Filtrage des harmoniques à partir de mesures expérimentales du courant pollué : a) tension de source, b) courant de charge c) composante fondamentale après filtrage des harmoniques

Par la suite, les performances d'identification ont été évaluées à partir d'un signal pollué par des harmoniques 5 et 7, et créé à l'occasion de manière algorithmique puis implanté dans un FPGA Stratix I (EP1S80B956C5). Pour une phase arbitrairement choisie, la détection d'harmoniques par la méthode directe a permis d'obtenir à la figure IV.6, le signal harmonique somme des harmoniques 5 et 7. A la figure IV.7 sont présentés le signal pollué estimé par l'Adaline et la composante fondamentale qui en est extraite. Après adaptation de signaux au format de données des deux CANs de la carte FPGA Stratix I, l'amplitude du signal pollué est 585mV crête à crête. L'estimation de ce signal donne un signal similaire d'amplitude relevée de 581mV, puis la détection harmonique génère un signal de référence de 194mV crête à crête. La forme régulière et sinusoïdale du courant fondamental est un indicateur valable de la bonne performance d'extraction d'harmonique de la méthode proposée. Des résultats similaires ont été obtenus avec les autres méthodes.

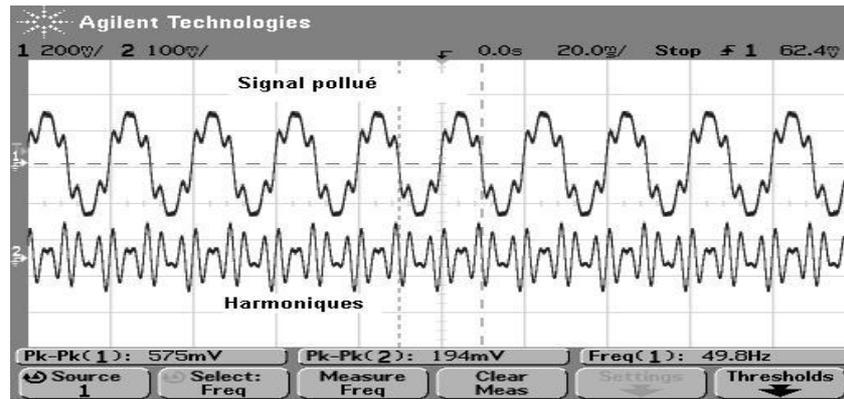


Fig. IV.6. Obtention d'un signal harmonique à partir d'un signal pollué

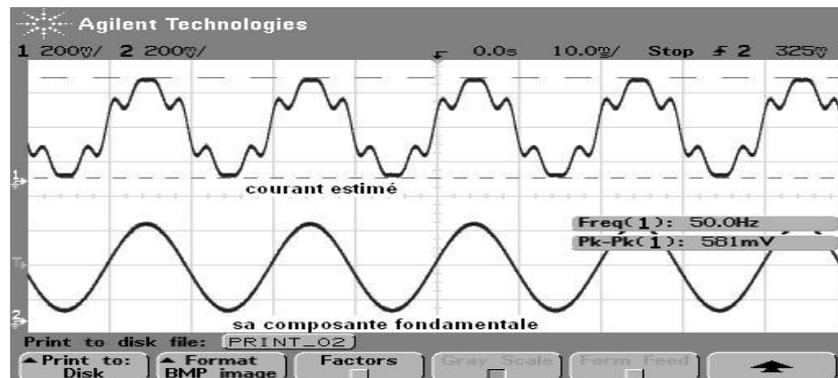


Fig. IV.7. Le signal pollué estimé et sa composante fondamentale.

b) Validation expérimentale de la commande du FAP

Dans la pratique, le signal pollué est mesuré sur un système électrique réel ou sur une plateforme expérimentale externe à la carte de développement. C'est ainsi que pour coller à la réalité, nous n'avons pas à implanter dans le FPGA un modèle de la source, mais uniquement la commande du FAP. Toutefois, une PLL est nécessaire pour la détection de la phase instantanée de la tension réseau afin de synchroniser les autres blocs de la commande du FAP. Par mesure de précaution, nous avons réalisé la phase expérimentale proprement dite en deux étapes. La première consistait à commander le FAP sans raccorder le filtre de sortie sur le réseau selon le schéma de la figure IV.8. Ce mode opératoire que nous appellerons « commande en boucle ouverte » nous a permis d'apprécier de manière conjointe les performances de synchronisation par la PLL, de l'identification des harmoniques et de commande de l'onduleur. En effet, pour une commande efficace, le courant qui circule dans le filtre de sortie de l'onduleur est identique au courant de référence obtenu par le module d'extraction des harmoniques. C'est ainsi que ce courant du filtre est mesuré et soustrait du courant de charge par une simple opération mathématique opérée sur l'oscilloscope utilisé afin d'avoir un courant de source fictif à l'image du celui qu'on obtiendrait réellement en bouclant le filtre de sortie au point de raccordement du réseau. Dès lors que ce courant est conforme aux attentes dans des conditions suffisamment différentes, on peut alors procéder à la « commande du FAP en boucle fermée » pour assurer effectivement la compensation.

Les oscillogrammes et les analyses harmoniques expérimentales que nous proposons dans ce chapitre sont issus d'un oscilloscope MetriX de la gamme Scopix II 7104 fonctionnant à 100MHz et permettant de faire une analyse précise de la FFT grâce à sa mémoire interne. Nous disposons d'une source de tension alternative variable qui délivre une tension triphasée dont une capture est présentée à la figure IV.9. En alimentant directement la charge non linéaire, nous constatons que celle-ci absorbe un courant non sinusoïdal (figure IV.10), ce qui se répercute du côté de la source. Afin d'éviter qu'une seconde charge aux caractéristiques courant-tension différentes ne consomme le même courant de source si on la connecte au réseau, l'installation d'un FAP est nécessaire pour corriger ce courant de source de manière à lui redonner sa forme sinusoïdale.

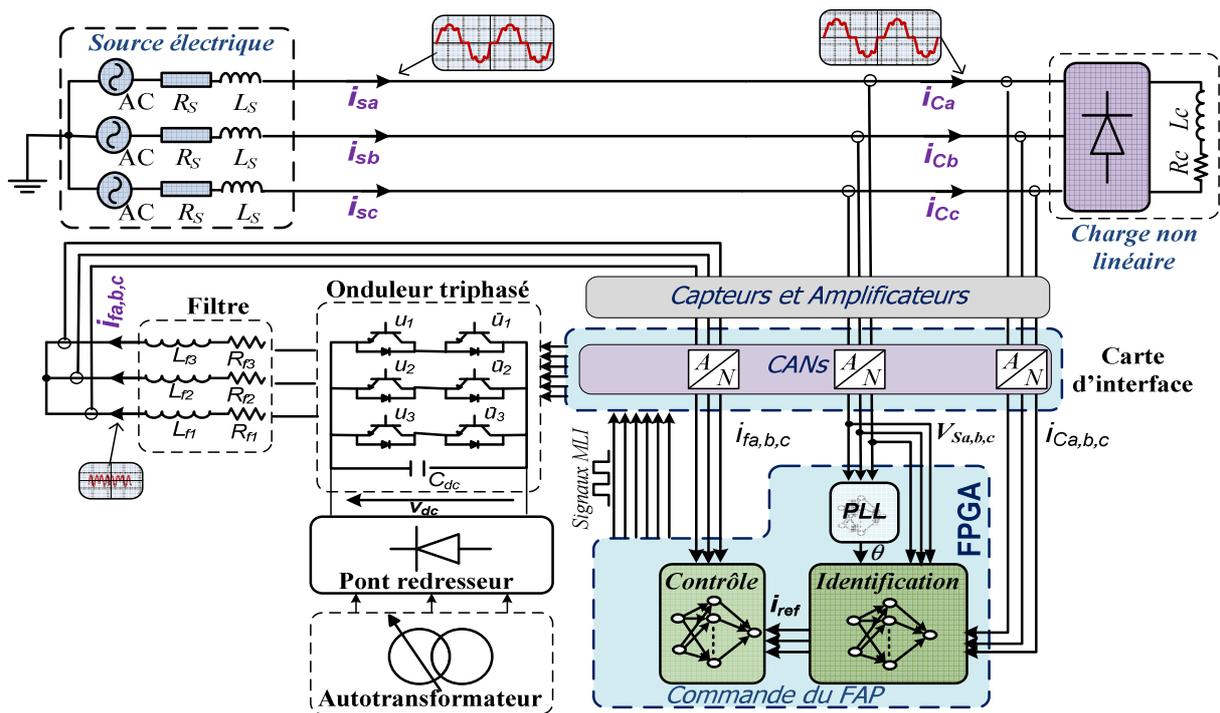


Fig. IV.8. Principe expérimental pour la validation simultanée de l'extraction des harmoniques et du contrôle de courant – commande en boucle ouverte

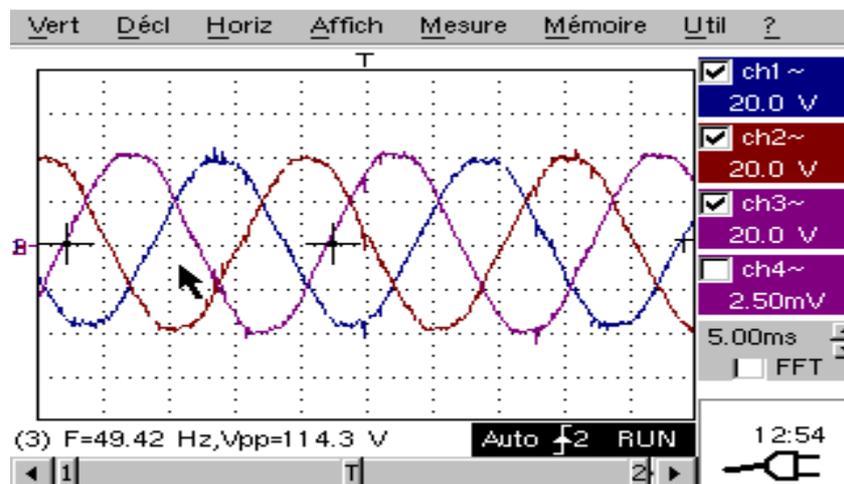


Fig. IV.9. La tension de source

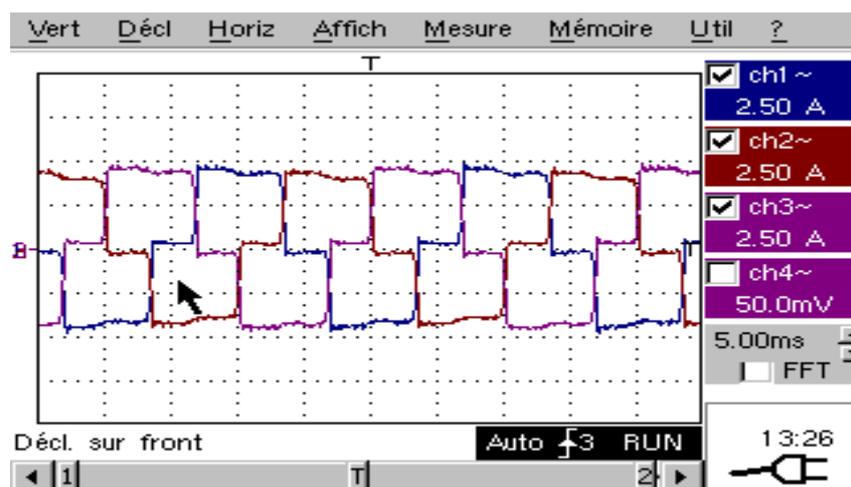


Fig. IV.10. Le courant absorbé par la charge non linéaire

IV.3.2.2. Commande du FAP en boucle ouverte

Il est question d'implémenter l'architecture de commande dans le FPGA afin de s'assurer que le bloc d'extraction des harmoniques synchronisé par la PLL fournit en interne les courants de référence adéquats et utilisés comme consigne à la boucle de contrôle de courant. Cette boucle permet de commander l'onduleur en générant les impulsions nécessaires au pilotage des interrupteurs de l'onduleur pour que celui-ci débite à travers le filtre de sortie les bons courants à injecter sur le réseau pour assurer la compensation des distorsions sur les courants côté source. Il s'agit ainsi dans la commande du FAP en boucle ouverte d'une évaluation de l'architecture globale par l'appréciation de la différence entre le courant de charge et le courant à injecter sur le réseau en prélude à la connexion effective du filtre de sortie au point de raccordement réseau.

La mise en route du filtre actif commence par le chargement du condensateur du bus continu de l'onduleur sans envoyer d'ordre de commande aux interrupteurs. Dans ce cas, les IGBTs sont bloqués et le courant limité par l'inductance L_f , circule au travers des diodes montées en antiparallèle et vient charger l'élément de stockage. La mise sous tension du réseau s'effectue progressivement de façon à éviter les gradients de courants trop importants dans les diodes. On peut dès lors envoyer les ordres de commande des IGBTs de l'onduleur. La charge du condensateur peut donc s'achever et la tension continue peut atteindre la valeur imposée par la consigne de la régulation de tension (tension de référence)

La figure IV.11 présente successivement pour la première phase, le courant de charge déformé, le courant côté source qui lui est identique étant donné que la commande se fait sans compensation, ainsi que la tension de la source d'amplitude fixée à 40V. Le spectre harmonique du courant de source présenté à la figure IV.12 révèle un THD de 30% avec une présence remarquée des harmoniques de rang 5, 7, 11, 13, 17,19, etc.

Le courant de charge est à nouveau montré à la figure IV.13 sur le même axe que le courant à injecter sur le réseau et mesuré en sortie de l'ensemble onduleur et filtre passif de sortie de type R-L. Afin de juger de l'efficacité conjointe de l'identification des courants de référence et du contrôle de courant, la figure IV.14 présente la tension source, le courant de charge, le courant à injecter et le courant de source fictif obtenu par la différence mathématique entre le courant de charge et le courant traversant le filtre de sortie. Nous constatons que la forme de ce courant fictif est bien sinusoïdale avec des fluctuations

négligeables. De même, les paramètres amplitude et fréquence sont conformes à ceux de la composante fondamentale du courant de charge. En outre, le déphasage entre le courant débité par la source et la tension de ladite source est quasiment nul. De ce fait, on peut aisément penser qu'après le raccordement du FAP au réseau, le courant à la source aurait la même forme que le courant fictif, c'est-à-dire que non seulement la compensation harmonique sera effective mais il en sera de même pour la compensation de l'énergie réactive.

Un résultat similaire est obtenu en adoptant la méthode SRFM pour l'extraction des harmoniques. Les signaux correspondant sont présentés à la figure IV.15 par une capture sur 10 périodes.

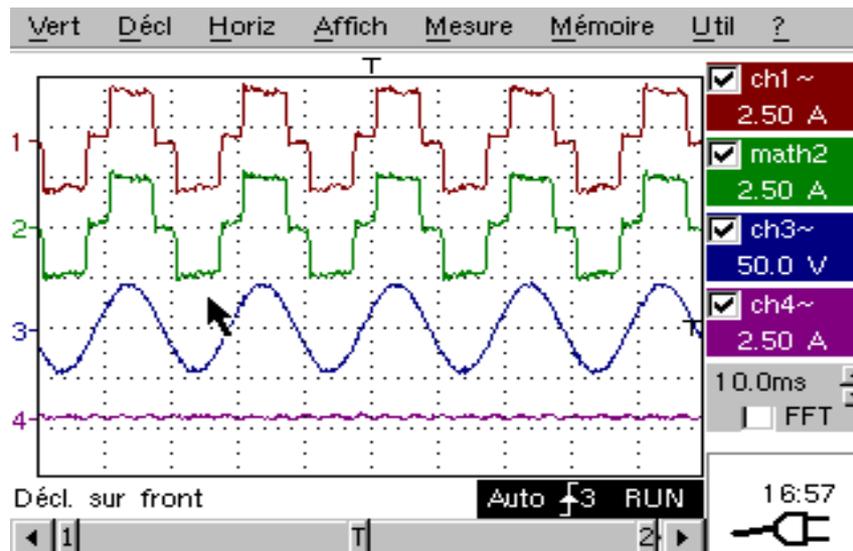


Fig. IV.11. Résultats avant compensation - 1) courant charge, 2) courant source, 3) tension source

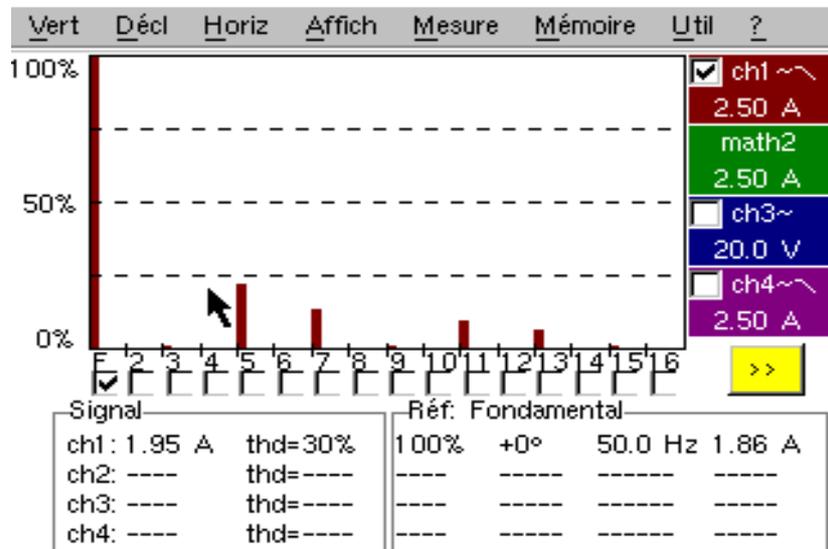


Fig. IV.12 Spectre harmonique du courant de la source avant compensation

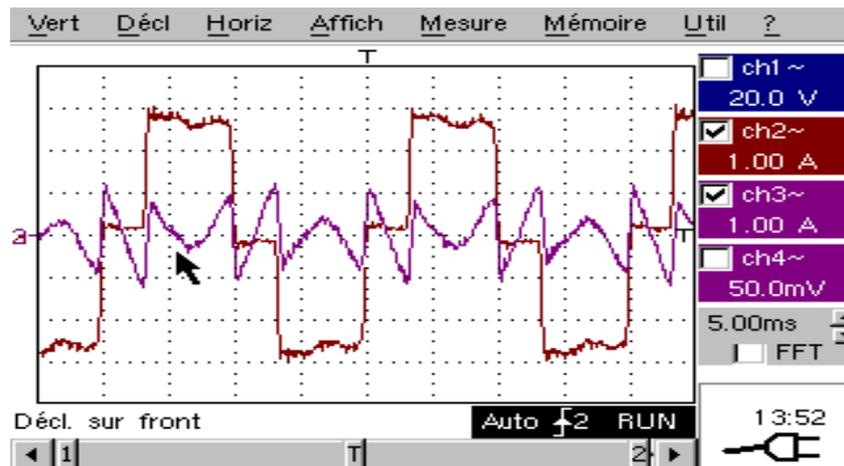


Fig. IV.13. Identification des harmoniques de courant par la méthode directe.

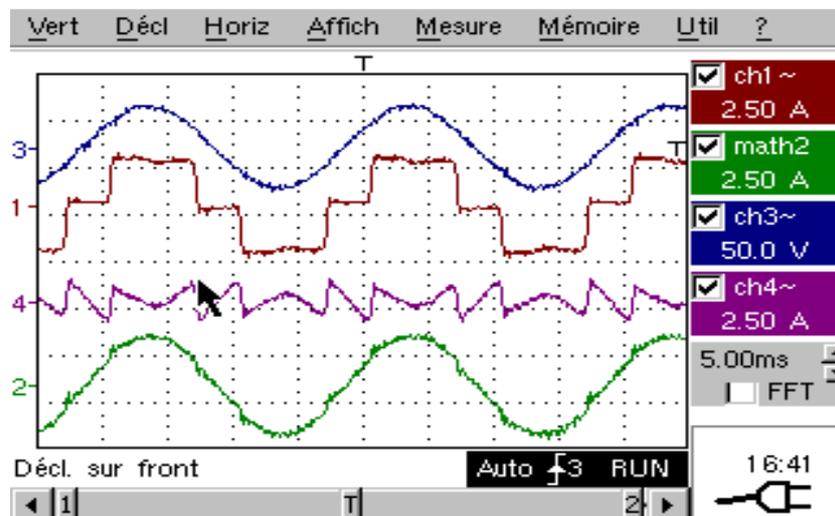


Fig. IV.14. Résultats expérimentaux en boucle ouverte – Méthode ITM a) tension source, b) courant charge, c) courant de référence, d) courant prévu coté source après compensation

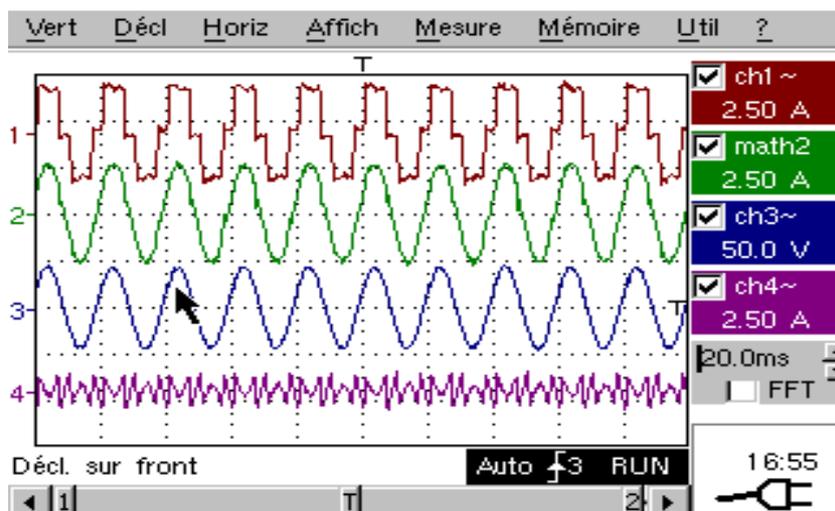


Fig. IV.15. Résultats expérimentaux en boucle ouverte - Méthode SRFM – 1) courant charge, 2) courant prévu coté source après compensation 3) tension source, 4) courant de référence

IV.3.2.3. Commande du FAP en boucle fermée

La commande en boucle ouverte nous a permis de constater, à travers la forme régulière du courant fictif de source, que la compensation harmonique était possible. Dès lors, nous avons entrepris de raccorder le FAP au réseau afin de le commander en boucle fermée et apprécier dans les conditions industrielles ses performances de compensation. La figure IV.16 présente le principe expérimental de la commande du FAP en boucle fermée.

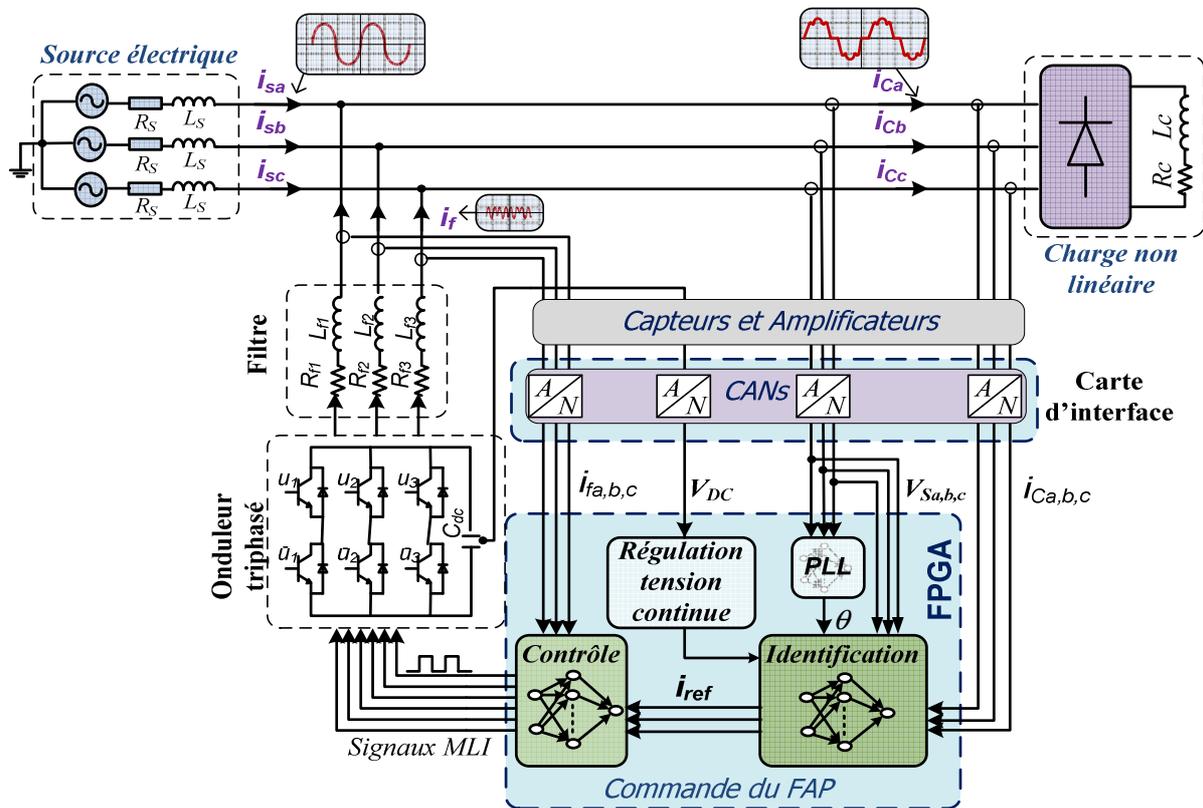


Fig. IV.16. Principe expérimental de la stratégie de compensation du FAP – commande en boucle fermée

Chaque phase du filtre de sortie du FAP est connectée à la phase correspondante au point de raccordement réseau. Ainsi les courants injectés viennent s'ajouter en opposition de phase aux courants côté source de manière à éliminer les harmoniques qu'ils contiennent pour assurer la compensation. Nous présenterons d'abord les résultats obtenus dans des conditions quasi idéales avec une charge équilibrée et une source de tension triphasée relativement symétrique et équilibrée malgré quelques fluctuations en termes fréquence ou de pics de tension. Dans un second temps, les mesures concerneront une période d'enregistrement au cours de laquelle, nous provoquerons une augmentation brusque de la résistance de la charge R_C dans le but de diminuer l'amplitude du courant de charge.

a) Conditions quasi idéales

Les résultats de commande du FAP en boucle fermée sont obtenus dans des conditions quasi idéales avec la charge triphasée et la source de tension identique à celle de la figure IV.9. Sur la figure IV.17 et pour une phase choisie arbitrairement, on peut voir successivement sur les quatre voies de l'oscilloscope, la tension source, le courant de charge, le courant injecté au réseau qui est à l'image du courant de référence extrait du courant de charge par la méthode ITM, et enfin le courant côté source qui se caractérise par une forme sinusoïdale après compensation. La figure IV.18 présente le spectre harmonique du courant de source avant et

après compensation. Selon cette figure, ce courant subit une remarquable réduction du THD qui initialement est de 31% et passe à 6% après injection du courant de compensation par le FAP.

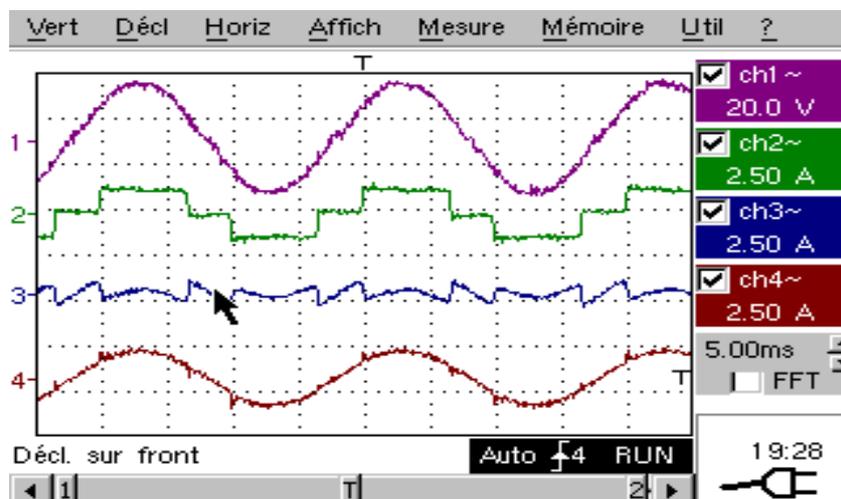


Fig. IV.17. Résultats expérimentaux en boucle fermée - Méthode ITM : 1) tension source, 2) courant charge, 3) courant de référence, 4) courant coté source

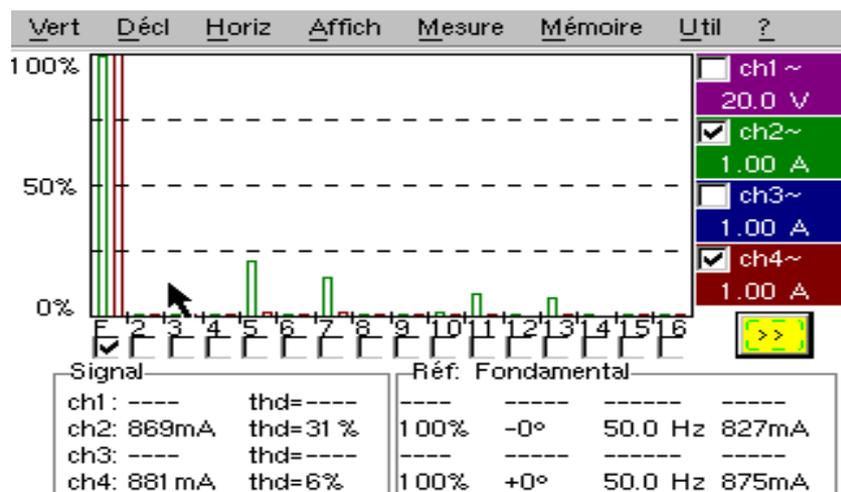


Fig. IV.18. Méthode ITM : Spectre harmonique du courant de source avant et après compensation

Les performances de cette compensation sont aussi justifiées par une commande adéquate de l'onduleur dans la boucle de contrôle de courant. Cette fonctionnalité est illustrée par les impulsions MLI de la figure IV.19, recueillies à l'entrée de l'un des six interrupteurs IGBT de l'onduleur. On peut observer qu'elles sont bien d'un niveau de tension de 15V après amplification à travers la carte d'interface des impulsions initiales de 3.3V générées par le FPGA. De plus, elles révèlent bien une fréquence moyenne de 12,5 KHz pour la commutation des IGBTs.

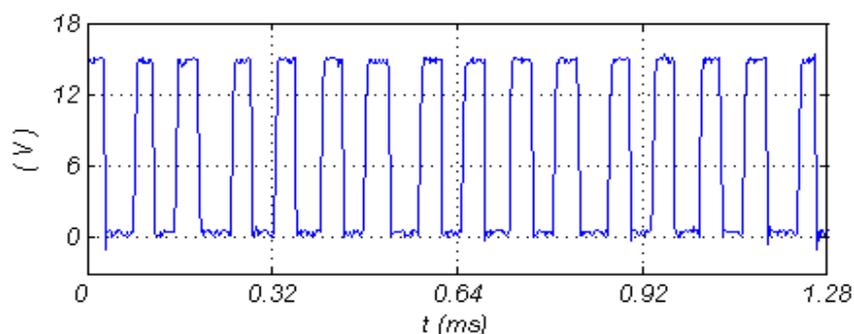


Fig. IV.19. Impulsions MLI de commande des IGBTs obtenues expérimentalement

Nous avons aussi testé la commande en boucle fermée en utilisant la méthode d'extraction harmonique SRFM. Les résultats obtenus sont présentés à la figure IV.20 avec successivement la tension source, le courant de charge, le courant injecté au réseau et le courant de source après compensation. En outre, l'analyse harmonique sur le courant côté source permet d'observer à un instant donné sur la figure IV.21, un THD de 31% avant et 7% après la compensation.

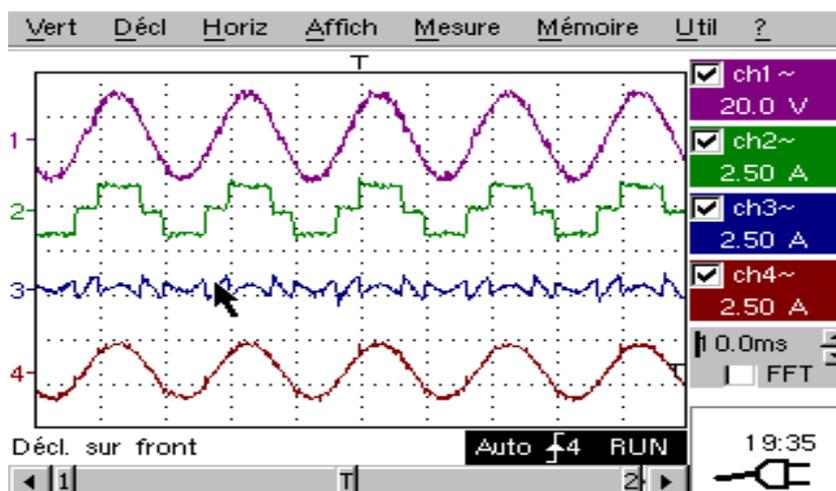


Fig. IV.20. Résultats expérimentaux en boucle fermée - Méthode SRFM : 1) tension source, 2) courant charge, 3) courant de référence, 4) courant coté source

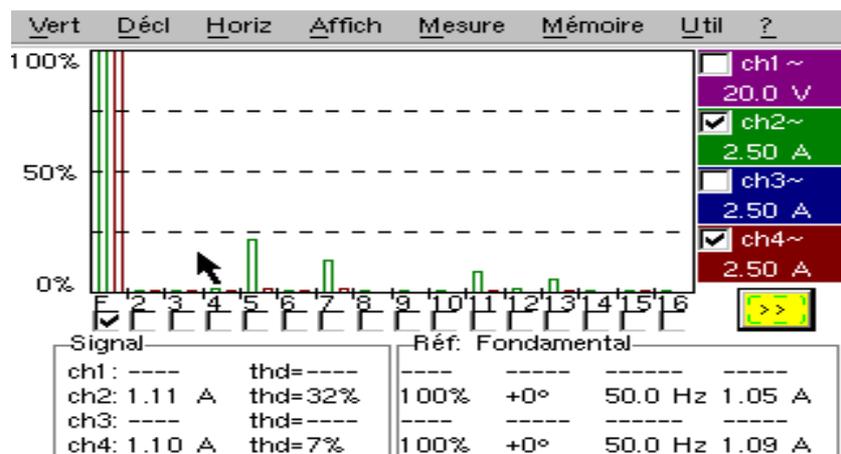


Fig. IV.21. Méthode SRFM : Spectre harmonique du courant de source avant et après compensation

b) Performances de filtrage lors d'une variation de la charge

Les captures d'écran d'oscilloscope ne permettent pas en général d'observer l'influence des changements significatifs des paramètres du système électrique sur les signaux mesurés. C'est pourquoi nous avons procédé à un enregistrement sur une période temporelle qui nous a permis de repérer la plage comprise entre 5,06 s et 5,14 s pendant laquelle se produit la variation de la charge. La figure IV.22 présente l'extraction harmonique sur le courant de charge et la compensation du courant à la source à l'instant 5,09 s où se produit le changement d'amplitude du courant consommé suite à la variation de charge. La tension mesurée à la source est présentée à la figure IV.22 a) et le courant consommé par la charge non linéaire est celui de la figure IV.22 b). De ce courant est extrait le courant de référence (figure IV.22 c) qui, réinjecté au point de raccordement réseau, nous donne le courant mesuré coté source figure IV.22 d). Pour ces résultats, l'extraction des courants de référence se fait par la méthode $p-qm$ et le contrôle de courant par la méthode HBZ. Il est aussi à noter que les faibles valeurs d'amplitudes obtenues correspondent à des signaux prélevés en sortie des capteurs. En mesurant le THD du courant source après compensation, nous obtenons une valeur de 3,1% avant et 3,5% après la variation de charge. Ainsi, avec une valeur moyenne du THD de 3,3%, on peut constater que les méthodes $p-q$ et $p-qm$ sont très performantes tant en situation quasi-idéale qu'en présence de fluctuations sur l'amplitude du courant de charge.

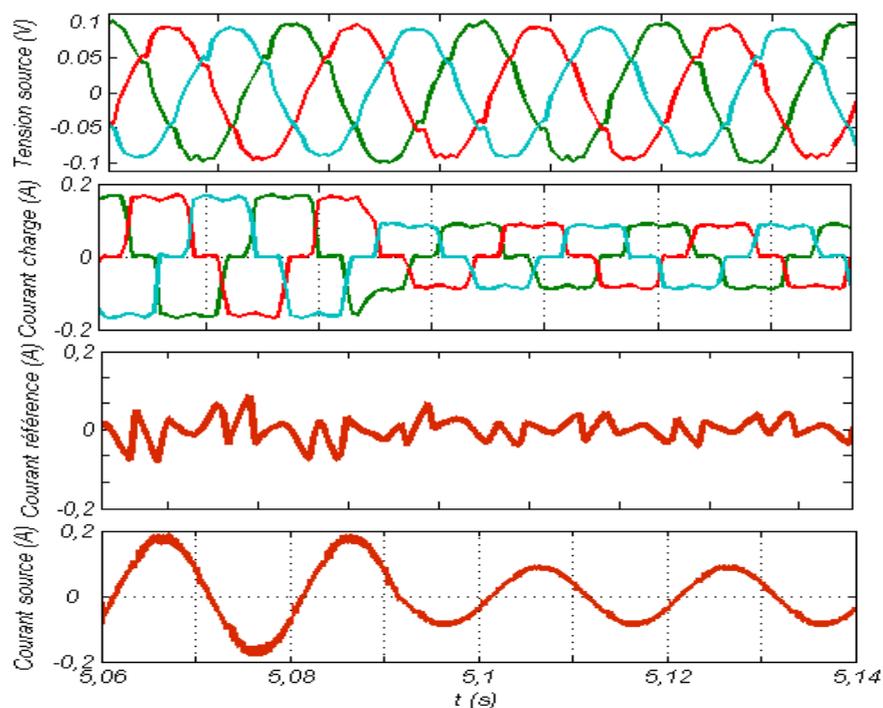


Fig. IV.22. Résultats expérimentaux en boucle fermée - Méthode $p-qm$: a) tension source, b) courant charge triphasé, c) courant de référence, d) courant coté source

A la figure IV.23 sont représentés le courant et la tension à la source pour la phase a avec une échelle identique. Malgré la faible amplitude du courant par rapport à celle de la tension on peut quand même observer qu'il n'existe pas de déphasage entre ces deux formes d'ondes. Ceci est la preuve que le filtrage des harmoniques s'est fait en même temps que la compensation de la puissance réactive.

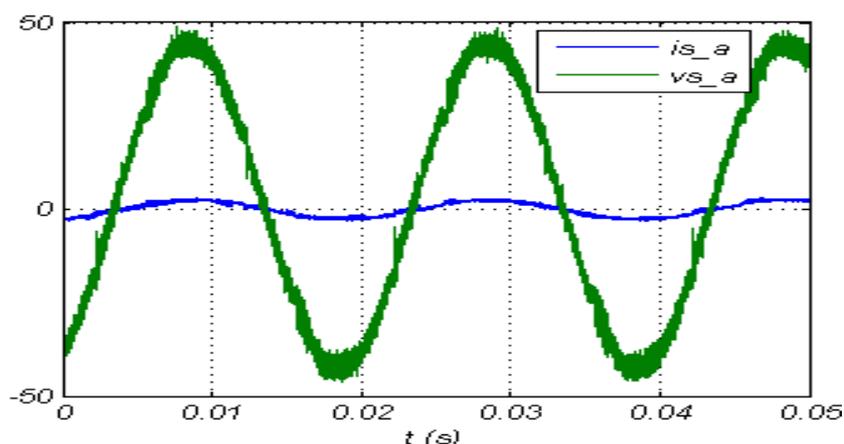


Fig. IV.23. Compensation expérimentale du déphasage courant-tension par la méthode $p-qm$

De manière générale, nous avons tout d'abord rencontré des problèmes au moment des commutations des IGBTs de l'onduleur. En effet, les relevés effectués montraient des pics au moment des commutations. Nous avons opéré un réglage plus judicieux du filtre de sortie pour atteindre le meilleur point de fonctionnement. Ce qui nous a permis d'affiner la forme du courant de source et par conséquent de diminuer le THD après compensation.

IV.3.3. Caractérisation de l'implantation FPGA de la commande du FAP

IV.3.3.1 Analyse temporelle

Afin de raccorder la carte FPGA à l'environnement réel de test, ses entrées/sorties ont été connectées à la carte d'interface. Le chemin de données pris en compte dans notre analyse fait suite à l'acquisition des signaux courants/tensions par les capteurs. Il commence sur la carte d'interface par une amplification de tension à travers l'amplificateur opérationnel AMP02E, connecté au composant ADS7810U qui réalise la conversion analogique numérique. Ensuite vient le stockage temporaire des valeurs numériques obtenues dans des registres de type bascule D (SN74HC174N). Le traitement qui s'en suit est fait par l'algorithme de commande du FAP intégré dans le composant FPGA, situé sur la carte de développement Stratix II EP2S1S80. Ce composant génère les impulsions de commande des IGBTs qui sont acheminées à travers les circuits buffers ULN 2003, eux-aussi présents sur la carte d'interface. Nous prenons enfin en compte les délais dans le driver SKHI 22A et chaque Module IGBTs, SKM50GB123D, de l'onduleur.

Dans les applications de filtrage actif, la fréquence de commutation des interrupteurs doit être assez élevée (de 10 kHz à 20 kHz), afin de générer efficacement les courants harmoniques à compenser. En général, l'augmentation de la fréquence de commutation permet de meilleures caractéristiques de courant et de tension de sortie des convertisseurs et donc des valeurs plus réduites de l'inductance du filtre de raccordement et du condensateur du bus continu. Néanmoins, la fréquence de commutation des semi-conducteurs est limitée à cause des difficultés pour l'évacuation de la chaleur produite. Les pertes qui en découlent deviennent plus importantes lors d'une montée en tension.

Pour déterminer cette fréquence de commutation dans les limites acceptables avec les méthodes de contrôle de courant adoptées pour notre application il convient, pour le contrôle par Hystérésis, de bien choisir la bande et/ou la période d'échantillonnage. Pour générer les signaux de commande par MLI, la fréquence de commutation sera étroitement liée à la fréquence de la porteuse et une fois de plus la période d'échantillonnage. De ce fait, le choix cette période revêt une importance particulière afin que chaque échantillon corresponde à des valeurs significatives devant permettre une bonne génération des courants à injecter sur le réseau. Pour ce faire, il est évident que cette période devra être choisie de manière à minimiser le retard maximum introduit par chaque composant utilisé entre l'acquisition des signaux et la commande des IGBTs de l'onduleur. Ce retard dépend essentiellement :

- des caractéristiques et performances des CANs et des autres composants de la carte d'interface
- des temps de propagation et des temps morts générés par les drivers des modules IGBTs.

Le tableau IV.1 consigne les retards maximum introduits par chaque composant, placé entre la carte d'interface et l'onduleur. Ces retards sont obtenus en exploitant les documents constructeurs des différents composants. La vitesse de balayage (*slew rate*) caractéristique de l'amplificateur opérationnel AMP02E permet d'obtenir un temps de montée de 1458 ns. Tous les CANs placés sur la carte d'interface sont simultanément pilotés par le FPGA à une fréquence choisie à 5 MHz (période égale à 0,2 μ s). Cette fréquence est générée à partir de l'oscillateur à quartz 100MHz, de la carte FPGA et d'un petit module algorithmique de contrôle du processus de conversion A/N. Les données converties sont ensuite traitées pour être adaptées au format normalisé, utilisé en entrée de l'architecture de l'algorithme de commande du FAP.

Composants	Origine du retard	Retard (ns)
<i>Phase d'acquisition (carte d'interface)</i>		
Amplificateur Opérationnel AMP02E	Temps de montée (<i>slew rate</i>)	1458
Convertisseur Analogique Numérique ADS7810 (12-Bit, fréquence d'échantillonnage 800kHz)	Temps minimal entre deux conversions	1400
Bascules D, SN74HC174N ($V_{CC}=3,3V$)	Délai propagation (E/S)	200
<i>Phase de Traitement (FPGA)</i>		
FPGA, EP2S180F1020C3	Période d'échantillonnage	10000
<i>Acheminement des signaux de commande de l'onduleur (carte d'interface+onduleur)</i>		
Adaptateur de tension (<i>Buffer</i>), ULN 2003	Délai d'E/S	1000
Driver, SKHI 22A	Temps mort	4300
	Temps de la propagation	1150
Module IGBTs, SKM50GB123D	Délai de fermeture ($t_{on}=130\text{ ns}$)	445
	Délai d'ouverture ($t_{off}=445\text{ ns}$)	
Total		19953 ns

Tab. IV.1. Retard maximum introduit par chaque composant utilisé entre l'acquisition des signaux et la commande de l'onduleur

Puisque le temps minimum nécessaire entre deux conversions pour les CANs de type ADS7810U est de 1,25 μ s, la conversion sera effectuée après sept coups d'horloge (c'est-à-dire $7 \times 0,2\ \mu\text{s} = 1,4\ \mu\text{s}$). Alimentés à 3,3V, les bascules SN74HC174N, sont caractérisées par un délai maximal de propagation d'une valeur de 200 ns. Le temps d'échantillonnage des

algorithmes, fixé à 10 μs est suffisamment grand pour permettre une phase d'exécution complète, et relativement petit pour minimiser les pertes par commutation dans l'onduleur. Des impulsions sortent du FPGA et passent par le buffer ULN 2003 avec un délai de propagation de 1 μs pour commander en ouverture et en fermeture un module IGBTs SKM50GB123D de l'onduleur. Le délai de commutation le plus important d'une valeur de 445 ns a lieu en phase d'ouverture. Un driver SKHI 22A est inséré avant le module pour acheminer les impulsions avec un temps de la propagation de 1,15 μs et un temps mort de 4,3 μs . En faisant la somme des retards maximum introduits par chaque composant sur le chemin de données, on obtient un retard total de 19,95 μs

Nous allons dans la suite analyser l'architecture de commande du FAP à implanter dans le FPGA pour en déterminer le temps de calcul dans ce composant à partir de la latence attribuée aux blocs de base de la bibliothèque Dsp BuilderTM en fonction du format de données manipulé. Nous avons convenu pour l'élaboration de notre modèle de généraliser l'utilisation du format à virgule fixe de 18 bits. Les latences des différents opérateurs sont listées ci-dessous :

- multiplieur à coefficients variables = 4
- multiplieur à 1 coefficient constant = 3
- additionneur parallèle : 2
- diviseur = 8

Nous avons choisi d'analyser essentiellement l'algorithme de commande du FAP par la méthode d'extraction d'harmonique $p-q$ qui se caractérise par sa popularité, sa complexité et un chemin de donnée plus long en comparaison des architectures issues des autres méthodes. Cette analyse s'est faite tour à tour à travers les différents modules constitutifs obtenus au chapitre 2 à partir du partitionnement modulaire de la figure II.16. En suivant le chemin de données, et en additionnant les latences des blocs de base, nous avons relevé la latence de chaque module. En considérant la fréquence de fonctionnement du FPGA de 100 MHz, qui correspond à une période de 10ns, les performances des différents blocs sont présentées au tableau IV.2.

Module	Latence	Temps de calcul
Détection de la phase instantanée	27	$t_{\theta} = 0,27 \mu\text{s}$
Extraction des composantes directes de tension	49	$t_{vd} = 0,49 \mu\text{s}$
Calcul des puissances instantanées	16	$t_{pq} = 0,16 \mu\text{s}$
Calcul des composantes continues de puissances	10	$t_{pq}^- = 0,1 \mu\text{s}$
Calcul des courants de référence	25	$t_{ref} = 0,25 \mu\text{s}$
Contrôle de courant	7	$t_{CONT} = 0,07 \mu\text{s}$
$T_{CT} = t_{\theta} + t_{vd} + t_{pq} + t_{pq}^- + t_{iref} + t_{CONT}$		$T_{CT} = 1,34 \mu\text{s}$
Temps d'exécution $T_{EX} = T_{CT} + t_{A/N}$		$T_{EX} = 2,74 \mu\text{s}$

Tab. IV.2. Evaluation temporelle de l'architecture de commande du FAP par la méthode $p-q$

Le temps de calcul total T_{CT} de l'architecture de commande du FAP qui adopte la méthode $p-q$ pour l'extraction des courants de référence est égal à 1,34 μs . En ajoutant le temps de conversion analogique numérique $t_{A/N}$ qui est de 1,4 μs , le temps d'exécution total T_{EX} pour cette architecture est égal à 2,74 μs . De la même façon, quand l'extraction des harmoniques se

fait par la méthode synchrone (*SRFM*), on relève à partir des résultats du tableau IV.3 un temps d'exécution total de 2,16 μ s.

On peut remarquer que $t_{A/N}$ est assez important par rapport au temps de calcul T_{CT} à travers l'architecture de commande. L'utilisation d'un CAN plus rapide contribuerait à réduire considérablement $t_{A/N}$ et permettrait d'avoir un temps d'exécution assez proche de T_{CT} . Dans ces conditions, et en se basant sur les résultats de l'analyse temporelle obtenus par la méthode *p-q*, notre architecture de commande pourrait être échantillonnée à une fréquence maximale de 746 KHz. Pour ce qui est de la méthode synchrone, on pourrait aller jusqu'à 1,31 MHz en respectant toutes les contraintes temporelles du composant de façon à nous permettre en cas de besoin de réussir aisément les simulations post-routage dans l'outil de synthèse utilisé. La réduction considérable du temps d'exécution lorsque ces algorithmes sont implantés sur cible FPGA permet d'obtenir une meilleure qualité d'identification des harmoniques, de régulation de courant et notamment un taux de distorsion harmonique plus faible.

<i>Module</i>	<i>Latence</i>	<i>Temps de calcul</i>
Détection de la phase instantanée	27	$t_{\theta} = 0,27 \mu\text{s}$
Transformation de Park directe (<i>abc-DQ</i>)	16	$t_{abc-DQ} = 0,16 \mu\text{s}$
Calcul des composantes continues de courants	12	$t_{i_{DQ}} = 0,12 \mu\text{s}$
Transformation de Park inverse (<i>DQ-abc</i>)	14	$t_{DQ-abc} = 0,14 \mu\text{s}$
Contrôle de courant	7	$t_{CONT} = 0,07 \mu\text{s}$
$T_{CT} = t_{\theta} + t_{abc-DQ} + t_{i_{DQ}} + t_{DQ-abc} + t_{CONT}$		$T_{CT} = 0,76 \mu\text{s}$
Temps d'exécution $T_{EX} = T_{CT} + t_{A/N}$		$T_{EX} = 2,16 \mu\text{s}$

Tab. IV.3. Evaluation temporelle de l'architecture de commande du FAP par la méthode *SRFM*

Avec la possibilité de description matérielle du parallélisme inhérent aux algorithmes neuronaux, les FPGA prennent une fraction de la période de commutation pour exécuter en temps réel l'algorithme de commande du FAP. Une conséquence directe de cette situation est la consommation d'une quantité importante de ressources de calcul, augmentant de ce fait les coûts. En utilisant des techniques de pipeline et d'optimisation comme la méthode d'adéquation algorithme architecture (A^3), le concepteur obtient une structure simplifiée qui occupe une surface réduite en gardant un temps d'exécution rapide, bien inférieur à celui d'une solution de type « processeur » comme le DSP.

IV.3.3.2 Analyse de la consommation des ressources FPGA

La figure IV.24 présente une synthèse des résultats concernant le remplissage du FPGA lors de l'implantation d'architectures neuronales de commande du FAP. Associées à la même méthode de contrôle de courant HBZ, plusieurs méthodes d'extraction des harmoniques de courant sont considérées en triphasé. Nous avons déjà relevé que la méthode *SRFM* consommait en moyenne 21,67% de ressources de calcul, ce qui correspond au taux le plus bas tandis que la méthode *TMM* avec 52% présente le taux le plus élevé. Les ressources de calcul sont constituées d'une part des blocs Dsp 9-bits et des ALUTs permettant d'implémenter les opérateurs, et d'autre part des éléments de mémorisation de type RAM. On peut aussi noter que la méthode *TMM* fait le plus appel à des registres de mémorisation (24%

de ces ressources) alors que trois méthodes (directe, $p-q$ et $p-qs$) n'en ont quasiment pas besoin. Concernant les blocs Dsp 9-bits du FPGA, ils sont entièrement consommés pour les méthodes TMM , $p-q$ et $p-qm$, les méthodes directe et $p-qs$ en utilisent une partie relativement importante tandis que la méthode $SRFM$ en consomme moyennement.

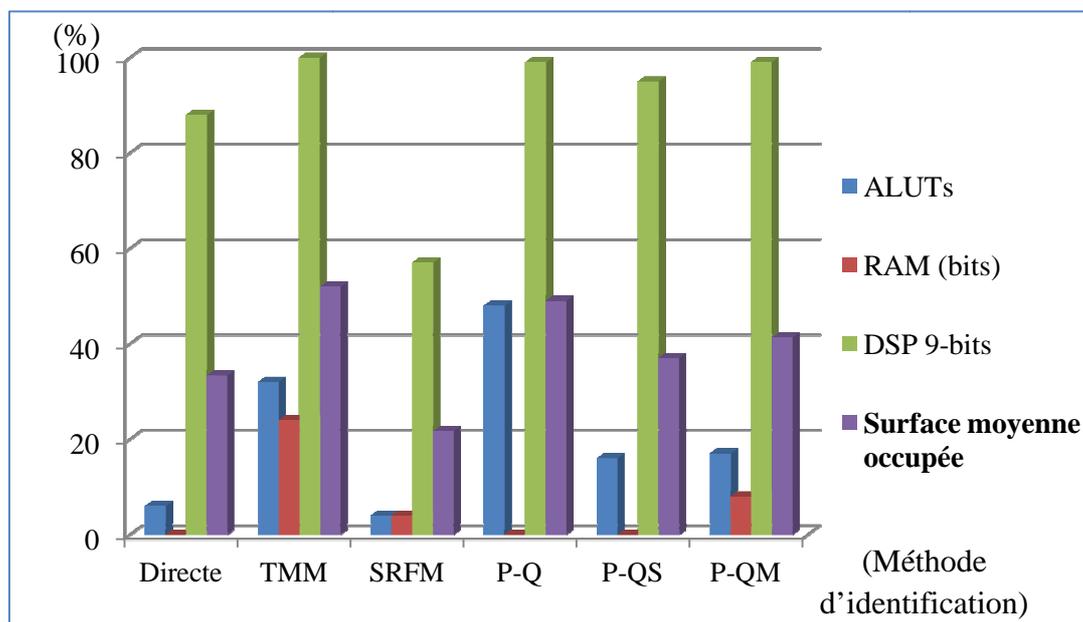


Fig. IV.24. Etat des ressources consommées dans le FPGA pour différentes méthodes d'identification des harmoniques (contrôle HBZ)

De manière générale, la surface du composant FPGA est loin d'être occupée à son maximum car le taux moyen de consommation de ressources de calcul n'excède pas 52%. Au regard du tableau III.12, sur l'impact des différents contrôleurs dans la consommation des ressources du FPGA, la méthode de contrôle de courant PI neuronal en lieu et place du contrôleur HBZ, entraîne une augmentation moyenne de 1,33 points en %, soit une consommation maximale de 53,33%, quelque que soit la commande du FAP choisie.

IV.3.3.3 Comparaison entre la solution d'implantation FPGA et la solution DSP

Les principales solutions actuelles d'implantation de contrôleurs numériques sont le DSP, le FPGA et l'ASIC. Parmi ceux-ci, le DSP et le FPGA offrent un bon compromis entre puissance de calcul et flexibilité. En outre, ces technologies programmables permettent des phases de développement et de prototypage rapides par rapport à la conception d'un circuit personnalisé de type ASIC, qui est essentiellement utilisé pour la production des circuits en grande série. C'est ainsi que nous baserons notre étude comparative sur les composants DSP et FPGA. En fonction de la nature des algorithmes à implémenter (son GFD), le concepteur aura à choisir entre ces deux possibilités. La figure IV.25 rappelle les critères de choix entre une cible FPGA et une cible DSP pour le contrôle des systèmes électriques.

L'axe des abscisses représente les contraintes temporelles. Ces contraintes sont relatives au type de dépendance aux données. En fait, plus cette dépendance est importante, plus l'algorithme est séquentiel. Il est alors évident que la solution logicielle DSP est la plus adaptée. Par contre, si le graphe flot de données révèle plusieurs possibilités de parallélisme (faible dépendance aux données) comme c'est le cas pour les algorithmes à base de réseaux de neurones, la solution FPGA devient la plus intéressante. La complexité de l'algorithme

représentée par l'axe des ordonnées est un autre élément clé dans la comparaison. Cette complexité peut être évaluée de deux manières : le nombre d'opérations et leur régularité. Ainsi un algorithme présentant un important nombre de fonctions n'est pas nécessairement complexe si la majorité des opérations est identique.

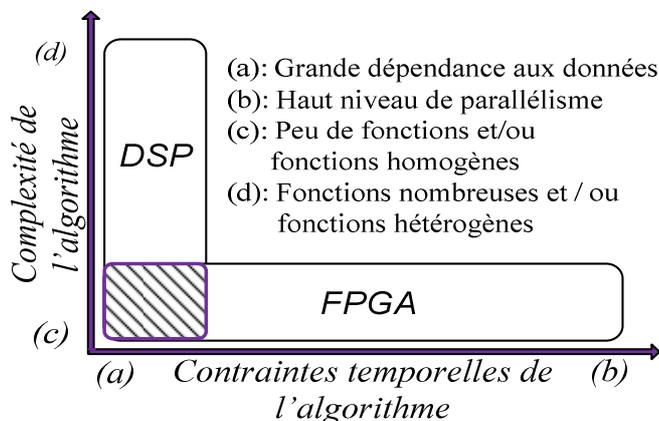


Fig. IV.25 : Domaines d'utilisation des cibles DSP et FPGA [MO-07]

Les algorithmes utilisés pour la commande numérique des systèmes électriques sont très souvent à l'intersection des deux technologies d'implémentation. Cependant, dans plusieurs cas, la solution DSP est préférée. En ce qui nous concerne, la raison est purement historique. Les concepteurs sont plus prompts à adopter cette solution du fait qu'elle est basée sur la programmation classique. Grâce aux nouvelles méthodologies de conception et au progrès des outils CAO, cette tendance est de moins en moins constatée, car de nos jours, le temps de développement est suffisamment court lors du prototypage FPGA. Toutefois, pour choisir la cible d'implémentation appropriée, une comparaison directe entre les contrôleurs à base de FPGA et ceux implantés sur DSP en termes de performances doit être conduite avec grands soins. En effet, pour être totalement juste, entre autres, les deux cibles doivent être de la même génération et les modèles de conception doivent être semblables. D'autre part, les paramètres du système électrique (réseau, charge non linéaire et partie puissance du FAP), la précision des paramètres de contrôle et la période d'échantillonnage doivent être identiques.

Nous allons dans la suite considérer deux composants de même génération. Il s'agit d'un FPGA Stratix II EP2S180, cible d'implantation de la carte de développement Altera utilisée dans nos travaux, et d'un DSP TMS320C31-40 de la carte dSPACE DS1104, largement utilisée jusqu'à présent dans des travaux portant sur des applications de filtrage actif. Cette carte dSPACE est aussi équipée d'un processeur Power PC 603e d'IBM. Le tableau IV.4 restitue les caractéristiques de ces cibles d'implantation selon des critères choisis.

On peut rapidement constater que les coûts des cartes de développement FPGA et DSP sont comparables. Le temps d'exécution des algorithmes utilisés pour la commande du FAP, est beaucoup plus rapide pour le FPGA que pour le DSP du fait du parallélisme inhérent aux réseaux de neurones. Par ailleurs, la multiplicité des horloges disponibles dans un FPGA offre la possibilité d'implémenter des routines de sécurité et autres algorithmes fonctionnant en parallèle, et à des fréquences différentes. La performance du DSP est limitée par sa fréquence d'horloge et le nombre d'opérations utiles par période d'horloge tandis que celle du FPGA est limitée par la fréquence d'horloge et sa densité d'intégration. En réalité, la grande majorité des systèmes est constituée de plusieurs blocs. Parmi ceux-ci, certains sont mieux implémentés dans un FPGA et d'autres avec un DSP. L'approche DSP est adaptée en cas de

faible fréquence d'échantillonnage et d'algorithme complexe, tandis qu'une fréquence élevée associée à un algorithme présentant une multitude de tâches répétitives convient au FPGA.

Dans le tableau IV.5, nous présentons le THD après compensation du courant de source obtenu par différentes méthodes d'identification et de contrôle, dans des conditions expérimentales, avec notre cible FPGA. Ces résultats y sont comparés avec ceux obtenus dans [DJ-05], avec une carte dSPACE DS1104, sur le même banc de test. Quoique de manière générale les résultats soient comparables sur les deux cibles, nous obtenons de meilleures performances de filtrage pour la méthode d'identification $p-qm$ sur FPGA.

<i>Critères de comparaison</i>	FPGA Stratix II EP2S180	DSP TMS320C31
Mode de traitement des données	parallèle	séquentiel
Coût des cartes de développement + logiciels et/ou drivers associés	3000 € (carte FPGA) + 1800 € (carte d'interface)	3500 € (carte dSPACE DS1104) + 1000 € (boîtier de connectique)
Adapté aux algorithmes complexes avec calculs intensifs et/ou instructions conditionnelles	non	oui
Adapté aux algorithmes massivement parallèles (<i>ex</i> : à base de réseaux de neurones)	oui	non
Fréquence caractéristique	100MHz	40MHz
Taille du bus de données, imposée par l'outil de conception	51 bits max (virgule fixe sous <i>Dsp Builder</i> TM)	32 bits (virgule flottante sous <i>Simulink/dSPACE</i>)
Nombre d'instructions par seconde	Beaucoup plus élevé surtout si parallélisme de l'architecture de calcul	20 millions (MIPS)
Echantillonnage de l'algorithme pour une application de filtrage actif	- 100MHz maximum. - 6 horloges disponibles issues de la PLL intégrée. - 100KHz adoptée pour le contrôle de courant	- Limitée à 20KHz environ - Une seule horloge disponible
Mode de description des contrôleurs à implémenter	- littérale en VHDL ou Vérilog - graphique (Exemple avec blocs <i>Dsp Builder</i> TM)	- littérale en C, C++ ou Assembleur - graphique avec blocs <i>Simulink</i> TM
Temps d'exécution d'algorithmes à bases de réseaux de neurones	rapide	moins rapide
Adapté aux applications temps réel	oui	Pas autant
Gestion des données en virgule flottante	moins bon	meilleure
Gestion des données en virgule fixe	meilleure	moins réputé
Fréquence de mise à jour par les fabricants suite à des bugs	élevée	moins élevée
Fabricant	Altera	Texas Instrument

Tab. IV.4. Comparaison entre les solutions d'implantations FPGA et DSP

Cette tendance vers le FPGA serait accentuée si dans nos travaux on utilisait un filtre passif de troisième ordre plutôt qu'un filtre R-L du premier ordre dans le FAP. Cette étude

comparative prendrait tout son sens si les stratégies de contrôle de courant et les fréquences d'échantillonnage étaient aussi identiques.

Les mises à jour suite à des bugs sont effectuées plus fréquemment pour le FPGA. On note aussi la présence sur le marché des FPGA optimisés et à faible coût, des IP logicielles et matérielles de plus en plus nombreux, permettant de réduire considérablement le temps de développement. De plus, les méthodes de conception de haut niveau avec un processus de vérification robuste feront de plus en plus du FPGA la cible d'implémentation préférée pour les contrôleurs numériques.

	DSP ($T_e = 50\mu s$) – [DJ-05]		FPGA ($T_e = 10\mu s$)	
Méthode d'identification	Type de contrôle de courant	THD coté réseau	Type de commande	THD coté réseau
<i>p-q</i> (ou <i>p-qm</i>)	PID classique	7,2%	Hystérésis (bande =0,05)	3,3%
	Commande inverse	4,92%		
	Commande directe inverse	4,87%		
<i>Directe</i>	PI neuronal	6,8%	Hystérésis (bande =0,05)	6%
	Commande inverse	5,51%	PI neuronal	
<i>SRF</i> (<i>SRFM</i> sur FPGA)	Commande directe inverse	3,84%	Hystérésis (bande =0,05)	7%
<i>Tri-monophasé</i> (<i>TMM</i> sur FPGA)	Commande directe inverse	4,3%	Hystérésis (bande =0,05)	6%

Tab IV.5. Performances de compensation avec différentes méthodes d'identification et de contrôle en expérimentation sur les cibles DSP et FPGA

IV.4. CONCLUSION

Ce dernier chapitre commence par une première partie qui présente le flot de conception adopté pour l'élaboration de nos architectures de commande du FAP dans un souci de minimisation du taux de remplissage de la cible d'implémentation de type FPGA. Il s'agit d'une approche de développement modulaire qui essaie d'éliminer tout bloc redondant fonctionnant en parallèle avec son homologue. Dans le même temps, le format de données à virgule fixe est choisi avec délicatesse de manière à correspondre de façon adéquate aux données manipulées à travers l'algorithme. L'optimisation des ressources consommées se fait aussi grâce à l'outil de synthèse qui, lors de l'intégration des architectures de commande, se conforme prioritairement à la contrainte de surface du composant.

La deuxième partie est consacrée à la validation expérimentale de la commande du FAP. La plate-forme de test est composée de la source d'alimentation triphasée et variable, d'une charge non linéaire constituée d'un pont redresseur triphasé et d'une branche R-L située du côté continu, ainsi que du FAP. Ce dernier dans sa partie puissance est constitué d'un onduleur et d'un filtre de sortie du premier ordre. Dans sa partie commande une carte FPGA utilisée pour l'implémentation des algorithmes est associée à une carte d'interface destinée à

l'acquisition des paramètres du réseau électrique par conversion analogique numérique et à l'acheminement des impulsions de commande vers les interrupteurs de l'onduleur. La validation s'est effectuée selon un mode opératoire en deux étapes : une commande en boucle ouverte dans laquelle le FAP n'est pas bouclé sur le réseau et une commande en boucle fermée pour observer dans un environnement réel de filtrage la compensation harmonique et la correction du facteur de puissance. Les relevés ont permis de constater que les performances de filtrage du FAP sont bonnes dans des conditions quasi-idéales ainsi qu'en présence d'une variation de la charge. Nous avons par la suite évalué l'apport de la solution d'implantation matérielle de type FPGA pour l'intégration de la commande du FAP. A cet effet une analyse temporelle nous a fourni un temps d'exécution satisfaisant à travers ce composant. De plus, l'évaluation globale des ressources de calcul utilisées en tenant compte des différentes architectures testées en phase de prototypage n'excède guère 52% pour un FPGA Stratix 2S180F1020C3. Enfin, une étude comparative entre cette solution d'implantation adoptée dans nos travaux, et une solution de type DSP, vient justifier les orientations de cette thèse vers l'utilisation des cibles de type FPGA.

***CONCLUSION
GENERALE***

CONCLUSION GENERALE

Ce travail de thèse s'inscrit dans le projet CPER intitulé « Conception Intégrée de Systèmes Electriques de Commande » mené à l'InESS en collaboration avec l'équipe TROP du laboratoire MIPS de l'Université Haute Alsace de Mulhouse et l'équipe GREEN-ERGE de l'INSA de Strasbourg. Les premiers résultats obtenus dans le cadre de ce projet ont ouvert des perspectives novatrices sur la commande neuromimétique de systèmes électriques dans des applications de filtrage actif et de commande de moteurs. C'est ainsi que notre travail s'est positionné sur l'évaluation de l'apport d'une solution matérielle de type FPGA pour l'implémentation d'architectures de commande du FAP à base de réseaux de neurones. Avant de présenter quelques perspectives, nous allons tirer les principales conclusions de cette étude.

Un état de l'art sur les FAPs, qui sont l'une des solutions actuelles de dépollution des perturbations réseau, a permis de rendre compte de l'apport des techniques neuromimétiques à la commande de ces dispositifs. Compte tenu du parallélisme inhérent aux réseaux de neurones, nous avons naturellement opté pour un composant à structure parallèle de type FPGA, afin de bénéficier des performances relatives à l'implantation sur cette cible des contrôleurs neuronaux pour les systèmes de filtrage actif. A cet effet, une démarche méthodologique fondée sur la conception modulaire des architectures à travers l'outil de développement Altera Dsp BuilderTM a été proposée. Dans le souci d'optimiser les ressources consommées lors de l'intégration sur FPGA, nous avons combiné cette stratégie avec une adéquation algorithme architecture basée sur la généralisation du Graphe Flot de Données Factorisées, sur l'élimination des blocs redondants et le choix personnalisé du format de données à travers l'algorithme de commande. En outre, cette approche a pris en compte l'utilisation du synthétiseur pour effectuer la compilation des algorithmes en vue de la programmation du FPGA selon le critère de surface pour un taux de remplissage limité.

Nous avons mentionné que les performances globales de la commande du FAP dépendaient en grande partie de la fonction d'extraction des courants de référence. C'est ainsi que de nouvelles approches neuronales ont été développées pour assurer cette fonctionnalité. Il s'agit essentiellement de la méthode Tri-Monophasée Modifiée (TMM), de la méthode synchrone modifiée (SRFM) et de la méthode des puissances instantanées multiplexées ($p-qm$). Pour synchroniser ce module d'identification, une PLL neuronale basée sur la théorie des puissances instantanées, nous a rendu satisfaction de part son caractère adaptatif et sa robustesse dans diverses conditions de fonctionnement. Le contrôle du courant a été possible grâce à une méthode Hystérésis à bande variable et un régulateur PI neuronal. Dans le cas du contrôle par Hystérésis, nous avons obtenu de bons résultats pour le cas particulier d'une largeur de bande nulle que nous avons appelé Hystérésis à bande Zéro.

De manière générale, si on considère le cas le plus défavorable correspondant à une tension source déséquilibrée, en simulation le temps de réponse des méthodes d'extraction des courants de référence varie entre 17ms et 60 ms tandis le THD du courant côté source après compensation varie entre 1,75% et 2,7%. Les mesures expérimentales sur le même courant permettent d'obtenir un THD qui varie entre 3,3 et 7%. Les méthodes $p-q$ en général et la méthode $p-qm$ en particulier apparaissent comme les plus satisfaisantes, et ce dans diverses conditions expérimentales.

L'analyse temporelle des principaux algorithmes de commande du FAP nous révèle un temps d'exécution maximal de 2,75 μ s pour un FPGA Stratix EP2S180F1020C3 fonctionnant à 100 MHz, faisant ainsi de cette cible une solution d'implantation rapide avec un temps de

traitement maîtrisé, nécessaire pour des applications temps réel. Par ailleurs, l'intégration des architectures de commande du FAP correspond à un taux d'utilisation des ressources de calcul du FPGA qui varie entre 21,67% et 52%. De cette façon, l'intégration du module d'extraction des courants de référence par la méthode Tri-Monophasée dans sa version modifiée est maintenant possible, et les autres approches proposées offrent un gain considérable en ressources matérielles. Cette caractérisation de l'implantation sur cible FPGA a précédé une étude comparative entre cette solution de type logique adoptée dans nos travaux, et une solution de type DSP de manière à justifier les orientations de cette thèse vers l'utilisation des composants de type FPGA.

A l'issue de ce travail de thèse, plusieurs perspectives se dégagent :

Il est nécessaire de poursuivre les tests expérimentaux pour approfondir l'apport de la solution FPGA pour l'implémentation de la commande neuronale du FAP dans une situation de déséquilibre au niveau de la tension de source. A l'issue de cette phase, les résultats obtenus dans des conditions expérimentales identiques nous permettront d'envisager une évaluation comparative complète entre les solutions DSP et FPGA.

L'utilisation limitée des filtres actifs est due en partie aux coûts structurels mais aussi à la limitation des interrupteurs de puissance à travailler en haute tension. Les onduleurs multiniveaux présentent comme principal avantage la réduction des contraintes en tension sur les interrupteurs de puissance. C'est ainsi que la recherche devrait évoluer vers la mise à contribution des aptitudes de reconfigurabilité du FPGA pour l'intégration de la commande intelligente de type neuro-floue d'un FAP muni d'un convertisseur multiniveaux avec prise en compte des défauts.

ANNEXE

ANNEXE I :

TRANSFORMATION VECTORIELLE A L'AIDE DES MATRICES DE PASSAGE

On dit qu'un système X de grandeurs (X_a , X_b , X_c) définies dans le repère abc est triphasé lorsque celles-ci sont déphasées de $\frac{2\pi}{3}$. Ce système est en plus équilibré lorsque

$$X_a + X_b + X_c = 0 \quad (\text{A.1})$$

Le système X peut représenter une tension notée $v_{abc} = \begin{bmatrix} v_a \\ v_b \\ v_c \end{bmatrix}$, un courant $i_{abc} = \begin{bmatrix} i_a \\ i_b \\ i_c \end{bmatrix}$ ou un

déphasage $\phi_{abc} = \begin{bmatrix} \phi_a \\ \phi_b \\ \phi_c \end{bmatrix}$

Un système triphasé et équilibré est donc un système lié par la relation

$$X_c = -X_a - X_b \quad (\text{A.2})$$

L'asservissement des grandeurs triphasées non transformées est inutilement complexe. On introduit des transformations vectorielles pour simplifier le problème. L'idée est de rendre ce système de tensions ou courants décorrélé.

La plupart des lois de commande en électronique de puissance, utilisées pour des applications de filtrage actif (sans neutre raccordé) ou de commande de machines électriques se font dans des repères à deux dimensions. Parmi les méthodes d'identification des harmoniques de courants, proposées dans nos travaux pour la commande du FAP, la méthode synchrone *SRFM* exploite une transformation des courants dans le repère en quadrature $d-q$ tandis que les méthodes ($p-q$ et $p-qm$) calculent les puissances instantanées dans le repère $\alpha-\beta$. Dans ce cas de figure, les composantes homopolaires ne sont pas prises en compte.

De manière générale, deux matrices permettent de passer d'un système triphasé en abc à un système en $0-\alpha-\beta$. Il s'agit de la transformée de Clarke et de la transformée de Concordia. La transformation de Clarke conserve l'amplitude des grandeurs mais pas la puissance ni le couple (on doit multiplier par un coefficient $3/2$). La transformation de Concordia, que nous utilisons essentiellement dans ce manuscrit, est orthonormée et conserve la puissance mais pas les amplitudes.

I.1. TRANSFORMEE DE CONCORDIA

I.1.1. Transformée de Concordia (matrice de passage orthogonale C_o) :

La transformée de Concordia notée C_o , est un outil mathématique qui peut être utilisé en électrotechnique afin de modéliser un système triphasé grâce à un modèle diphasé.

$$\begin{bmatrix} X_0 \\ X_\alpha \\ X_\beta \end{bmatrix} = \sqrt{\frac{2}{3}} \begin{bmatrix} \frac{1}{\sqrt{2}} & \frac{1}{\sqrt{2}} & \frac{1}{\sqrt{2}} \\ 1 & -\frac{1}{2} & -\frac{1}{2} \\ 0 & \frac{\sqrt{3}}{2} & -\frac{\sqrt{3}}{2} \end{bmatrix} \begin{bmatrix} X_a \\ X_b \\ X_c \end{bmatrix} = C_o \begin{bmatrix} X_a \\ X_b \\ X_c \end{bmatrix} \quad (\text{A.3})$$

L'avantage de l'utilisation du repère $0-\alpha-\beta$ est la séparation des composantes homopolaires sur un axe particulier. Dans le cas triphasé avec trois fils, il n'y a pas de composantes homopolaires en courant mais seulement en tensions si il y a des déséquilibres.

Nous pouvons donc calculer les puissances actives et réactives comme :

$$\begin{bmatrix} p \\ q \end{bmatrix} = \begin{bmatrix} v_\alpha & v_\beta \\ -v_\beta & v_\alpha \end{bmatrix} \begin{bmatrix} i_\alpha \\ i_\beta \end{bmatrix} = \begin{bmatrix} v_\alpha \cdot i_\alpha + v_\beta \cdot i_\beta \\ -v_\beta \cdot i_\alpha + v_\alpha \cdot i_\beta \end{bmatrix} \quad (\text{A.4})$$

I.1.2. Transformée inverse de Concordia (matrice de passage orthogonale C_o^{-1}) :

$$\begin{bmatrix} X_a \\ X_b \\ X_c \end{bmatrix} = \sqrt{\frac{2}{3}} \begin{bmatrix} \frac{1}{\sqrt{2}} & \frac{1}{\sqrt{2}} & \frac{1}{\sqrt{2}} \\ 1 & -\frac{1}{2} & -\frac{1}{2} \\ 0 & \frac{\sqrt{3}}{2} & -\frac{\sqrt{3}}{2} \end{bmatrix} \begin{bmatrix} X_0 \\ X_\alpha \\ X_\beta \end{bmatrix} = C_o^{-1} \begin{bmatrix} X_0 \\ X_\alpha \\ X_\beta \end{bmatrix} \quad (\text{A.5})$$

Il est à noter que la matrice inverse de Concordia est égale à sa transposée

$$C_o^{-1} = C_o^T \quad (\text{A.6})$$

De plus, dans l'hypothèse d'un système équilibré, la composante homopolaire est nulle. Dans ce cas, pour le passage entre repères diphasé et triphasé, la matrice de Concordia suivante est

$$\text{utilisée : } T_{32} = \sqrt{\frac{2}{3}} \begin{bmatrix} 1 & 0 \\ -\frac{1}{2} & \frac{\sqrt{3}}{2} \\ -\frac{1}{2} & -\frac{\sqrt{3}}{2} \end{bmatrix}$$

Propriétés :

- Permet de passer d'un système triphasé à un système diphasé (en quadrature) + composante homopolaire
- Conserve les puissances.
- Décorrèle la matrice de couplage inductif entre phases.
- X_0 : composante homopolaire \Leftrightarrow nulle si système équilibré

I.2. MATRICE DE ROTATION

L'idée est de rendre le vecteur $X_{0\alpha\beta}$ indépendant de θ .

- Matrice de rotation (matrice de passage orthogonale $\rho(\theta)$)

$$\begin{bmatrix} X_0 \\ X_d \\ X_q \end{bmatrix} = \begin{bmatrix} 1 & 0 & 0 \\ 0 & \cos\theta & \sin\theta \\ 0 & -\sin\theta & \cos\theta \end{bmatrix} \begin{bmatrix} X_0 \\ X_\alpha \\ X_\beta \end{bmatrix} = \rho(\theta) \begin{bmatrix} X_0 \\ X_\alpha \\ X_\beta \end{bmatrix} \quad (\text{A.7})$$

- Matrice de rotation inverse $\rho(\theta)^{-1}$

$$\begin{bmatrix} X_0 \\ X_\alpha \\ X_\beta \end{bmatrix} = \begin{bmatrix} 1 & 0 & 0 \\ 0 & \cos\theta & -\sin\theta \\ 0 & \sin\theta & \cos\theta \end{bmatrix} \begin{bmatrix} X_0 \\ X_d \\ X_q \end{bmatrix} = \rho(\theta)^{-1} \begin{bmatrix} X_0 \\ X_d \\ X_q \end{bmatrix} \quad (\text{A.8})$$

Propriétés :

- Permet de passer d'un système diphasé tournant à un système diphasé fixe.
- Conserve les puissances.

I.3. TRANSFORMEE DE PARK

C'est une combinaison de la transformée de Concordia et de la rotation :

I.3.1. Transformée de Park (orthogonale) : $P = C_o * \rho(\theta)$

$$\begin{bmatrix} X_0 \\ X_d \\ X_q \end{bmatrix} = \sqrt{\frac{2}{3}} \begin{bmatrix} \frac{1}{\sqrt{2}} & \frac{1}{\sqrt{2}} & \frac{1}{\sqrt{2}} \\ \cos\theta & \cos(\theta - \frac{2\pi}{3}) & \cos(\theta + \frac{2\pi}{3}) \\ -\sin\theta & -\sin(\theta - \frac{2\pi}{3}) & -\sin(\theta + \frac{2\pi}{3}) \end{bmatrix} \begin{bmatrix} X_a \\ X_b \\ X_c \end{bmatrix} = P(\theta) \begin{bmatrix} X_a \\ X_b \\ X_c \end{bmatrix} \quad (\text{A.9})$$

I.3.2. Transformée de Park inverse : $P^{-1} = \rho(\theta)^{-1} * C_o^{-1}$

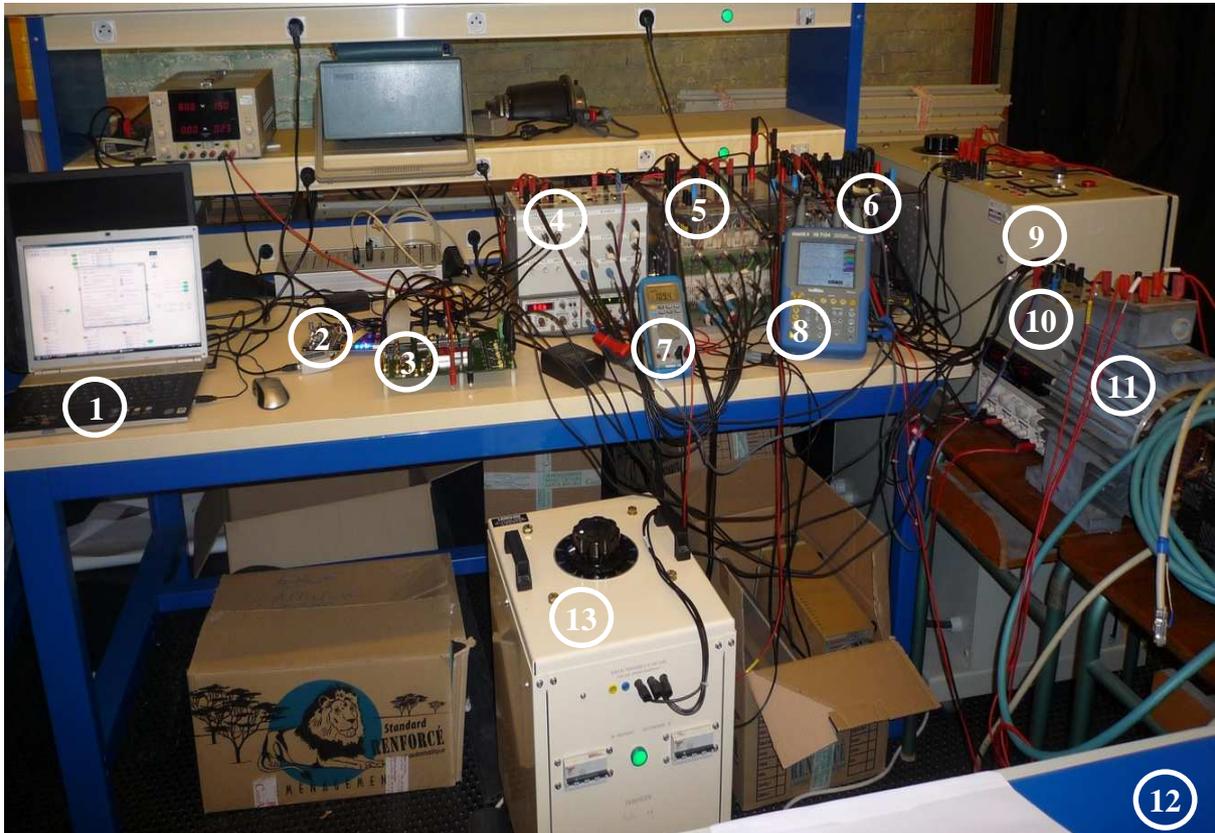
$$\begin{bmatrix} X_a \\ X_b \\ X_c \end{bmatrix} = \sqrt{\frac{2}{3}} \begin{bmatrix} \frac{1}{\sqrt{2}} & \cos\theta & -\sin\theta \\ \frac{1}{\sqrt{2}} & \cos(\theta - \frac{2\pi}{3}) & -\sin(\theta - \frac{2\pi}{3}) \\ \frac{1}{\sqrt{2}} & \cos(\theta + \frac{2\pi}{3}) & -\sin(\theta + \frac{2\pi}{3}) \end{bmatrix} \begin{bmatrix} X_0 \\ X_d \\ X_q \end{bmatrix} = P(\theta)^{-1} \begin{bmatrix} X_0 \\ X_d \\ X_q \end{bmatrix} \quad (\text{A.10})$$

Propriétés :

- Permet de passer d'un système triphasé tournant à un système diphasé fixe.
- Conserve les puissances.
- X_0 : composante homopolaire \Leftrightarrow nulle si système équilibré.
- Il existe une transformée de Park conservant les courants (peu d'intérêt).

ANNEXE II

PLATE-FORME EXPERIMENTALE



1. Micro-ordinateur
2. Carte FPGA
3. Carte d'interface
4. Boitier de capteurs
5. Onduleur triphasé
6. Redresseur
7. Multimètre
8. Oscilloscope SCOPIX 7104
9. Alimentation triphasée (Source de tension)
10. Point de raccordement
11. Charge auxiliaire de type moteur
12. Charge principale de type R-L
13. Alimentation secondaire

Fig. A.1 : Apperçu général de la plate-forme expérimentale

Publications et communications du doctorant

Publications :

[DZ-11a] S. R. N. Dzondé, C-H. Kom, H. Berviller, J-P. Blondé, D. Flieller, M. Kom, and F. Braun, Neural Harmonic Detection approaches for FPGA Area efficient Implementation, *European Physical Journal – Applied Physics*, **56**, 30901 (2011)

[DZ-11b] S. R. Dzondé, N. K. Nguyen, H. Berviller, C.-H. Kom, J.-P. Blondé, M. Kom, F. Braun, FPGA resources reduction by a multiplexing technique applied on ANN-based harmonics extraction algorithms, *Journal of Energy and Power Engineering, USA, 2011*, accepted paper, in press

Communications :

[DZ-07a] S. R. Dzondé, C H. Kom, H. Berviller, F Braun, *Implantation de réseaux neuromimétiques sur cible FPGA : Application à l'intégration d'algorithmes d'identification des courants harmoniques par les réseaux Adaline*, 1st International Conference on Enterprise and Scientific Computing Systems, April 9th-12th, 2007, Douala, Cameroon

[DZ-07b] S. R. Dzondé, C. H. Kom, J-P Blondé, E. B. Tanyi, *Mise en œuvre d'une solution d'Implantation sur FPGA pour intégration d'architecture de commande de Réseaux Electriques*, 1st International Conference on Enterprise and Scientific Computing Systems, April 9th-12th, 2007, Douala, Cameroon

[DZ-08] S. R. Dzondé, H. Berviller, J-P. Blondé, F Braun, C H. Kom, *FPGA Implementation of Harmonic Currents Identification Algorithms using Neural Networks*, In proceeding of the Conference on Design and Architectures for Signal and Image Processing (DASIP'08), Nov. 24-26th, 2008, p. 270-276, Brussels, Belgium.

[DZ-09] S. R. Dzondé, H. Berviller, J-P. Blondé, F Braun, C H. Kom, M. Kom, *FPGA Implementation of Harmonic Currents detection methods using Neural Networks*, In proceeding of the 13th European Conference on Power Electronics and Applications (EPE'09), Sept. 8-10th, 2009, Barcelona, Spain, CD-ROM

[DZ-10] S. R. Dzondé, N. K. Nguyen, H. Berviller, C.-H. Kom, J.-P. Blondé, M. Kom, F. Braun, FPGA resources reduction with multiplexing technique for implementation of ANN-based harmonics extraction by $mp-q$ method, In proceeding of the 36th Annual Conference of the IEEE Industrial Electronics Society (IECON'10), Nov. 7-10th, 2010, AZ, USA, pp. 2043-2048

Bibliographie

[AB-03] M. Abolhassani, H. A. Toliyat, and P. Enjeti, "Stator flux oriented control of an integrated alternator/active filter for wind power applications", in Proc. *International Electrical Machines & Drives Conference*, pp. 461-467, Madison, Wisconsin USA, 2003.

[AK-83] H. Akagi, Y. Kanazawa, A. Nabae, "Generalized theory of the instantaneous reactive power in three-phase circuits", *International Power Electronics Conference*, pp. 1375-1386, Japan, 1983.

[AK-86] H. Akagi, A. Nabae, S. Atoh, « Control strategy of active power filters using multiple voltage-source PWM converters », *IEEE Trans. on Industry applications*, vol. IA-22, pp. 460-465, 1986.

[AK-06] H. Akagi, "Modern active filters and traditional passive filters", *Bulletin of the Polish Academy of Sciences, Technical Sciences*, vol. 54, no. 3, 2006.

[AL-02] M. A. E. Alali, *Contribution à l'Etude des Compensateurs Actifs des Réseaux Electriques Basse Tension (Automatisation des systèmes de puissance électriques)*. Thèse de doctorat, Université Louis Pasteur, 2002.

[Altera] Implementing Multipliers in FPGA Devices, [Online]. Available : <http://www.altera.com/literature/an/an306.pdf>

[AN-84] S. Antoniu, "Le régime énergétique déformant. Une question de priorité". *RGE*, 6/84, pp. 357-362, 1984.

[AR-06] G. Arnould, *Etude et Conception d'Architectures Haut-Débit pour la Modulation et la Démodulation Numériques*, thèse de Doctorat de l'Université Paul Verlaine de Metz, 2006

[AS-07] L. Asiminoaei, F. Blaabjerg, S. Hansen, Detection is key harmonic detection methods for active power filter applications, *IEEE Industry Application Magazine*, vol. 13, issue 4, pp 22-33, July-Aug. 2007.

[AU-97] V. Aburto, M. Schneider, L. Moran, J. Dixon. "An Active Power Filter Implemented with a three level NPC Voltage-Source Inverter". *Conférence PESC'97*, vol. 2, p. 1121-1126, Juin 1997.

[BA-03] R. Bansal, T. Bhatti, D. Kothari: Artificial intelligence techniques for reactive power/voltage control in power systems: A review, *International Journal of Power and Energy Systems*, vol. 23, no.2, pp. 81-89, 2003

[BH-91] S. Bhattacharya, D. M. Divan, B. Banerjee, "Synchronous Frame Harmonic Isolator Using Active Series Filter," *EPE '91*, vol. 3, Florence, 1991, pp 30-35.

[BH-09] A. Bhattacharya, C. Chakraborty, Adaline controlled 3-phase 3-wire shunt active power filter with enhanced performance using the capacitor voltage feedback, in proc. of *ICIT 2009*, pp. 1-6

- [BO-00] M. H. J. Bollen, "Understanding Power Quality Problems: Voltage Sags and Interruptions", IEEE Press Series on Power Engineering, 2000.
- [BO-01] B. Bose, Artificial neural network applications in power electronics, In IEEE Industrial Electronics Society, IECON '01, volume 3, pages 1631-1638, Denver, CO, USA, 2001.
- [BU-95] B. Burton, F. Kamran, R. Harley, T. Habetler, M. Brooke, R. Poddar, Identification and control of induction motor stator currents using fast on-line random training of a neural network. In *IEEE Industry Applications Conference, volume 2, pages 1781-1787, Orlando, FL, USA, 1995.*
- [BU-98] S. Buso, L. Malesani, P. Mattavelli, "Comparison of current control techniques for active filter applications", *IEEE Transactions on Industrial Electronics*, vol. 45, no. 5, pp. 722- 729, October 1998
- [CH-00] A. Chandra, B. Zingh, B.N. Zingh, K. Al-Haddad, « An improved control algorithm of shunt active filter for voltage regulation, harmonic elimination, power factor correction and balancing of nonlinear loads », *IEEE Trans. on power electronics*, vol.15, No. 3, pp. 495-507, May 2000.
- [CH-07] V. Chereau, "Modulation de largeur d'impulsion et régulation numérique des courants" Thèse de Doctorat, Université de Nantes, France, 2007.
- [CH-08] H. Cheung, A. Hamlyn, F. Chen, L. Wang, W. Liu, R. Cheung, Adaptive Active Power Line Filter for Interfacing Wind-Power DGs to Distribution System, in proc. of Power and Energy Society General Meeting - Conversion and Delivery of Electrical Energy in the 21st Century, 2008, pp 1 – 7
- [CP-02] S. L. Capitaneau. « Optimisation de la fonction MLI d'un onduleur de tension deux niveaux » *Thèse de l'Institut National Polytechnique de Toulouse, Laboratoire d'Electrotechnique et d'Electronique Industrielle de Toulouse, 2002.*
- [DA-97] P. Dash, D. Swain, A. Routray, A. Liew, "An adaptive neural network approach for the estimation of power system frequency", *Electric Power Systems Research*, vol. 41 p. 203-210, 1997.
- [DE-02] D. De Caro, E. Napoli, A. G. M. Strollo, "ROM-less direct digital frequency synthesizers exploiting polynomial approximation", in *Proc. 9th Int. Conf. on Electronics, Circuits and Systems (ICECS 2002)*, Sept. 2002, pp. 481–484.
- [DE-03] H. Deng, R. Oruganti, D. Srinivasan, A neural network-based adaptive controller of single-phase inverters for critical applications, in proc. of the fifth International Conference on Power Electronics and Drive Systems, 2003, p-p 915 - 920 Vol.2
- [DE-07] J. Detrey, Arithmétiques réelles sur FPGA-virgule fixe, flottante et système logarithmique, Thèse de Doctorat de l'Ecole Normale Supérieure de Lyon, 2007

[DE-08] François Defaÿ, *Commande Prédicative Directe d'un Convertisseur Multicellulaire Triphasé Pour Une Application de Filtrage Actif*, Thèse de Doctorat de l'Institut National Polytechnique de Toulouse, France, 2008

[DE-10] J.-P. Deschamps, G. Sutter, Decimal division: Algorithms and FPGA implementations, in proc. of Programmable Logic Conference (SPL), 2010 VI Southern, 2010, pp. 67 - 72

[DJ-07] D. Ould Abdeslam, P. Wira, J. Mercklé, D. Flieller, and Y.-A. Chapuis, A unified artificial neural network architecture for active power filters, IEEE Transaction on Industrial Electronics, vol 54, no.01, pp 61-76, 2007.

[DR-02] G. Dreyfus, J. Martinez, M. Samuelides, M. Gordon, F. Badran, S. Thiria, L. Héroult. *Réseaux de neurones : méthodologie et applications*, Eyrolles, Paris, 2002.

[DZ-07a] S. R. Dzondé, C H. Kom, H. Berviller, F Braun, *Implantation de réseaux neuromimétiques sur cible FPGA : Application à l'intégration d'algorithmes d'identification des courants harmoniques par les réseaux Adaline*, 1st International Conference on Enterprise and Scientific Computing Systems, April 9th-12th, 2007, Douala, Cameroon

[DZ-07b] S. R. Dzondé, C. H. Kom, J-P Blondé, E. B. Tanyi, *Mise en œuvre d'une solution d'Implantation sur FPGA pour intégration d'architecture de commande de Réseaux Electriques*, 1st International Conference on Enterprise and Scientific Computing Systems, April 9th-12th, 2007, Douala, Cameroon

[DZ-08] S. R. Dzondé, H. Berviller, J-P. Blondé, F Braun, C H. Kom, *FPGA Implementation of Harmonic Currents Identification Algorithms using Neural Networks*, In proceeding of the Conference on Design and Architectures for Signal and Image Processing (DASIP'08), Nov. 24-26th, 2008, p. 270-276, Brussels, Belgium.

[DZ-09] S. R. Dzondé, H. Berviller, J-P. Blondé, F Braun, C H. Kom, M. Kom, *FPGA Implementation of Harmonic Currents detection methods using Neural Networks*, In proceeding of the 13th European Conference on Power Electronics and Applications (EPE'09), Sept. 8-10th, 2009, Barcelona, Spain, CD-ROM

[DZ-10] S. R. Dzondé, N. K. Nguyen, H. Berviller, C.-H. Kom, J.-P. Blondé, M. Kom, F. Braun, FPGA resources reduction with multiplexing technique for implementation of ANN-based harmonics extraction by $mp-q$ method, In proceeding of the 36th Annual Conference of the IEEE Industrial Electronics Society (IECON'10), Nov. 7-10th, 2010, AZ, USA, pp. 2037-2042

[DZ-11a] S. R. N. Dzondé, C-H. Kom, H. Berviller, J-P. Blondé, D. Flieller, M. Kom, and F. Braun, Neural Harmonic Detection approaches for FPGA Area efficient Implementation, *European Physical Journal – Applied Physics*, **56**, 30901 (2011)

[DZ-11b] S. R. Dzondé, N. K. Nguyen, H. Berviller, C.-H. Kom, J.-P. Blondé, M. Kom, F. Braun, FPGA resources reduction by a multiplexing technique applied on ANN-based harmonics extraction algorithms, *Journal of Energy and Power Engineering*, USA, 2011, accepted paper, in press

-
- [FL-09] D. Flieller, D. Ould Abdeslam, P. Wira, J. Mercklé, Distortions identification and compensation based on artificial neural networks using symmetrical components of the voltages and the currents, *Electric Power Systems Research*, vol 79, pp 1145–1154, 2009
- [GA-97] X. M. Gao, X. Z. Gao, J. M. A. Tanskanen, S. J. Ovaska, Power Prediction in Mobile Communication Systems Using an Optimal Neural-Network Structure, *IEEE Transactions on Neural Networks*, vol. 8, pp. 1446-1455, Nov. 1997
- [GO-05] C. Gombert, “Simulation Temps-Réel des Dispositifs d’Electronique de Puissance Dédiés aux Réseaux d’Energie Electrique. Thèse de l’Institut Polytechnique de Grenoble, Septembre 2005.
- [GR-99] G. Grandpierre, C. Lavarenne, Y. Sorel, *Optimized rapid prototyping for real-time embedded heterogeneous multiprocessor*, In Proc. of CODES’99, Rome, Italy, CD-ROM, May 1999
- [GY-76] L. Gyugyi, E. C. Strycula, “Active AC Power Filters”. in proc. of *IEEE-IAS Annual Meeting*, pp. 529-535, 1976.
- [HA-94] S. Haykin, *Neural Networks - A Comprehension Foundation*, Prentice Hall, Upper Saddle River, New Jersey, USA, 1994.
- [HA-10] Y. Han, L. Xu, M. M. Khan, G. Yao, L.-D. Zhou, C. Chen, "Study on a novel approach to active power filter control using neural network-based harmonic identification scheme", *Electrical Engineering (Archiv fur Elektrotechnik)*, Springer-Verlag, vol.91 p.313-325, 2010
- [HE-03] Y. HERVE, Langages de haut niveau et flot de conception des systèmes complexes : vers le prototypage virtuel ?, Thèse de HDR, 1er juillet 2003, ULP, numéro d'ordre 481, 2003.
- [HO-03] D. G. Holmes, T. A. Lipo. “Pulse Width Modulation for Power Converters. Principles and Practice”. *IEEE Wiley Inter-Science*, 2003. ISBN 0-471-20814-0.
- [HS-96] G. C. Hsieh, J. C. Hung, “Phase-Locked Loop Techniques – A Survey”. *IEEE Trans. on Industrial Electronics*, vol. 43, n° 6, Décembre 1996.
- [IE-01] IEEE Eds., *IEEE Standard Description Language Based on the Verilog: Hardware Description Language*, American National Standards Institute, 2001.
- [JE-97] A. A. Jerraya, H. Ding, P. Kission, M. Rahmouni, “*Behavioral synthesis and component reuse with VHDL*”, Kluwer Academic Publishers, 1997.
- [JO-09] S. Jovanović, « Architecture reconfigurable de système embarqué auto-organisé », Thèse de Doctorat de l’Université Henri Poincaré de Nancy-I, 2009
- [KA-97] V. Kaura, V. Blasko, *operation of a phase locked loop system under distorted utility conditions*. *IEEE Tran. on industry application* p. 58-63, 1997.
-

- [KA-05] M. Kale, E. Ozdemir, "An adaptive hysteresis band current controller for shunt active power filter", *Electric Power Systems Research*, vol. 73, no. 2, pp. 113-119, February 2005.
- [KA-07] C. W. Kang, A. Iranli, M. Pedram, "A synthesis approach for coarse-grained antifuse-base FPGAs," *IEEE Transactions on computer-Aided design of integrated circuits and systems*, vol. 26, pp. 1564-1575, 2007.
- [KA-09] S. Karimi, Continuité de service des convertisseurs triphasés de puissance et prototypage "FPGA in the loop": application au filtre actif parallèle, Thèse de Doctorat de l'Université Henri Poincaré, Nancy-I, 2009
- [KE-02] Y. Kebatti, Développement d'une Méthodologie de Conception Matériel à Base de Modules Génériques VHDL/VHDL-AMS en Vue d'une Intégration de Systèmes de Commande Electriques, Thèse de Doctorat de l'Université Louis Pasteur de Strasbourg, 2002
- [LA-96] J. S. Lai, F. Z. Peng. "Multilevel Converters – A new Breed of Power Converters". *IEEE Trans. on Industrial Applications*, vol. 32, n° 3, Mai 1996.
- [LA-97] J.-S. Lai, T. S. Key, "Effectiveness of Harmonic Mitigation Equipment for Commercial Office Buildings", *IEEE Trans. on Industry Applications*, vol. 33, n° 4, p. 1104-1110, Juillet-Août 1997
- [LA-09] E. Lavopa, P. Zanchetta, M. Sumner, F. Cupertino, *Real-Time Estimation of Fundamental Frequency and Harmonics for Active Shunt Power Filters in Aircraft Electrical Systems*, *IEEE Transactions On Industrial Electronics*, Vol. 56, No. 8, pp. 2875-2884, August 2009
- [LA-09] C. Latino, M. A. Moreno-Armendariz, M. Hagan, Realizing General MLP Networks with Minimal FPGA Resources, in Proc. of International Joint Conference on Neural Networks, Atlanta, Georgia, USA, June 14-19, 2009, pp 1722-1729
- [LI-87] R. P. Lippman, "An introduction to Computing with Neural Nets," *IEEE ASSP Magazine*, 1987, pp. 4-22.
- [MA-99] S. Mariethoz, A. Rufer, « Vers le traitement numérique de l'énergie », *Bulletin ASE/AES*, vol. 25, pp. 28–32, 1999.
- [MA-04] M. Marei, E. El-Saadany, M. Salama, *A processing unit for symmetrical components and harmonics estimation based on a new adaptive linear combiner structure*, *IEEE Transactions on Power Delivery* p. 1245-1252, 2004.
- [MA-09] A. A. Mahdi, A. J. Hussain, and D. Al-Jumeily, Adaptive Neural Network Model Using the Immune System for Financial Time Series Forecasting, International Conference on Computational Intelligence, Modelling and Simulation, pp 104-109, 2009
- [ME-80] C. A. Mead, L. A. Conway, "*Introduction to VLSI Systems*", Ouvrage Addison-Wesley Publishing Company, 1980.

-
- [ME-03] M. R. G. Meireles, P. E. M. Almeida, M. G. Simões, A Comprehensive Review for Industrial Applicability of Artificial Neural Networks, *IEEE Transactions On Industrial Electronics*, Vol. 50, No. 3, June 2003, pp. 585-601
- [MI-04] H. Miranda, V. Cardenas, J. Pérez, C. Nuñez. "A Hybrid Multilevel Inverter for Shunt Active Filter Using Space Vector Control", in proc. of *PESC'04*, Aachen (Allemagne), 2004.
- [MO-02] S. K. Mondal, J. O. Pinto, B. K. Bose, *A neural network based space vector PWM controller for a three level voltage fed inverter induction motor drive*, IEEE transaction on Industry application, 2002.
- [MO-07] E. Monmasson, and Marcian N. Cirstea, "FPGA Design Methodology for Industrial Control Systems-A Review", *IEEE Transactions on Industrial Electronics*, Vol. 54, No. 4, pp.1824-1842, 2007.
- [NA-08] M. W. Naouar, É. Monmasson, I. Slama-Belkhodja, A. Ammar Naassani, Commande numérique à base de composants FPGA d'une machine synchrone, *Techniques de l'Ingénieur*, Nov 2008, D 2 902 – pp 1-22
- [NE-09] P. Neves, D. Goncalves, J. G. Pinto, R. Alves, J. L. Afonso, Single-phase Shunt Active Filter interfacing renewable energy sources with the power grid, in proc. of 35th Annual Conference of IEEE Industrial Electronics (IECON '09), 2009 , pp 3264 - 3269
- [NG-09] N. K. Nguyen, D. Flieller, P. Wira, D. Ould Abdeslam, "Neural networks for phase and symmetrical components estimation in power systems," 35th Annual Conference of the IEEE Industrial Electronics Society (IECON09), Porto, Portugal, November 3-5, 2009, CD-ROM.
- [NI-98] H. T. Nicholas, H. Samuelli, B. Kim, "The optimization of direct digital frequency synthesizer performance in the presence of finite word length effects", in *Proc. 42nd Annual Frequency Control Symposium*, 1998, pp. 357–363.
- [OM-96] S. Omatu, M. Khalid, R. Yusof. *Neuro-control and its Applications Advances in Industrial Control*. Springer-Verlag, London, 1996.
- [OM-06] A. R. Omondi, J. C. Rajapakse, "FPGA Implementations of Neural Networks", Springer, 2006
- [OR-06] M. E. Ortúzar, R. E. Carmi, J. W. Dixon, L. Morán, "Voltage-Source Active Power Filter Based on Multilevel Converter and Ultracapacitor DC Link", *IEEE Trans. Ind. Electron.*, vol. 53, No. 2, pp. 477–485, April 2006.
- [OS-92] S. Osowski, *Neural network for estimation of harmonic components in a powersystem*, IEE Proceedings-Generation, Transmission and Distribution pp. 129-135, 1992.
- [PA-10] F. Pacifici, F. Del Frate, Automatic Change Detection in Very High Resolution Images With Pulse-Coupled Neural Networks, *IEEE Geoscience and Remote Sensing Letters*, Vol. 7, No. 1, January 2010, pp. 58-62
-

- [PE-95] N. Pecharanin, H. Mitsui, M. Sone, *Harmonic detection by using neural network*, In *EEE International Conference on Neural Networks*, volume 2, pp. 923-926, Perth, WA, Australia, 1995.
- [PE-05] F. Pêcheux, C. Lallement, A. Vachoux, VHDL-AMS and Verilog-AMS as Alternative Hardware Description Languages for Efficient Modeling of Multi-Discipline Systems, *IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems*, Vol. 24, Issue 2, 2005, pp 204 - 225
- [RA-95] M. Rastogi, N. Mohan, A. A. Edris. "Filtering of Harmonic Current and Damping of Resonances in Power Systems with a Hybrid-Active Filter". *Conférence APEC'95*, p. 607-612, 1995.
- [RA-09] M. A. M. Radz, N. A. Rahim, Neural Network And Bandless Hysteresis Approach To Control Switched Capacitor Active Power Filter For Reduction Of Harmonics, *IEEE Transactions On Industrial Electronics*, Vol. 56, No. 5, pp 1477- 1484, May 2009
- [RA-10] K. S. Rani, K. Porkumaran, "Multilevel shunt active filter based on sinusoidal subtraction methods under different load conditions", *IEEE Region 8 International Conference on Computational Technologies in Electrical and Electronics Engineering (SIBIRCON)*, 2010, pp 692 – 697
- [RE-03] S. Rechka, E. Ngandui, X. Jianhong, P. Sicard, « Analysis of harmonic detection algorithms and their application to active power filters for harmonics compensation and resonance damping », *Can. J. Elect. Comput. Eng.*, vol. 28, pp. 41–51, 2003.
- [RE-07] R. S. Herrera, P. Salmerón, Instantaneous Reactive Power Theory: A Comparative Evaluation of Different Formulations, *IEEE Transactions On Power Delivery*, Vol. 22, No. 1, pp 595-604, January 2007
- [RE-09] R. S. Herrera, P. Salmerón, Instantaneous Reactive Power Theory: A Reference in the Nonlinear Loads Compensation, *IEEE Transactions on Industrial Electronics*, vol. 56, no. 6, pp 2015-2022, June 2009
- [RO-58] F. Rosenblatt, The perceptron : probabilistic model for information storage and organisation in the brain. *Psychological Review* 65, pp 386–408 (1958).
- [RO-93] S. Round, N. Mohan, *Comparison of frequency and time domain neural network controllers for an active power filter*, In *Proceedings of the IECON93*, vol. 2, pp. 1099-1104, Maui, HI, USA, 1993.
- [RO-98] S. Round, H. Laird, R. Duke, C. Tuck, "An improved three-level shunt active filter", *Proc. Intern. Conf. Power Electronic Drives & Energy Systems for Industrial Growth*, vol. 1, pp. 87–92, 1-3 December 1998
- [RO-02] A. Routray, A. K. Pradhan, K. P. Rao, « A novel kalman filter for frequency estimation of distorted signals in power systems », *IEEE Transactions on Instrumentation and Measurement*, vol. 51, pp. 469–479, 2002.

- [RO-07] M. Routimo, M. Salo, H. Tuusa, "Comparison of voltage-source and current source shunt active power filters", *IEEE Transactions on Power Electronics*, vol. 22, no.2, pp. 636-643, March 2007.
- [SA-89] M. Saerens, A. Soquet, *A neural controller based on backpropagation algorithm*. In *First IEE int. Conf. on Artificial Neural Network*, pages 211-215, London, 1989
- [SA-02] G. Sassatelli, P. Benoit, L. Torres, G. Cambon, J. Galy, M. Robert, C. Diou, "Systolic Ring : une nouvelle approche pour les architectures reconfigurables dynamiquement", *Traitement du Signal*, vol.19, n°4, 2002, pp. 293-313.
- [SE-07] W. Sen, T. Bin, Z. Jun, Distributed Arithmetic for FIR Filter Design on FPGA, in *proc. of, ICCAS, 2007*, pp. 620 - 623
- [SH-02] R. El Shatshat, M. Kazerani, M. Salama. *Power quality improvement in 3-phase 3-wire distribution systems using modular active power filter*, *Electric Power Systems Research*, vol. 64 p. 185-194, 2002.
- [SH-04] R. Shatshat, M. Salama et M. Kazerani. *Artificial intelligent controller for current source converter-based modular active power filters*, *IEEE Transactions on Power Delivery* p. 1314-1320, 2004.
- [SH-07] M. A. Shamsi-Nejad, S. Pierfederici, J. P. Martin, F. Meibody-Tabar, "Study of an hybrid current controller suitable for DC–DC or DC–AC applications", *IEEE Transactions on Power Electronics*, vol. 22, no. 6, pp. 2176-2186, Nov. 2007.
- [SH-08] Z. Shu, Y. Guo, J. Lian, Steady-State and Dynamic Study of Active Power Filter with Efficient FPGA-Based Control Algorithm, *IEEE Transactions on Industrial Electronics*, vol 55, no.04, pp 1527-1536, 2008.
- [SI-08] C. H. Da Silva, R. R. Pereira, L. E. B. Da Silva, G. Lambert-Torres, B. K. Bose, Improving the dynamic response of shunt active power filter using modified Synchronous Reference Frame PLL, in *proc. of 34th Annual Conference of IEEE Industrial Electronics (IECON)*, 2008 , pp 790 - 795
- [SJ-97] S. Sjöholm, L. Lindh, *VHDL for Designers*, Prentice Hall, 1997, pp. 261-263.
- [SN-01] B. M. Song, "Voltage Balancing Techniques for Flying Capacitors used in Soft-Switching Multilevel Active Power Filters", *Thèse de la Faculté de l'Institut Polytechnique de Virginia (Etats Unis)*, 2004.
- [SO-97] P. Soderquist, M. Leeser , "Division and Square Root: Choosing the Right Implementation", *IEEE Micro*, Vol.17 No.4, pp.56–66, July/August 1997
- [SO-01] A. M. Sodagar, G. R. Lahiji, "A pipelined ROM-less architecture for sine-output direct digital frequency synthesizers using the second-order parabolic approximation", *IEEE Trans. Circuits and Systems, Part II : Analog and Digital Signal Processing*, vol. 48, no. 9, pp. 850–857, Sept. 2001.

- [SO-04] Y. Song and B. Kim, "Quadrature direct digital frequency synthesizers using interpolation-based angle rotation", *IEEE Trans. VLSI Syst.*, vol. 12, pp. 701–710, July 2004.
- [ST-10] M. Stoica, G.A. Calangiu, F. Sisak, I. Sarkany, A Method Proposed for Training An Artificial Neural Network used for Industrial Robot Programming by Demonstration, in proc. of 12th International Conference on Optimization of Electrical and Electronic Equipment, OPTIM 2010, pp 831-836.
- [SU-08] B. Susluoglu, V. M. Karsli, Improved Current Control Strategy for Shunt Active Power Filter 2nd IEEE International Conference on Power and Energy (PECon 08), December 1-3, 2008, Johor Baharu, Malaysia
- [VA-01] F. R. Vazquez, P. R. Salmeron, J. Prieto, *A new technique for unbalance current and voltage measurement with neural networks*. In *EPE'2001*, Graz, Austria, 2001.
- [VA-02] J. R. Vazquez, P. Salmeron, J. Prieto, A. Perez. *A practical implementation of a three-phase active power line conditioner with ANNs technology*. In *28th Annual Conference of the IEEE Industrial Electronics Society (IECON'02)*, pages 739-744, Sevilla, Spain, 2002.
- [VA-03] J. Vazquez, P. Salmeron, *Active power filter control using neural network technologies*, IEE Proceedings-Electric Power Applications p. 139-145, 2003.
- [WI-60] B. Widrow, M. T. Hoff. Adaptive switching circuits. IRE WESCON Convention Record pp. 96–104 (1960).
- [TI-97] P. Tichavsky, A. Nehorai, Comparative study of four adaptive frequency trackers, *IEEE Transactions on Signal Processing*, pp. 1473 – 1484, 1997.
- [VI-04] M. G. Villalva, F. E. Ruppert, Current controller with artificial neural network for 3-phase 4-wire active filter, *IEEE 35th Annual Power Electronics Specialists Conference (PESC)* pp. 993–998, 2004
- [VO-09] O. Vodyakho, T. Kim; S. Kwak, C.S. Edrington, Comparison of the space vector current controls for shunt active power filters, *IET Power Electronics*, Vol. 2, Iss. 6, pp. 653–664 2009
- [ZE-04] Q. Zeng, L. Chang, P. Song, "SVPM-based current controller with grid harmonic compensation for three-phase grid-connected VSI", *IEEE Power Electronics Specialists Conference*, pp. 2494-2500, 2004.
- [SM-97] O. Simon, H. Spaeth, K.P. Juengst, P. Komarek, "Experimental Setup of a Shunt Active Filter Using a Superconducting Magnetic Energy Storage Device", in proc. of *EPE'97*, Trondheim (Norvège), 1997.
- [TA-03] L. Tambour, Méthodologie et flow semi-automatique d'aide à la conception et à la validation de macro-cellules ASIC dédiées au traitement numérique du signal, Thèse de Doctorat de l'INPG, 2003

- [TR-81] S. Trimberger, J.A. Rowson, C. R. Lang, J. P. Gray, “A *Structured Design Methodology and Associated Software Tools*”, IECS, 28(7), July 1981.
- [TR-03] N. Tredennick, S. Shimamoto, *The Rise of Reconfigurable Systems, ERSA 2003, Keynotes pp. 3-12*
- [WE-91] S. Weerasooriya, M. A. El-Sharkawi, “*Identification and control of a dc motor using back-propagation neural networks,*” IEEE Transactions on Energy Conversion, pages 663-669, 1991.
- [WI-96] B. Widrow, E. Walach, Adaptive inverse control, ser. Information and System Science Series. Upper Saddle River, NJ: Prentice Hall Press, 1996
- [WO-07] E. Won, A hardware implementation of artificial neural networks using field programmable gate arrays, Nuclear Instruments and Methods in Physics Research, A 581, pp 816-820, 2007
- [WU-05] T.-F.Wu, H.-S. Nien, C.-L. Shen, C.-H. Chang, and J.-Y. Chiu, “A Single-Phase Inverter System for PV Power Injection and Active Power Filtering With Nonlinear Inductor Consideration”, *IEEE Trans. Ind. Appl.*, vol. 41, No. 4, pp. 1075–1083, July/August 2005.

RESUME

La thèse a trait à l'implémentation d'architectures neuronales sur cible FPGA pour la commande de systèmes de l'électronique de puissance dédiés à l'amélioration de la qualité de l'énergie dans un réseau de distribution électrique. Pour répondre à cette problématique qualité, le filtre actif parallèle (FAP) a été retenu notamment à cause des contraintes normatives plus exigeantes sur la compensation des harmoniques de courants. Dans une perspective d'optimisation des ressources nécessaires pour une implantation numérique sur FPGA, nous avons adopté une approche méthodologique associant conception modulaire et adéquation algorithme architecture. L'implication des techniques neuromimétiques pour la constitution d'une architecture de commande adaptative, a permis d'améliorer les performances du FAP dans diverses conditions de fonctionnement des sources d'énergie et des charges du réseau électrique. De nouvelles approches élaborées pour l'identification des perturbations et la compensation d'énergie réactive ont ainsi été testées en simulation et analysées. Les bons résultats obtenus se traduisent en termes de réduction du temps d'exécution des algorithmes et de la surface occupée dans le FPGA, utilisé comme cible unique d'implantation. La validation expérimentale de cette approche que nous avons baptisée « *FPGA alone* » nous a permis de caractériser cette solution d'implantation dans l'optique d'une comparaison avec des solutions de type DSP ou mixte DSP/FPGA habituellement utilisées pour cette application.

MOTS-CLES :

Qualité de l'énergie, Filtre actif parallèle, identification et compensation des harmoniques, FPGA, optimisation de ressources d'implantation

ABSTRACT

The present PhD thesis deals with FPGA implementation of neural architectures to control power electronics systems dedicated to power quality improvement in a distribution grid. For this purpose, the active power filter (APF) was retained in particular because of the more demanding normative constraints on the compensation of harmonics currents. For area efficient implementation, we adopted a methodological approach associating modular design and algorithm architecture matching. Neural networks techniques have been applied to build an adaptive control in order to improve APF performances under various utility conditions. New approaches for harmonics identification and reactive power compensation were tested in simulation and analyzed. As results, execution time of the algorithms and hardware requirements in the FPGA, used as single implementation target, have been significantly reduced. The experimental validation of this approach that we baptized "FPGA alone", enabled us to characterize this implementation solution for a purpose of a comparison with other solutions such as DSP or DSP/FPGA, usually used for this application.

KEYWORDS:

Power quality, Active power filter, Harmonics identification and compensation, FPGA, area efficient implementation.
