

*ÉCOLE DOCTORALE MATHÉMATIQUES, SCIENCES DE
L'INFORMATION ET DE L'INGÉNIEUR*

Laboratoire ICube - UMR 7357

THÈSE présentée par :

Achraf KAID

soutenue le : **24 avril 2023**

pour obtenir le grade de : **Docteur de l'Université de Strasbourg**

Discipline : Électronique, microélectronique, optique et lasers, optoélectronique, micro-ondes,
robotique

Spécialité : Micro et nanoélectronique

**MODÉLISATION ELECTROTHERMIQUE DE COMPOSANTS DE
PUISSANCE DISCRETS SOUMIS À UNE SURCHARGE ÉLECTRIQUE
SOUS CADENCE**

THÈSE dirigée par :

M. KAMMERER Jean-Baptiste

Maître de conférences, Université de Strasbourg

M. HÉBRARD Luc

Professeur, Université de Strasbourg

M. ROQUETA Fabrice

Ingénieur-Docteur, STMicroelectronics Tours
"invité"

RAPPORTEURS :

M. ALLARD Bruno

Professeur, INSA de Lyon

M. TOUNSI Patrick

Professeur, INSA de Toulouse

AUTRES MEMBRES DU JURY :

Mme. FRÉMONT Hélène

Professeure, Université de Bordeaux

M. MADEC Morgan

Maître de conférences, Université de Strasbourg

Remerciements

Me voici après plus de trois ans de travail et de collaboration fructueuse avec STMicroelectronics et le laboratoire ICube. Ces années m'ont certes permis de développer des compétences très utiles, mais elles ont aussi été le siège de belles rencontres que je tiens à saluer ici.

Je dédie mes premiers remerciements à ceux qui ont encadré ce travail de thèse. Fabrice Roqueta a été pour moi un guide et un modèle depuis le début. C'est grâce à ses conseils avisés et son investissement dans mon suivi que j'ai pu progresser. Jean-Baptiste Kammerer m'a permis d'évoluer dans un environnement favorable créé par la critique constructive et le positivisme. Une question reste cependant : saurais-je un jour dessiner sur Inkscape aussi bien que lui ? Luc Hébrard a fait partie intégrante de cette ambiance salubre et épanouissante. Cette volonté de comprendre et cette passion qu'il sait si bien transmettre n'ont fait que me pousser à être meilleur. Je tiens à mentionner les tranches de rigolade que nous avons pu avoir tous ensemble et qui soulignent la bonne humeur dans laquelle s'est déroulé ce travail.

Je remercie les membres de l'entreprise STMicroelectronics Tours qui se sont intéressés à mon sujet. En particulier, Véronique Houdbert pour son aide et de sa bienveillance sur les aspects personnels ou professionnels, Olivier Trocherie pour le temps passé à m'apprendre le Skill, ce langage que tant de monde apprécie (ou pas), Arnaud Ollivier, mon sauveur pour les problèmes informatiques incompréhensibles, et Frédéric Lanois dont le regard pertinent sur le projet et les connaissances m'ont tant aidé. J'ajoute aussi tous les autres membres de la CAD qui m'ont toujours accueillis si chaleureusement.

Un grand merci aux membres du laboratoire ICube avec qui j'ai pu avoir des moments de discussions sérieuses, ou parfois (souvent) moins sérieuses. J'ajouterais une mention spéciale à ces membres devenus des amis : Lakhdar Mamouri l'homme aux milles questions, Antoine Mattern le roux, Jiang Jing mon *chuchion*, Lilas Montaner ma padawan, Lucas Werling le monsieur références cinématographiques, et Duc-Vinh Nguyen l'ultra swolle.

J'aimerais également remercier ma famille qui a toujours cru en moi et sans qui, avancer malgré les difficultés aurait été une tâche pénible. Comment ne pas

remercier ma chère et tendre fiancée qui me soutient sans cesse, et qui m'apporte la sérénité dont j'ai besoin. Elle m'aide à faire les bons choix, m'aide psychologiquement, et parfois même d'un point de vue technique (rien n'indique que c'est efficace). Merci Houda, d'être la femme que tu es. Je voudrais dire finalement du fond du cœur merci à ma maman. Elle qui me suit, me supporte et endure avec moi toutes les épreuves de la vie. Merci maman pour tout ce que tu m'as apporté et tout ce que tu as sacrifié, c'est grâce à toi que j'en suis là.

Sommaire

Introduction générale	1
1 Contexte et état de l'art	7
1.1 Introduction sur les composants de puissance	9
1.1.1 Puce semi-conductrice	9
1.1.2 Connexions et boîtier	10
1.2 Défaillances des composants de puissance	11
1.2.1 Causes et modes de défaillance	11
1.2.2 Problématiques électro-thermiques liées à la puce	13
1.2.3 Problématiques électro-thermiques liées à l'assemblage	16
1.2.4 Caractérisation des défaillances	17
1.3 Simulation électro-thermique des composants de puissance	18
1.3.1 Modélisation numérique	19
1.3.1.1 Méthode des éléments finis	20
1.3.1.2 Méthode des volumes finis	22
1.3.1.3 Méthode des différences finies	23
1.3.2 Conclusions sur les modèles numériques	24
1.3.3 Modélisation compacte	25
1.3.3.1 Modèles compacts électriques	26
1.3.3.2 Modèles compacts thermiques	28
1.3.3.3 Couplages électro-thermiques	32
1.4 Conclusions sur la défaillance et la simulation électro-thermique des composants de puissance	37

2	Adaptation de l’outil de simulation	39
	électro-thermique	
2.1	Rappel de l’approche de simulation choisie et du cahier des charges de l’outil	41
2.2	Outil de simulation électro-thermique	42
2.2.1	Principe de l’approche développée	42
2.2.1.1	Principe général	42
2.2.1.2	Approche par modèles électro-thermiques distribués	45
2.2.1.3	Limites de l’approche	49
2.2.2	Génération du maillage	50
2.2.2.1	Description du maillage	51
2.2.2.2	Algorithme de maillage et contraintes	53
2.2.3	L’outil et son articulation dans Cadence®	55
2.2.3.1	Interface	55
2.2.3.2	Affichage des résultats	58
2.2.4	Conclusions sur l’approche développée	58
2.3	Modélisation du boîtier	59
2.3.1	Stratégie 1 : Concaténation de sous-structures	60
2.3.1.1	Concordance des maillages	60
2.3.1.2	Limitations et complications	61
2.3.2	Stratégie 2 : Une unique structure	63
2.3.2.1	Maillage	63
2.3.2.2	Identification des matériaux et conditions aux limites	64
2.3.2.3	Choix du boîtier et conditions aux limites	65
2.3.3	Conclusions sur la modélisation du boîtier	67
2.4	Conclusions sur le simulateur électro-thermique	68
3	Implémentation des modèles électro-thermiques en Verilog-A	69
3.1	Modèles Verilog-A et simulation Spectre®	71
3.1.1	Concepts clés du langage Verilog-A	71
3.1.2	Simulateur Spectre®	74
3.2	Modélisation des diodes Schottky	75
3.2.1	Jonction Schottky	76

3.2.1.1	Théorie et modèle	76
3.2.1.2	Aspects pratiques	80
3.2.1.3	Implémentation Verilog-A	82
3.3	Modélisation des éléments électro-thermiques de volume	83
3.3.1	Modèle de conduction électro-thermique	83
3.3.2	Modèle Verilog-A pour un maillage régulier	87
3.3.3	Modèle Verilog-A pour un maillage irrégulier	88
3.3.4	Effet de la température sur les modèles de conduction	91
3.4	Autres instances et conditions aux limites	91
3.4.1	Conditions aux limites électriques	92
3.4.2	Conditions aux limites thermiques	92
3.5	Conclusions sur l'implémentation des modèles Verilog-A	94
4	Mise en œuvre et résultats de simulations	95
4.1	Validation de l'approche proposée	97
4.1.1	Cas d'une résistance purement électrique	97
4.1.2	Cas d'une résistance purement thermique	99
4.1.3	Cas d'une résistance électro-thermique	101
4.1.3.1	Application à un maillage régulier	102
4.1.3.2	Application à un maillage irrégulier	103
4.2	Étude de l'influence du maillage	104
4.2.1	Maillages réguliers	105
4.2.2	Maillages irréguliers	107
4.3	Résultats de simulation sur diodes Schottky	109
4.3.1	Puce semi-conductrice seule	109
4.3.1.1	Simulations statiques	109
4.3.1.2	Simulations transitoires	112
4.3.2	Puce semi-conductrice et boîtier	117
4.3.2.1	Simulations statiques	118
4.3.2.2	Simulations transitoires	119
4.4	Conclusions sur les résultats obtenus	121

5	Développements et perspectives	123
5.1	Modélisation de l'injection forte	125
5.1.1	Problématique	125
5.1.2	Théorie	126
5.1.3	Implémentation	132
5.1.3.1	Modélisation de la diffusion dans les zones neutres	132
5.1.3.2	Modélisation de la jonction n/n+	134
5.2	Modélisation des composants bipolaires	134
5.2.1	Problématique	134
5.2.2	Implémentation	136
	Conclusion générale	139
	Annexes	155
A	Syntaxe du mailleur	157
B	Conversion de l'identifiant hexadécimal	159
C	Processus de simulation et codes associés	163
D	Configurations de distribution des flux	165

Introduction générale

Contexte scientifique et industriel

La réduction de l'encombrement des composants est un enjeu majeur dans l'électronique de nos objets du quotidien. Elle constitue un besoin pour divers composants qu'ils soient numériques (processeurs, mémoires...) ou qu'ils soient analogiques (redresseurs, diodes de protection...). La conséquence directe de cette miniaturisation est l'augmentation de la densité de courant, et donc de la densité de puissance dissipée par ces composants. Cette augmentation de densité de puissance peut se traduire par l'élévation de température et par la présence de forts gradients thermiques. Il s'ensuit une dégradation des performances électriques (augmentation des courants de fuite, défaillance prématurée en surcharge...) ou de la fiabilité (électromigration, vieillissement...). Ces phénomènes néfastes sont de plus en plus fréquents et critiques à mesure que la température grimpe car ils mettent souvent en jeu des mécanismes thermiquement activés.

Prendre en compte les effets thermiques lors de la conception d'un composant est par conséquent primordial pour agir sur les dimensions de la puce et/ou sur le chemin dissipatif grâce au boîtier. En revanche, les temps et les coûts importants liés à la réalisation des lots et des essais imposent l'utilisation de la Conception Assistée par Ordinateur (CAO). De plus, l'approche numérique permet de découvrir la répartition spatiale des grandeurs physiques d'intérêt (flux de chaleur, température, courants...), mais cela ne peut se faire qu'à travers une simulation électro-thermique en trois dimensions. Ce travail s'inscrit dans le cadre d'un contrat CIFRE entre STMicroelectronics Tours et le laboratoire des sciences de l'Ingénieur, de l'Informatique et de l'Imagerie (ICube) de l'université de Strasbourg. L'entreprise STMicroelectronics Tours, spécialiste des composants électroniques de puissance discrets, est particulièrement sensible aux problématiques électro-thermiques touchant ses produits, notamment au cours d'éventuelles surcharges électriques. Cependant bien que de plus en plus petits, les composants de puissances ont généralement des dimensions importantes comparées à celles des composants de la microélectronique. Les méthodes de CAO conventionnelles, basées sur la méthode des éléments finis (MEF) exigent une discrétisation très fine de la structure dans les régions où les phénomènes électro-thermiques se produisent (généralement la zone de charge d'espace

– ZCE). Typiquement pour une jonction p-n, l'épaisseur de la ZCE est de l'ordre du micromètre et peut aller jusqu'à plusieurs dizaines de microns selon la polarisation et les dopages. Ces ordres de grandeur sont à comparer à la surface de la puce, proche du millimètre carré. Dans cette situation, ces méthodes atteignent alors leurs limites avec un nombre d'éléments qui peut devenir démesuré. Si malgré les limitations logicielles la génération du maillage est réalisable, les temps de simulation et les ressources informatiques requises peuvent être excessifs, incompatibles avec les enjeux industriels. Le partenariat ICube - STMicroelectronics a donc émergé pour développer un outil de simulation efficace et répondre à la problématique de la société STMicroelectronics.

Un simulateur destiné à la modélisation de circuits intégrés a été initialement réalisé par Jean-Christophe Krencker et étendu par Maroua Garci pendant leurs thèses au sein du laboratoire ICube soutenues respectivement en 2009 et en 2012. Au cours de ce travail, il a fallu néanmoins complètement réadapter leur approche à la thématique des composants discrets tout en conservant ses forces et en lui ajoutant de nouvelles fonctionnalités :

- Utilisation d'un unique environnement standard dans la conception des composants, tel que Cadence® ;
- Couplage électrique-thermique fort (aussi appelé direct) rendu possible par l'utilisation du langage Verilog-A et de sa gestion des systèmes multi-physiques ;
- Simulation possible pour divers composants grâce à sa versatilité ;
- Prise en compte de chemins de dissipation thermique complexes via l'intégration d'un boîtier ;
- Automatisation de l'ensemble de la procédure grâce à une interface graphique également implémentée dans l'environnement Cadence®.

Organisation du mémoire

Le mémoire se décompose en cinq chapitres :

Le premier chapitre résume l'étude de l'état de l'art sur les simulations électro-thermiques des composants de puissance qui a dû être réalisée. Il introduit les notions de défaillance, de fiabilité et de modélisation qui y sont liées, et détaille ainsi la motivation de ce travail de thèse.

Le deuxième chapitre présente l'approche qui a été mise en place au sein de l'environnement Cadence® dans le but de modéliser les composants de puissance.

Le troisième chapitre décrit les modèles Verilog-A utilisés pour réaliser les simulations sur les composants discrets. Nous nous sommes concentrés sur les composants Schottky pour tester notre outil. Nous présentons donc un modèle compact de diode Schottky destiné à modéliser la jonction, ainsi qu'un modèle compact de conduction électro-thermique qui représente la conduction électrique et thermique des constituants du composant Schottky. En outre, nous avons également pris en compte les différentes sources utilisées comme conditions aux limites.

Le chapitre quatre est dédié à l'évaluation des modèles (conduction électro-thermique, diode...), et de l'approche dans son ensemble. L'étude de l'effet du maillage sur les résultats et les performances, les résultats électriques et les résultats électro-thermiques de notre approche y sont rapportés puis comparés avec des résultats de CAO utilisant la MEF.

Le cinquième et dernier chapitre présente certaines améliorations de l'outil que nous envisageons mais qui n'ont pu être menées à leurs termes, faute de temps. Notamment, nous détaillons comment nous pourrions prendre en compte l'injection de porteurs minoritaires qui apparaît au sein de certains composants de puissance, et comment modéliser les composants bipolaires dont la courbure latérale de jonction joue un rôle critique dans la défaillance des composants de puissance.

Chapitre 1

Contexte et état de l'art

Résumé

Ce chapitre présente une étude bibliographique des modes de défaillance et des méthodes de simulation possibles dans les composants de puissance. L'objectif est de comprendre les conséquences des phénomènes électro-thermiques que l'on retrouve dans le domaine de l'électronique de puissance, puis d'introduire les méthodes de simulation permettant de les évaluer. Nous posons d'abord le contexte avant de nous concentrer sur les modes de défaillance et les méthodes de simulation électro-thermique. Ainsi, en plus de se positionner par rapport à l'état de l'art, l'approche développée dans cette thèse est justifiée.

La société STMicroelectronics Tours, partenaire industriel de cette thèse CIFRE est spécialisée dans la conception et la fabrication de composants électroniques de puissance. Son portefeuille de produits s'adresse aux marchés de la télécommunication, de l'électroménager, de l'information ou encore de l'automobile. Ces secteurs s'appuient sur des technologies telles que des interrupteurs (thyristors haute tension, triacs...) pour la commutation de systèmes électriques, des IPD (Integrated Passive Device) pour le filtrage en radio-fréquence, des redresseurs (bipolaires et Schottky...), ou encore des composants de protection (transils, trisils). La compréhension des phénomènes entraînant la défaillance de ses composants, et en particulier dans les deux dernières gammes de produits mentionnées, occupe une place importante dans le travail des ingénieurs de recherche et de développement chez STMicroelectronics Tours. C'est pourquoi cette première partie du premier chapitre s'attache à identifier les mécanismes et les modes de défaillances touchant les composants de puissance.

1.1 Introduction sur les composants de puissance

Pour aborder les différentes notions spécifiques à l'industrie des composants de puissance présentées dans ce manuscrit, il est essentiel de bien se souvenir de ce qu'est un composant de puissance. La description simplifiée d'un procédé de fabrication d'une diode de puissance classique est donc proposée comme entrée en matière. La compréhension de sa structure nous amènera à relier ses constituants aux causes de défaillances possibles.

1.1.1 Puce semi-conductrice

La puce électronique est l'élément central du composant. Elle est réalisée en matériau semi-conducteur, généralement du silicium, ou d'autres matériaux en fonction du champ d'application [1]. La puce est ensuite dopée pour créer une ou plusieurs jonctions et lui donner les propriétés recherchées. Un substrat semi-conducteur est au préalable fortement dopé dans un four de diffusion ayant une atmosphère contenant l'agent dopant. Ce substrat est souvent utilisé comme point de départ pour faire croître une couche semi-conductrice, moins dopée de plusieurs ordres de gran-

deurs, par épitaxie. L'épitaxie d'une couche semi-conductrice consiste à déposer de façon contrôlée cette couche sur un substrat de même nature tout en le soumettant à un flux de gaz contenant le dopant. La couche épitaxiée dopée conserve la structure cristalline du substrat. L'implantation ionique (faisceau d'ions de dopant) peut être utilisée pour les composants à jonctions p-n pour réaliser une jonction profonde à une concentration précise.

Par la suite, une couche d'oxyde est formée par traitement thermique pour passiver (électriquement et chimiquement) les surfaces. Les contacts métalliques sont délimités par gravure de cet oxyde. Ces contacts sont ensuite obtenus par dépôt de couches de métallisation (en aluminium, en or, ou un de leurs alliages) en surface du semi-conducteur. Le contact semi-conducteur – métal crée un contact ohmique si la hauteur de barrière de potentiel à l'interface est faible (fort dopage et travail d'extraction du métal proche de l'affinité électronique du semi-conducteur), ou un contact Schottky dans le cas contraire.

Les étapes de dopage, de dépôt ou de gravure du procédé de fabrication sont réalisées de façon sélective dans des régions délimitées par des masques [2]. Ces masques de photolithographie sont réunis sur un dessin technique appelé « layout » qui contient toutes les informations quantitatives sur la géométrie et les dimensions de la puce.

1.1.2 Connexions et boîtier

La puce reste un élément fragile qui doit être protégée par un boîtier auquel elle doit être électriquement connectée. La métallisation de l'une des faces de la puce peut être reliée à une borne du boîtier grâce à des fils en aluminium ou en or soudés soit par échauffement et écrasement des deux métaux à souder (thermococompression), soit par frottement ultrasonique entre les deux surfaces, soit en mêlant compression, chauffage et ultrasons (soudure thermosonique). La contribution au transport de chaleur de ce contact électrique est faible. L'autre face de la puce est généralement reliée directement à un contact électrique en cuivre de grande taille (aussi appelée « semelle ») pour favoriser la dissipation de chaleur.

Pour réaliser le collage entre ces deux surfaces, une brasure (assemblage via un métal d'apport) est utilisée. Selon les cas, on peut choisir une brasure « tendre » (avec

1.2. Défaillances des composants de puissance

un alliage ayant une faible température de fusion), ou bien une brasure « dure » (avec diffusion dans le métal) pour faire la jointure électrique, thermique et mécanique entre la puce et la semelle.

Finalement, l'ensemble est encapsulé dans une résine permettant d'assurer une protection à l'assemblage. Un dissipateur thermique peut aussi être fixé au bas de la semelle, le cas échéant. Une vue en coupe d'un tel composant est présentée en figure 1.1. Il s'agit d'une structure générique d'un composant de puissance qui serait similaire bien qu'un peu plus complexe dans le cas d'un transistor de puissance par exemple. Le layout contiendrait en effet d'autres niveaux de passivation, de dopage et de connexions en surface.

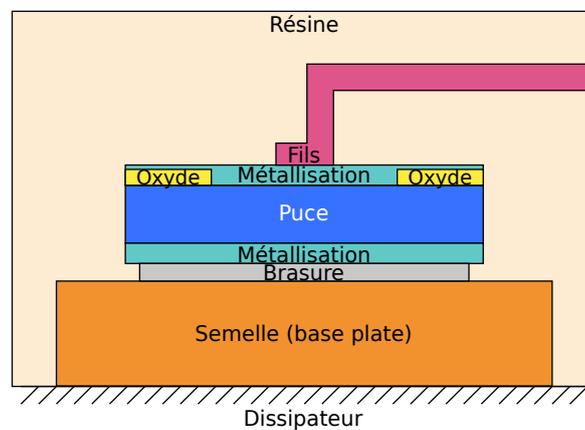


Figure 1.1 – Schéma d'un assemblage d'une diode de puissance

Vue en coupe d'un composant de puissance avec sa puce, son boîtier et ses connexions électriques et thermiques.

On retrouve sur cette figure les principales parties d'un composant de puissance susceptibles de présenter des défaillances, qu'il s'agisse de la puce en elle-même, ou bien de son assemblage (connexions métalliques, brasures, dissipateur). Ces défaillances sont abordées dans la section qui suit.

1.2 Défaillances des composants de puissance

1.2.1 Causes et modes de défaillance

Les causes de défaillance sont nombreuses et leur fréquence suit la « courbe en baignoire » de la figure 1.2 [3, 4], bien connue dans le domaine de la fiabilité et

utilisée par les organismes de normalisation des semi-conducteurs (JEDEC...). Ces causes peuvent être divisées en trois types :

- Défaillances précoces (extrinsèques) causées par des défauts de manipulation, de fabrication ou une mauvaise utilisation.
- Défaillances aléatoires constantes causées par des événements et des défauts aléatoires.
- Défaillances d'usure (intrinsèques) qui croissent avec le temps et qui sont dues aux différentes contraintes subies par le composant (électriques, thermiques, mécaniques ou chimiques).

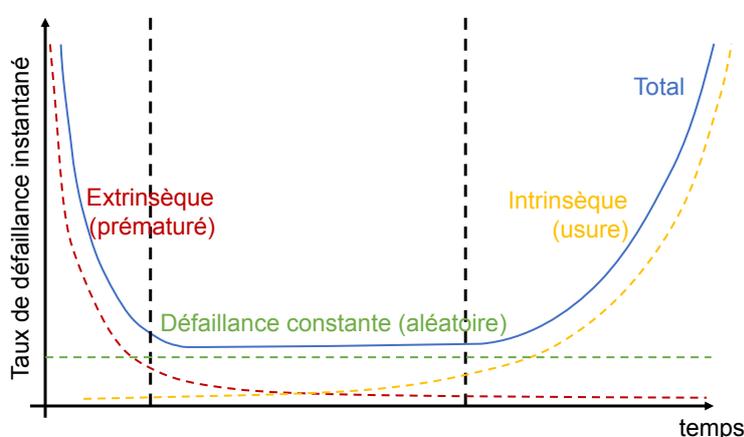


Figure 1.2 – Courbe en baignoire idéale

Représentation d'une courbe en baignoire montrant la probabilité de défaillance d'un composant en fonction du temps. Figure tirée de [3].

Dans le cas particulier des composants de puissance, les défaillances sont restreintes aux modes de court-circuit et de circuit ouvert, aux courants de fuite excessifs, et à une perte de contrôle de la résistance drain-source des transistors (augmentation de la résistance à l'état passant au cours du vieillissement) [5–8]. Les localisations de ces défaillances sont différentes, mais leurs origines sont toujours imputables aux surchauffes, et aux surcharges électriques. Les contraintes mécaniques et chimiques, quand elles ne détruisent pas directement les composants, accélèrent également leur dégradation. La contribution électro-thermique au vieillissement ou à la destruction des composants de puissance est donc majeure, et il convient d'en déterminer l'origine et les conséquences. La miniaturisation des composants se traduit par une densité de puissance à dissiper de plus en plus importante. Les efforts d'intégration mis en place doivent permettre aux composants

de continuer à fonctionner de façon optimale et doivent concerner aussi bien la puce en semi-conducteur que le boîtier.

1.2.2 Problématiques électro-thermiques liées à la puce

Les premières contraintes thermiques à prendre en compte sont évidemment celles de la puce en semi-conducteur. En effet, toutes les propriétés électriques des semi-conducteurs dépendent de la température (concentration de porteurs intrinsèques, conductivité électrique, taux de recombinaison des porteurs, conductivité thermique...), et en fonction de celle-ci, le comportement peut être altéré de différentes manières. Les composants de puissance possèdent de façon générale trois états de fonctionnement au cours desquels des pertes sous forme de chaleur existent [9–11].

- L'état passant pendant lequel une chute de tension non nulle est présente. Ces pertes de conduction résultent d'un échauffement par effet Joule quand la tension et le courant sont élevés. La puissance dissipée est alors loin d'être négligeable amenant à des températures supérieures aux normes de fonctionnement, voire à la fusion de certains matériaux si la dissipation de chaleur par l'air, le boîtier ou par un dissipateur est insuffisante.
- L'état bloquant est un régime de forte impédance mais les porteurs minoritaires sont cependant responsables de courants de fuite qui croissent avec la tension inverse appliquée aux bornes de la jonction. Ce courant inverse, bien que très faible à température ambiante peut devenir suffisamment fort quand la température du milieu augmente. Au mieux, les performances du composant seront réduites, et au pire, il pourra subir un emballement thermique (la chaleur implique l'augmentation des courants de fuite et réciproquement, par l'augmentation de la puissance électrique dissipée).
- L'état de commutation. C'est un régime transitoire dans lequel le composant de puissance passe de l'état passant à l'état bloquant (et inversement) de façon répétée. Les pertes liées à ce régime de commutation sont issues de la dynamique des porteurs de charges, dépendante de la fréquence mais aussi de la température. Le passage d'un état à l'autre ne se faisant pas instantanément (et généralement d'autant plus lentement que la température

croît), le recouvrement tension/courant provoque là encore un échauffement qui s'ajoute aux précédents.

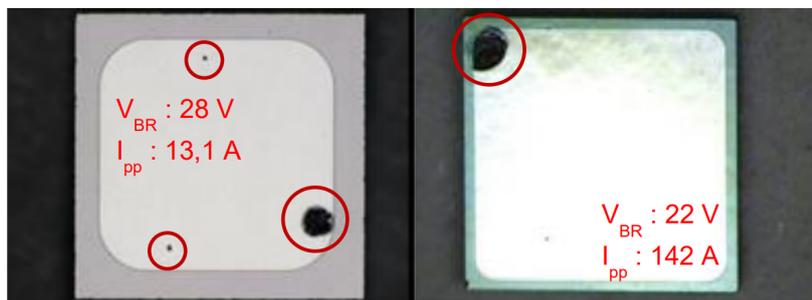


Figure 1.3 – Images d'analyse de défaillance

Photographies de deux transils de tailles différentes prise par capteur CCD montrant les points de fusions (entourés en rouge) après surcharge inverse $10/1000 \mu\text{s}$. Les tensions de claquages V_{BR} respectives sont 28 V (à gauche) et 22 V (à droite). Les courants maximaux sont indiqués par I_{PP} .

En somme, une température élevée est toujours néfaste pour la puce, comme en témoignent les points de fusion révélés par une analyse de défaillance réalisée à STMicroelectronics Tours. Le test de défaillance mené est un pic de courant inverse de forme d'onde $10/1000 \mu\text{s}$ (pic à $10 \mu\text{s}$, moitié du pic à $1000 \mu\text{s}$) imposé à deux composants transils ($R_{th(j-a)}$), réalisé à température ambiante. La figure 1.3 présente les photographies des deux puces extraites de leurs boîtiers après le test $10/1000 \mu\text{s}$. Cette figure montre deux photographies de puces transils caractérisées par leurs tensions de claquage V_{BR} . Ces surcharges de $13,1 \text{ A}$ et 142 A ont mené à un ou plusieurs points de fusion visibles sur ces puces en silicium, principalement en périphérie.

Le couplage électrique – thermique fait que plusieurs mécanismes sont susceptibles de conduire à la défaillance de la puce en impliquant des élévations de température et de courant fatales, et en compromettant son fonctionnement de façon définitive. Les principaux mécanismes sont :

- La dégradation de l'oxyde. Elle se produit progressivement par l'accumulation de défauts (charges piégées) qui mènent à des courants de fuite, voire à un claquage qui traverse le diélectrique. Cette accumulation de charges peut ne pas être critique dans le cas où l'oxyde est épais [12].
- La reconstruction de la métallisation. Les contraintes dues aux variations de température se relaxent grâce aux mouvements des dislocations et aux glis-

- sements des joints de grains. Ces mouvements de métal peuvent dégrader la qualité du contact, rendre par endroits l'épaisseur de la métallisation insuffisante et endommager l'oxyde en s'infiltrant à l'intérieur [13–15].
- L'électro-migration. Elle se décrit comme étant un mouvement d'ions métalliques dans un métal à cause d'un flux d'électrons important, donc d'une densité de courant très élevée. Les conséquences sont un contact dégradé ou un circuit ouvert [5, 16].
 - L'interdiffusion. C'est le phénomène pendant lequel le silicium diffuse (réaction thermiquement activée) dans l'aluminium qui remplit alors l'espace vide laissé dans le semi-conducteur. Si l'aluminium s'infiltré jusqu'à dépasser la jonction, cette dernière est alors mise en court-circuit [16–18].

Bien des travaux ont été menés et le sont toujours pour tenter de comprendre et d'améliorer la robustesse et la durée de vie des composants (terminaisons de jonctions, passivations périphériques) [19–22], ces études ont principalement pour objectif d'étendre la tenue en tension inverse par l'étalement des équipotentielles proches de la surface. Par ailleurs, l'utilisation de semi-conducteurs à grande largeur de bande interdite (SiC, GaN...) est également une approche envisagée par les fabricants de composants à semi-conducteurs [23,24]. Ceux-ci permettent, entre autres, de réduire les courants de fuite jusqu'à des températures plus élevées que pour le silicium (grâce à leur faible concentration de porteurs intrinsèques), d'augmenter la tension de claquage pour une épaisseur ou une résistivité identique (champ de claquage plus élevé) et de réduire les pertes en commutation (grande vitesse de saturation des porteurs). Tous ces développements ont fait leurs preuves mais ne sont pas toujours suffisants comme l'ont montré Ngwashi et al. avec du carbure de silicium présentant diverses dégradations [8]; d'une part, parce que la densité de puissance à dissiper ne fait qu'augmenter, et d'autre part, parce que les contraintes environnementales peuvent être sévères (chocs, vibrations, températures, durée de vie du composant), les efforts doivent aussi tenir compte du boîtier qui peut lui-même présenter des défaillances et, dans le même temps, aider à la dissipation de chaleur et protéger la puce.

1.2.3 Problématiques électro-thermiques liées à l'assemblage

Lorsque la génération de chaleur dure longtemps ou se répète, l'élévation de la température ne reste pas localisée autour du point de génération mais se propage dans son environnement (boîtier, air) [25]. Ces contraintes thermiques se répercutent ainsi directement sur le boîtier qui doit assurer une protection mécanique, acheminer le courant et évacuer la chaleur pendant toute sa durée de vie. L'assemblage puce-boîtier est donc également très important. Alors que le boîtier s'avère être un moyen supplémentaire d'étendre la durée de vie et les performances du composant de puissance, il peut lui aussi être mis en défaut. De la même façon que pour la couche de métallisation, les fils (souvent en aluminium) en contact avec le silicium subissent des contraintes mécaniques lorsque la température monte à cause de la différence de coefficient de dilatation thermique entre le métal et le semi-conducteur. Les fils peuvent alors se décoller et se casser [15]. La brasure est aussi un élément fragile de l'assemblage. Les contraintes thermo-mécaniques qu'elle subit peuvent amener à sa dégradation (fissures, vides, décollement, fonte) et son rôle dans le transfert de chaleur et de charges perd de son efficacité. La température atteinte dans la puce augmente et la durée de vie du composant diminue [26, 27].

Pour le boîtier également, des améliorations ont été apportées pour garantir au mieux la tenue des composants de puissance soumis aux surcharges électro-thermo-mécaniques qu'ils peuvent rencontrer. Pour les problèmes de brasure, on peut citer l'utilisation d'une brasure dont le coefficient de dilatation thermique est proche de celui du semi-conducteur ($2,6 \times 10^{-6} /K$ pour le silicium à 30 K) ainsi que l'augmentation de son épaisseur. Pour les fils, on peut déposer des couches compressives en polymères empêchant sa levée ou déposer une couche intermédiaire d'un matériau ayant une différence de coefficient de dilatation thermique moins forte [13]. Cependant, ces suggestions ne résolvent pas nécessairement le problème. Elles impliquent un coût supplémentaire et ne garantissent pas une diffusion de chaleur optimale dans toutes les circonstances à cause des résistances thermiques qui augmentent nécessairement avec l'ajout de matière.

1.2.4 Caractérisation des défaillances

La figure 1.4 est un exemple permettant d'illustrer un mode de défaillance et un mécanisme ayant amené à la fusion de la puce et à l'instabilité de la brasure induite par une densité de courant excessive. L'inspection aux rayons X ne montre pas d'endommagement du boîtier dans son ensemble (figure 1.4.a). Toutefois, un point de fusion est observé en périphérie de la puce (figure 1.4.b) et l'analyse en microscopie électronique à balayage montre clairement la migration de la brasure dans le « tunnel » de fusion à l'intérieur du silicium (figure 1.4.c). Dans ce cas précis, le mode de défaillance est un court-circuit.

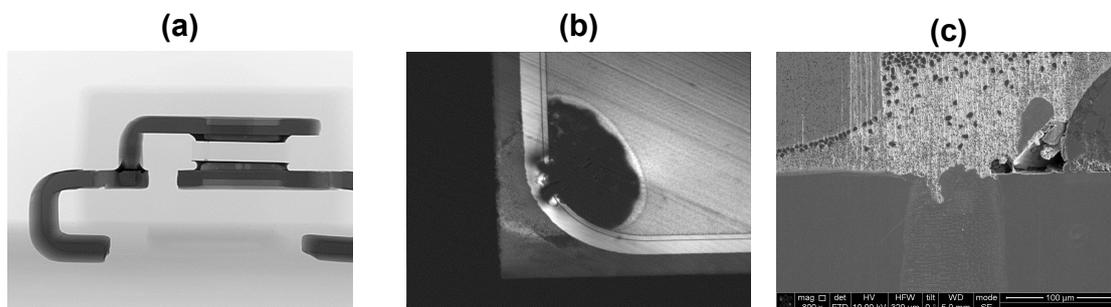


Figure 1.4 – Résultats d'une analyse de défaillance d'une diode transil après une surcharge

(a) Photographie réalisée par rayons X en vue de côté. **(b)** Inspection laser avec filtre infrarouge. **(c)** Micrographie obtenue par balayage électronique du contact puce-brasure-cuivre. Résultats obtenus par STMicroelectronics Tours.

L'ensemble de ces constatations justifie l'intérêt des industriels du domaine des semi-conducteurs de comprendre au mieux le comportement électro-thermique de leurs composants. Cela peut passer par des tests et des mesures expérimentales avec les nombreux moyens existants pour détecter et caractériser les défaillances (voir figure 1.4). En revanche, plusieurs difficultés s'opposent à cette stratégie. Premièrement, il est difficile de caractériser de façon locale et dynamique le comportement électro-thermiques du composant pendant un fonctionnement en conditions réelles et en conservant le boîtier. Deuxièmement, le coût de production de lots de test impliquent une utilisation conséquente de ressources pour réaliser une étude statistique. Troisièmement, le temps nécessaire à l'obtention des résultats est un facteur limitant, d'une part, parce que les temps de cycles de la fonderie sont à prendre en compte et, d'autre part, parce que la durée de vie des composants est

relativement longue et le grand nombre de cycles requis pour arriver à la défaillance peut être très élevé (plusieurs milliers) [4–6,28].

Les phénomènes de vieillissement et de dégradation brutale induits par les surcharges électriques sont les problématiques que ce travail de thèse traite.

Toutes ces remarques poussent naturellement à s'écarter de plus en plus des méthodes expérimentales et à se tourner vers les simulations numériques. Celles-ci permettent de s'affranchir d'une partie des coûts et du temps nécessaires à l'étude des composants de puissance par la voie expérimentale. Elles sont de plus un outil permettant d'identifier les défaillances touchant les composants étudiés de façon précise. Cependant, cette solution est elle aussi soumise à certaines limites. Les avantages et les désavantages sont explicités dans la section 1.3.

1.3 Simulation électro-thermique des composants de puissance

Comme nous venons de le voir, l'accès aux informations électriques et thermiques de façon expérimentale n'est généralement pas aisé, en particulier à travers un boîtier. La simulation numérique pour comprendre et prédire le comportement des composants de puissance est donc devenue indispensable. Les modèles électro-thermiques mis en place doivent cependant être précis pour permettre la description des phénomènes concernés touchant à la fois la puce en semi-conducteur, mais aussi le boîtier (fils, cuivre, résine...). Cette section s'attache à présenter les méthodes existantes dans le domaine de la modélisation des composants de puissance, aussi bien pour la partie électrique que pour la partie thermique. Les avantages et les inconvénients de ces approches sont décrits afin de justifier celle qui a été développée dans ce travail de thèse. Celle-ci se positionne à l'interface des approches numériques en trois dimensions (type éléments finis) et de la modélisation compacte afin d'en tirer tous les bénéfices. Elle est expliquée plus en détails dans le chapitre 2.

1.3.1 Modélisation numérique

Les équations différentielles qui constituent le modèle électrique peuvent être résolues grâce à des méthodes numériques appelées déterministes. Bien qu'il en existe d'autres, les méthodes des éléments finis (MEF), des différences finies (MDF) ou des volumes finis (MVF) sont les plus connues [29]. La plus utilisée reste la MEF, sur laquelle s'appuient la plupart des outils de simulation multi-physique pour déterminer localement les valeurs des différentes grandeurs d'intérêt (densités de courant, densité de puissance...). Lorsque l'évolution d'un système peut être décrite par une équation aux dérivées partielles, celle-ci est résolue dans le cadre de l'approximation d'un domaine discret à travers un ensemble d'équations différentielles ordinaires en chaque nœud d'un maillage [29, 30]. Le maillage consiste à subdiviser en sous-domaines (des segments, des surfaces ou des volumes selon que le modèle soit respectivement en une, deux, ou trois dimensions) le domaine continu que constitue la structure géométrique considérée. Le domaine initialement continu est alors discrétisé par un maillage constitué de mailles (ou cellules) et de nœuds (ou des points).

Les résolutions par MEF, MVF et MDF sont présentées dans ce qui suit. En guise d'illustration, prenons le cas d'école de l'équation de la chaleur stationnaire en une dimension, sans génération de chaleur, appliqué à un barreau homogène de longueur L et de conductance thermique $\kappa = 1 \text{ W/m}^2\text{K}$ (voir figure 1.5). Ce barreau est discrétisé en sous-domaines à partir de trois nœuds et on souhaite déterminer la température $T(x)$ en fonction de la position x . L'environnement est adiabatique. Une condition de flux est imposée $q_0 = 10 \text{ W/m}^2$ à la limite gauche et une condition température $T_0 = T(L) = 25 \text{ °C}$ à droite.

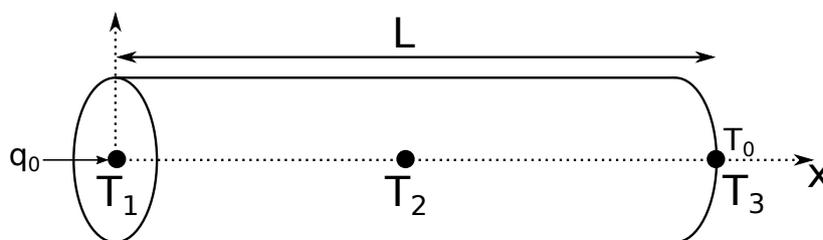


Figure 1.5 – Barreau unidimensionnel discrétisé

Barreau de longueur L découpé en trois nœuds de températures respectives $T_1 = T(0)$, T_2 , $T_3 = T_0$. Un flux q_0 est injecté au nœud 1.

Dans cette situation, l'équation de la chaleur stationnaire devient :

$$\kappa \frac{d^2 T(x)}{dx^2} = 0 \quad (1.1)$$

Cet exemple a évidemment une solution simple qui est une évolution linéaire de la température entre les deux limites (soit $T_1 = 35$, $T_2 = 30$ et $T_3 = 25$ °C), mais permet de présenter les méthodes numériques simplement. Pour la suite, nous utiliserons l'écriture simplifiée d'une fonction $f(x)$ quelconque telle que $f = f(x)$.

1.3.1.1 Méthode des éléments finis

La méthode des éléments finis consiste (d'après la méthode de Galerkin) [30] à réécrire l'équation aux dérivées partielles en une forme « faible » pour réduire l'ordre de résolution du problème, puis à résoudre cette formulation faible du problème initial en le linéarisant au sein des éléments du maillage. Cela se fait en multipliant l'équation différentielle par une fonction de test $\nu(x)$ (fonction de pondération permettant de minimiser l'erreur liée à la discrétisation du système, nulle aux limites où T est connue) et en intégrant l'équation sur tout le domaine $[0, L]$ discrétisé par trois nœuds séparés d'une distance Δx (voir figure 1.6).

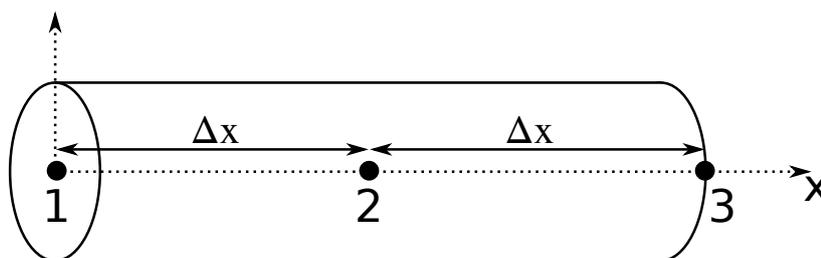


Figure 1.6 – Barreau unidimensionnel discrétisé pour une résolution par MEF ou par MDF de l'équation de la chaleur stationnaire

Barreau de longueur L discrétisé en deux éléments formés par les nœuds 1, 2 et 3 séparés de Δx .

Si l'on applique le produit de l'équation (1.1) avec ν et qu'on intègre sur tout le domaine, on obtient :

$$\int_0^L \nu \frac{d}{dx} \left(\frac{\kappa dT}{dx} \right) dx = 0. \quad (1.2)$$

1.3. Simulation électro-thermique des composants de puissance

Le terme de gauche peut être intégré par partie, (1.2) devient alors :

$$\int_0^L \frac{d\nu}{dx} \kappa \frac{dT}{dx} dx - \left[\nu \kappa \frac{dT}{dx} \right]_0^L = 0, \quad (1.3)$$

Appliquée à un élément (segment) compris entre x_i et x_{i+1} , l'équation (1.3) peut alors être réécrite :

$$\int_{x_i}^{x_{i+1}} \frac{d\nu}{dx} \kappa \frac{dT}{dx} dx - \nu(x_{i+1}) \kappa \frac{dT(x_{i+1})}{dx} + \nu(x_i) \kappa \frac{dT(x_i)}{dx} = 0. \quad (1.4)$$

Cette dernière équation correspond à la formulation dite « faible » du problème, pour laquelle l'équation différentielle a pu être réduite à l'ordre un. Selon la méthode de Galerkin, on peut choisir une infinité de fonctions approchant la solution. On prend généralement une fonction approchée T_h de la même forme que la fonction test. Pour n nœuds, on pose alors :

$$\begin{cases} \nu(x) = \sum_{i=1}^n N_i(x) \\ T_h(x) = \sum_{i=1}^n T_i N_i(x) \end{cases} \quad (1.5)$$

où T_i sont les températures et N_i sont les fonctions de bases dans l'espace des solutions approchées qui s'appliquent aux nœuds $i \in \{1, 2, 3\}$. Pour un élément formé par les nœuds i et $i + 1$, on construit les fonctions de bases telle que la variation entre les nœuds soit linéaire :

$$\begin{cases} N_i = \frac{x_{i+1} - x}{\Delta x} \\ N_{i+1} = \frac{x - x_i}{\Delta x} \end{cases} \quad (1.6)$$

En substituant les expressions de ν et T_h dans l'équation (1.4), on trouve pour les trois nœuds de la figure 1.6 le système d'équation sous forme matricielle :

$$\kappa \begin{Bmatrix} T_1 \\ T_2 \\ T_3 \end{Bmatrix} \frac{2}{L} \begin{bmatrix} 1 & -1 & 0 \\ -1 & 2 & -1 \\ 0 & -1 & 1 \end{bmatrix} = \begin{Bmatrix} -q_0 \\ 0 \\ -q_0 \end{Bmatrix} \quad (1.7)$$

La résolution du système peut être faite par de nombreuses méthodes (directes, ou itératives) dans le cas d'un grand nombre d'éléments [31]. Ici, la résolution et l'application numérique peut se faire à la main et donne les solutions attendues $T_1 = 35$, $T_2 = 30$ et $T_3 = 25$ °C.

1.3.1.2 Méthode des volumes finis

La méthode des volumes finis permet de résoudre une équation aux dérivées partielles en s'appuyant sur les lois de conservation de la discipline en question. Ces lois doivent s'appliquer au sein de tous les volumes élémentaires définissant le domaine d'étude. Dans cette méthode, l'équation est d'abord intégrée entre les limites du volume dit « de contrôle » (ou cellule) dans lequel les informations (température, propriétés thermiques...) sont portées par le barycentre. Une approximation du terme différentiel restant après cette première intégration est ensuite recherchée. On peut dériver les équations des volumes finis en considérant l'intégrale de l'équa-

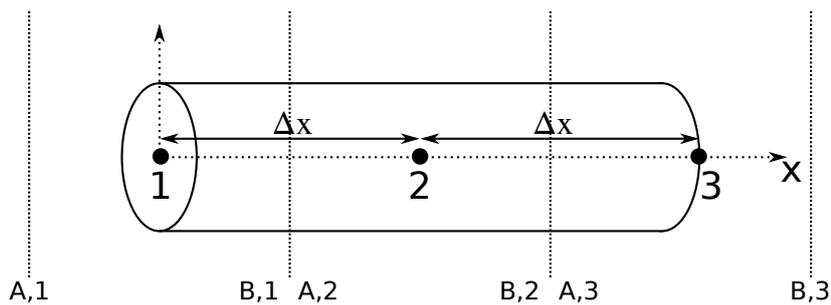


Figure 1.7 – Barreau unidimensionnel discrétisé pour une résolution par MVF de l'équation de la chaleur stationnaire

Barreau de longueur L discrétisé en trois cellules dont les barycentres sont les nœuds représentés par des points noirs 1, 2 et 3 respectivement. Ces cellules sont distantes de Δx . Les lignes verticales en pointillés représentent les bords A et B des cellules.

tion de la chaleur (1.1) dans une cellule comprise entre A et B de la cellule i (notés A, i et B, i) (cf. figure 1.7) :

$$\int_A^B \frac{d}{dx} \left(\kappa \frac{dT}{dx} \right) dx = 0 \quad (1.8)$$

La simplification de (1.8) donne :

$$\left[\kappa \frac{dT}{dx} \right]_{B,i} - \left[\kappa \frac{dT}{dx} \right]_{A,i} = J_{B,i} - J_{A,i} = 0 \quad (1.9)$$

1.3. Simulation électro-thermique des composants de puissance

Cette dernière équation décrit une loi de conservation de flux. Elle indique que la différence de flux entre les deux limites de la cellule est égale au flux produit à l'intérieur de cette cellule (ici 0). Comme pour la MEF, un ordre de différenciation a été éliminé. Cette expression finale est aussi appelée « formulation faible ». Du fait de sa forme intégrale, cette condition est vérifiée également dans tout le domaine étudié. Comme le flux traversant chaque cellule doit être continu, on peut écrire que $J_{B,i} = J_{A,i+1}$, d'où (pour le cas de la figure 1.7) :

$$J_{B,1} - J_{A,1} + J_{B,2} - J_{A,2} = J_{B,2} - J_{A,1} = 0 \quad (1.10)$$

Enfin, la dernière étape est l'approximation des dérivées. La méthode généralement employée est l'utilisation des séries de Taylor qui donne par différence centrée :

$$\left. \frac{dT}{dx} \right|_B = \frac{T_{i+1} - T_i}{\Delta x} - \frac{(\Delta x)^2}{24} \left. \frac{d^3T}{dx^3} \right|_B + \dots \quad (1.11)$$

et

$$\left. \frac{dT}{dx} \right|_A = \frac{T_i - T_{i-1}}{\Delta x} - \frac{(\Delta x)^2}{24} \left. \frac{d^3T}{dx^3} \right|_A + \dots \quad (1.12)$$

Les équations (1.11) et (1.12) peuvent être ré-injectées dans (1.9) pour calculer directement les valeurs approchées de la température en négligeant les termes d'ordre supérieur ou égal à deux. Aux limites, ces expressions ne sont pas valides. L'approximation discrète de ce cas particulier n'est pas traitée dans ce manuscrit, mais le lecteur peut se référer au développement réalisé dans [32]. Celui-ci permet d'écrire pour notre exemple :

$$\begin{cases} \left. \frac{dT}{dx} \right|_{B,2} = \frac{9T_2 - T_1 - 8T_{B,2}}{3\Delta x} \\ T_{A,1} = \frac{9T_2 - T_1 - 3J_{B,2}\Delta x}{8} \end{cases} \quad (1.13)$$

Ce système peut être facilement résolu pour obtenir les températures aux bornes de chaque cellule (et en leurs centres).

1.3.1.3 Méthode des différences finies

La méthode des différences finies est une méthode assez directe puisqu'elle considère que l'équation aux dérivées partielles est satisfaite aux nœuds du maillage.

L'équation est résolue directement dans sa forme originale en approximant la dérivée sans modifier l'expression initiale de l'équation aux dérivées partielles. Comme pour la méthode des volumes finis, le développement en série de Taylor est la principale technique utilisée pour approcher la dérivée. Le développement reste le même que dans les équations de (1.11) à (1.12) appliqués aux noeuds $i-1$, i et $i+1$ (au lieu des limites de cellules A et B) qu'il faut alors sommer entre elles pour éliminer les dérivées du premier ordre. Il vient alors, en négligeant les termes d'ordre supérieur inconnus :

$$\left. \frac{d^2 T}{dx^2} \right|_i = \frac{T_{i+1} + T_{i-1} - 2T_i}{(\Delta x)^2}. \quad (1.14)$$

Il ne reste qu'à injecter cette expression dans l'équation de la chaleur pour calculer les valeurs du champ T . Aux limites, on peut identifier directement les conditions de température et le flux peut être décrit par :

$$q_0 = -\frac{4T_2 - T_3 - 3T_1}{2\Delta x} \quad (1.15)$$

Ce système se résout là aussi simplement pour trouver les températures attendues aux noeuds T_1 , T_2 et T_3 .

Une différence de la MDF par rapport à la MVF est que la solution n'étant pas dans une forme intégrale, les lois de conservation ne sont pas nécessairement validées dans tout le domaine avec la MDF. La conservation globale dépend du maillage utilisé et des conditions aux limites choisies [32].

1.3.2 Conclusions sur les modèles numériques

En électronique de puissance, les équations des composants à semi-conducteurs (transport de charges) couplées à celle de la diffusion de chaleur permettent de connaître la distribution et la dynamique des différents champs (champ électrique, flux de courant, températures, flux de chaleur...) au sein du composant étudié. Dans cette partie, seuls des exemples unidimensionnels ont été présentés par souci de concision, mais ils sont le plus souvent insuffisants pour comprendre le comportement électro-thermique des composants de puissance. Les simulations à deux dimensions spatiales sont largement mises à profit car elles fournissent une description réaliste dans bien des cas (quand les effets tridimensionnels sont de faible

importance) [33]. Cependant, les simulations en trois dimensions restent indispensables quand on s'intéresse à la distribution spatiale des grandeurs thermiques [34] qui interviennent dans tout le volume du composant, en particulier en cas de surcharges longues ou répétées. D'autres approches alternatives couplant simulations 2D électro-thermique et 3D thermique ont aussi pu être proposées et donnent un compromis intéressant entre vitesse et précision [35, 36]. Malgré l'avantage de s'adapter à de nombreux problèmes et de nombreuses géométries, une difficulté majeure réside dans le fait que les approches numériques imposent une utilisation en ressources de calcul importante ou une mise en place laborieuse.

1.3.3 Modélisation compacte

La modélisation compacte est décrite comme suit d'après Gildenblat [37] (traduit de l'anglais) : « Les modèles d'éléments de circuit suffisamment simples pour être incorporés dans un simulateur de circuit et suffisamment précis pour donner un résultat utile aux concepteurs de circuits sont appelés compacts ». Habituellement, la modélisation compacte se positionne comme une approche globale qui traite le comportement physique général d'un système. Les propriétés électro-thermiques sont regroupées pour définir un modèle plus ou moins complexe qui est une représentation équivalente et moyennée du système. C'est une approche communément employée en électronique pour définir le comportement d'un composant grâce à un modèle électro-thermique compact lié au fonctionnement de la puce à semi-conducteur, et un modèle thermique compact lié à la puce à semi-conducteur et au chemin dissipatif du boîtier. On peut considérer qu'un modèle compact électro-thermique est construit à partir d'un modèle électrique dépendant de la température qui permet de calculer les grandeurs électriques (courant, tension) et d'un modèle thermique pouvant aussi dépendre de la température et qui permet de calculer le flux thermique et la température d'un système. Le couplage des deux parties est l'étape clé qui consiste à faire communiquer toutes ces grandeurs entre elles pour faire de la simulation multi-physique.

L'élaboration d'un modèle électrique dépendant de la température pour la partie active du composant est la première étape de la modélisation compacte.

1.3.3.1 Modèles compacts électriques

Ce type de modèles consiste en une expression (ou un ensemble d'expressions) analytique représentant la tension aux bornes du composant en fonction du courant et de la température. Cette forme de modélisation est dite « compacte » car elle permet de réduire la structure complexe du composant à un comportement physique global représenté par une relation mathématique et pouvant être associé à un circuit électrique comme sur la figure 1.8). Türkes [38], et plus récemment Hanini [39] ont montré qu'il était possible de recourir à une version simplifiée mais fidèle d'un composant afin de réduire les temps de simulation et de prédire leur comportement électro-thermique pour différentes topologies. La précision de leurs modèles reste très satisfaisante comparée aux résultats expérimentaux tout en maintenant des temps de calcul réduits.

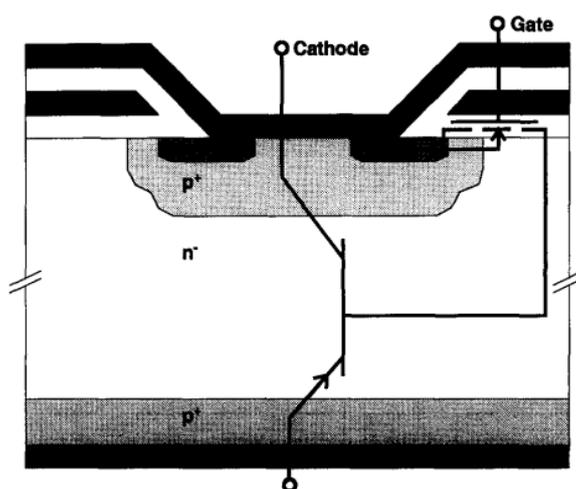


Figure 1.8 – Schéma d'une puce IGBT (Insulated-Gate Bipolar Transistor)

Puce IGBT et son modèle électrique équivalent. Tiré de [38].

Le modèle permet néanmoins de décrire un ensemble de mécanismes complexes mis en jeu dans la physique des semi-conducteurs (recombinaisons, générations, stockage de charges...) [37]. Ce modèle mathématique peut être issu de lois physiques (avec parfois des approximations des formes analytiques complexes) utilisant des propriétés physiques comme paramètres. Mc Nutt et al. ont par exemple développé un modèle physique pour simuler et prédire le comportement de composants de puissance à base de carbure de silicium (SiC) [40]. De même, Zhu a pu mettre en place un modèle analytique physique pour des diodes de re-

dressement JBS (Junction Barrier Schottky) en SiC basé sur une expression tenant compte de sa géométrie [41]. Ces méthodes ont montré des résultats intéressants, bien qu'imparfaits, même pour des composants dont la structure reste simple. Ceci implique que des phénomènes n'ont pas été pris en compte dans les lois physiques utilisées, soit par approximation, soit par méconnaissance. Ces lois peuvent aussi être empiriques, entièrement basées sur l'ajustement de courbes simulées avec les courbes expérimentales en utilisant des fonctions mathématiques sans lien avec la physique [42]. Sadi et al. [43] ou encore Melczarsky et al. [44] ont modélisé le comportement non linéaire de transistors de puissance grâce à des modèles dont les paramètres ont été obtenus à partir de mesures expérimentales. Les modèles proposés permettent de calculer les caractéristiques de différents transistors, mais les paramètres, relativement nombreux, doivent être réextraits pour tout autre nouveau composant. Finalement, les modèles peuvent aussi être semi-empiriques (paramètres physiques ajustés grâce à des mesures expérimentales). Comme l'ont fait Liu et al. [45], il est possible d'utiliser une forme analytique puis d'ajuster les courbes expérimentales et calculées en faisant varier les paramètres physiques de façon itérative. Il existe plusieurs méthodes pour extraire les paramètres, mais elles ne donnent pas toujours les mêmes valeurs pour un composant donné.

Un modèle empirique peut s'avérer plus simple en matière de calcul et moins complexe à mettre en place mais n'est généralement pas applicable à différents composants ou sur des plages de fonctionnement très larges. Les modèles physiques, au contraire, peuvent souvent s'appliquer de façon plus générale mais nécessitent en contrepartie toutes les informations sur la structure. Entre les deux, les modèles semi-physiques s'appuient sur des lois physiques dont les paramètres sont déterminés par l'expérience ou la simulation. La précision, les temps de calculs, la versatilité et les informations technologiques à disposition déterminent le choix du modèle électrique compact.

Des travaux ont prouvé qu'il était possible de distribuer ce genre de modèles compacts à la surface active d'un composant pour décrire localement son comportement électrique [46, 47]. Belkacem et al. ont suivi cette approche et ont divisé une puce en silicium en quatre cellules contenant un modèle compact et ayant chacune un courant différent la traversant en fonction de la température et de la tension lo-

cales [48]. Moussodji a également mis en place un réseau de modèles compacts d'IGBT connectés entre eux en parallèle pour modéliser une unique puce en trois dimensions [49].

D'après Türkes [38], la deuxième étape dans l'élaboration d'un modèle électro-thermique compact est le choix d'un modèle thermique compact. Nous l'aborderons dans la sous-section suivante.

1.3.3.2 Modèles compacts thermiques

Le modèle compact thermique permet de représenter le transport de chaleur dans le composant en fonction du temps. Le choix d'un modèle thermique modélisant fidèlement la structure simulée est essentiel. Aussi bien la partie en semi-conducteur que le boîtier du composant jouent un rôle dans la dissipation de chaleur et doivent y figurer. Les industriels s'attachent notamment à connaître la température de la partie active du composant (généralement qualifiée de température de jonction, *i.e.* la température maximale, relevée au niveau de la jonction du semi-conducteur). De fait, l'effet des variations (spatiales et temporelles) de la température sur les propriétés et le comportement électro-thermiques ne peut généralement pas être négligé.

Dans le principe, le modèle compact thermique dynamique est construit à partir d'un réseau de résistances et de condensateurs (RC) modélisant les propriétés de résistance et de capacité thermiques du composant grâce à l'analogie des grandeurs électriques et thermiques. Ainsi, le flux thermique correspond à un courant électrique (par exemple 1 A équivaut à 1 W) et la température est associée à la tension (par exemple 1 V équivaut à 1 K). Mathématiquement (domaine de la synthèse des réseaux s'appuyant sur la théorie des graphes), il a en effet été démontré que l'on peut définir un réseau RC électrique pour modéliser le comportement thermique d'un domaine [50, 51]. Toute l'extension mathématique de la synthèse des réseaux passifs n'est pas décrite dans ce manuscrit, mais le lecteur peut se référer au développement proposé par Guillemain [50] pour plus de détails. Des approches en régime stationnaire existent mais ne permettent pas, par définition, de rendre compte du comportement dynamique du composant de puissance [52–54]. Cependant, elles ont permis d'appuyer la réalisation d'autres modèles prenant en compte

les phénomènes transitoires [54–57].

Dans sa version la plus simple, le réseau est constitué d'une seule cellule RC avec une résistance et un condensateur connecté à une source de tension continue modélisant la température ambiante, ou température de référence (voir figure 1.9). Un flux thermique (en réalité un courant électrique) P_1 est injecté au nœud 1. Grâce à la source de tension continue modélisant la température ambiante, la température au nœud 2 est connue ($T_2 = T_{amb}$) et T_1 peut être évaluée connaissant la tension entre ce nœud et la masse du circuit.

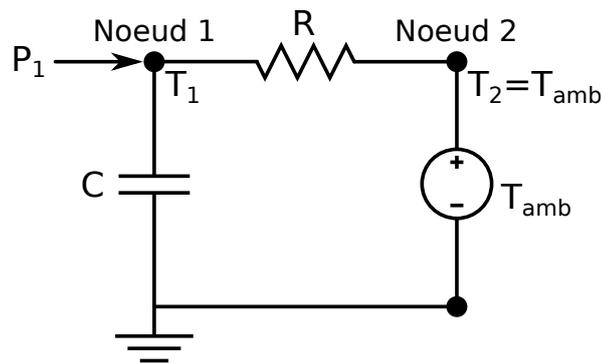


Figure 1.9 – Simple cellule thermique RC

Une source de chaleur P_1 entre au nœud 1. Les températures T_1 et T_2 peuvent être calculées à partir des tensions aux bornes des éléments du circuit.

Dans tous les cas, cette approche unidimensionnelle intègre l'hypothèse que les conditions aux limites sont uniformes et que, seule la température de jonction présente un intérêt. Dans la pratique, plusieurs impédances thermiques sont généralement nécessaires. Pour connaître la température maximale de jonction, l'impédance totale doit prendre en compte la diffusion de chaleur tridimensionnelle du composant (géométrie) et les conditions de refroidissement aux limites du boîtier (avec ou sans dissipateur par exemple) [58]. L'effet de cette multiplicité de constantes de temps (produit des valeurs des résistances et des capacités) a par exemple été observé par Sofia [59]. La figure 1.10 est celle qu'il a obtenue pour une structure unidimensionnelle contenant trois couches de matériaux aux propriétés différentes modélisées par trois cellules RC en réponse à une variation instantanée de puissance dissipée.

Cet effet peut être pris en compte en sommant les contributions liées à chaque constante de temps. Il est ainsi possible d'étager l'effet thermique de chaque partie du composant et de définir des modèles thermiques « 1D » en réseaux [60–62]. Dans

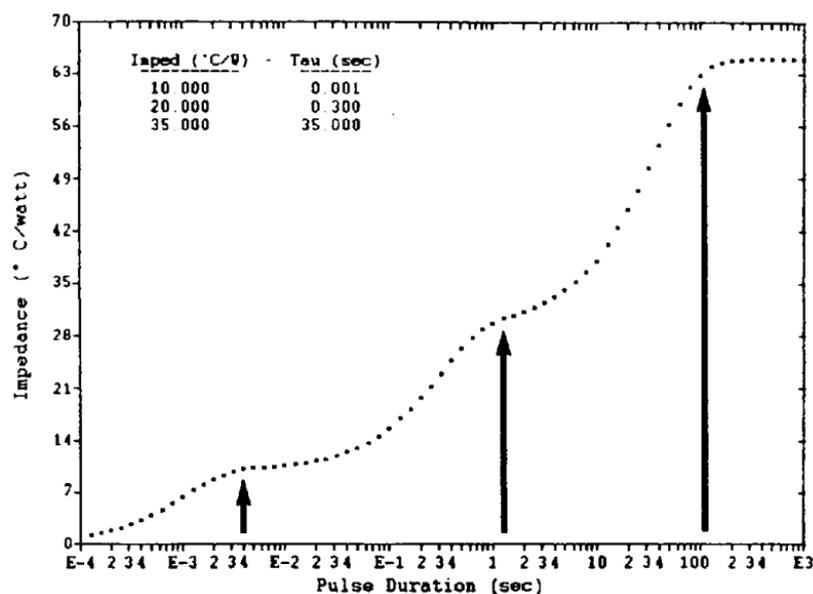


Figure 1.10 – Exemple de réponse transitoire d'impédance thermique

Impédance thermique d'une structure à « trois étages » de matériaux de propriétés différentes. Les trois plateaux observés s'expliquent par l'équilibre thermique successif atteint par chaque matériau. Tiré de [59].

ces travaux, les auteurs ont réussi à reproduire de façon précise l'évolution de la température de jonction, voire de la température de chaque étage, des composants étudiés.

Les deux réseaux utilisés sont soit celui de Foster soit celui de Cauer. Ces réseaux représentent les approches les plus largement utilisées dans le cadre de cette modélisation « par étage ». Ils consistent en la mise en série de cellules RC comme montré en figure 1.11. Les paramètres RC du modèle sont extraits (expérimentalement, ou par simulations 1D, 2D ou 3D) de l'analyse transitoire de l'impédance thermique [63–66]. Un tel réseau permet de calculer la température en différents points, ce qui revient à résoudre le problème de façon matricielle avec des flux thermiques et des températures à chaque nœud.

Malgré des résultats satisfaisants, des différences existent, chaque type de réseau ayant ses avantages et ses inconvénients. Le réseau de Foster (voir figure 1.11.a) permet une extraction de ses constantes de temps simplifiée car on peut le modéliser à partir d'une somme d'exponentielles dépendantes des paramètres RC de chaque cellule. En revanche, s'agissant d'une représentation purement mathématique, les valeurs des résistances et des capacités peuvent être négatives, ce qui

ne permet pas de leur donner une signification physique. Au contraire, l'ajustement de la courbe transitoire de l'impédance thermique peut être plus difficile pour un réseau de Cauer (voir figure 1.11.b), bien que des méthodes d'extraction aient été développées (en particulier en convertissant les paramètres du réseau de Foster vers celui de Cauer) [67]. Dans le réseau de Cauer, les résistances et les capacités conservent cependant une signification physique du système car elles prennent les valeurs liées aux propriétés physiques du matériau, et chaque nœud du réseau correspond à une position géométrique réelle. De ce fait, ce réseau peut être simplement construit connaissant la structure à modéliser et les propriétés physiques du matériau.

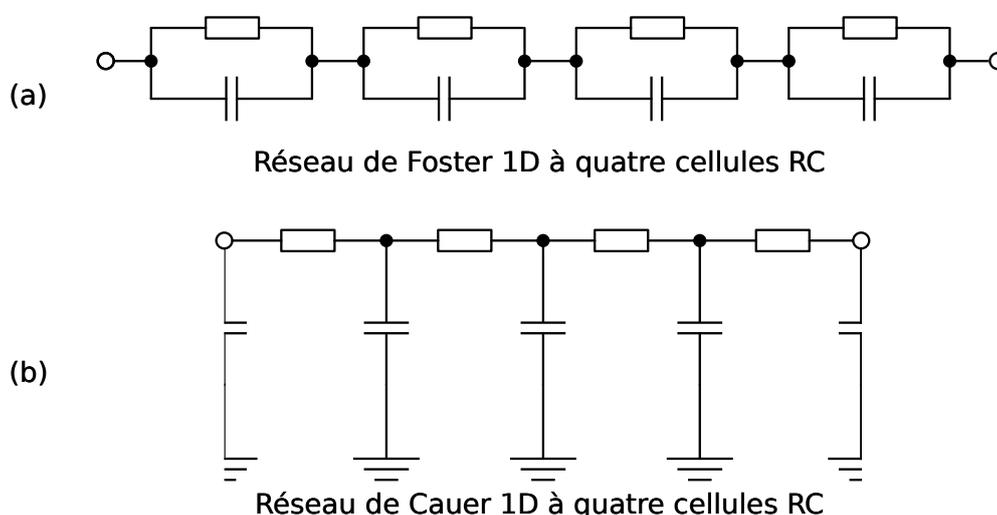


Figure 1.11 – Représentation de réseaux thermiques RC

(a) Réseau de Foster et (b) réseau de Cauer en une dimension et composés arbitrairement de quatre cellules chacun. Pour le réseau de Cauer, un condensateur contribue à la capacité thermique de deux cellules, d'où les demi-condensateurs schématisés.

D'autres études ont pu étendre cette approche en trois dimensions et modéliser la diffusion thermique dans un volume. Sullivan et al. ont pu créer un modèle compact 3D pour un module Peltier dans un boîtier et ont réduit les temps de simulation de 430 % par rapport à un logiciel de simulation par volumes finis [68]. Fukahori a créé un programme associant des modèles thermiques 3D pour une puce semi-conductrice en la partitionnant en plusieurs cellules et en mettant des conditions aux limites pour modéliser le boîtier [69]. Castellazzi et al ont modélisé la dissipation de chaleur d'un substrat sur lequel reposait une puce IGBT agissant comme source de chaleur [70]. Chvála et al. ont quant à eux découpé une puce d'un MOSFET en 64

entités et placé des sources de chaleur entre la zone épitaxiée et le substrat puis configuré ce maillage pour réaliser un réseau de Cauer en trois dimensions [71].

Il est à noter que la modélisation thermique à partir de modèles analytiques existe également. Elle consiste à résoudre de façon analytique l'équation de la chaleur. Cette méthode de modélisation n'est pas présentée car elle n'est réalisable que pour des structures simples et un nombre de sources limité. Malgré la rapidité des calculs, les solutions de l'équation peuvent en effet devenir trop complexes [72]. Elle n'est donc pas adaptée à une configuration où de la chaleur est générée dans tout le domaine par effet Joule, comme c'est le cas dans un composant de puissance.

La dernière étape pour l'élaboration d'un modèle électro-thermique est le couplage de ces deux domaines de la physique. Ce point est abordé dans ce qui suit.

1.3.3.3 Couplages électro-thermiques

Jusqu'à présent, la partie électrique et la partie thermique ont été présentées de façon distincte. Pour réaliser une simulation électro-thermique, il faut coupler les deux disciplines. Les équations constitutives électro-thermiques couplées sont [73] :

$$\begin{Bmatrix} I \\ P \end{Bmatrix} = \begin{bmatrix} K_e(T) & K_e^{VT} \\ 0 & K_{th} \end{bmatrix} \begin{Bmatrix} V \\ T \end{Bmatrix} + \begin{bmatrix} C_e(T) & 0 \\ 0 & C_{th} \end{bmatrix} \begin{Bmatrix} \dot{V} \\ \dot{T} \end{Bmatrix}, \quad (1.16)$$

où I représente le courant, P la puissance dissipée, V la tension électrique, T la température, K_e la conductance électrique, K_e^{VT} le coefficient de couplage de Seebeck, C_e la capacité électrique, K_{th} la conductance thermique et C_{th} la capacité thermique. Toutes ces grandeurs sont en réalité des tenseurs généralisables dans un repère à trois dimensions spatiales. La résolution d'un tel système peut se faire par deux méthodes de couplage, la méthode directe, qualifiée aussi de couplage fort, ou la méthode de couplage par relaxation ou couplage faible (voir figure 1.12) [74].

Le couplage direct (ou couplage fort) utilise un unique simulateur pour résoudre le système d'équations couplées entre les parties électrique et thermique. Toutes les équations sont résolues simultanément en tenant compte des effets thermiques sur les propriétés des matériaux. On peut ensuite remonter aux distributions de toutes les grandeurs mises en jeu. L'avantage principal est qu'une seule itération

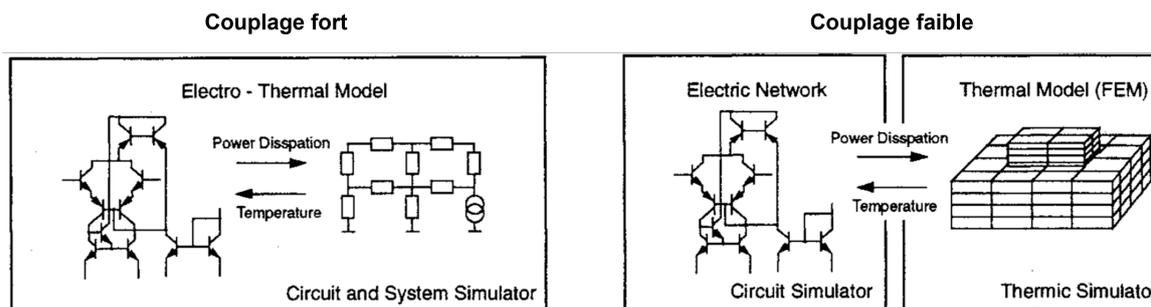


Figure 1.12 – Schématisation des couplages électro-thermiques.

Exemple de couplages électro-thermiques fort (à gauche) et faible (à droite). Tiré de [74].

est nécessaire pour résoudre le système. Quand celui-ci présente un fort degré de couplage électro-thermique, cette méthode est la plus robuste [75]. De plus, un seul simulateur est nécessaire ce qui réduit les coûts en logiciel en plus de simplifier le travail des concepteurs en restant dans un seul environnement qu'ils maîtrisent.

Le couplage par relaxation (ou couplage faible) consiste à considérer deux systèmes distincts pour les parties électrique et thermique en couplant deux simulateurs dédiés respectivement à l'un et à l'autre. Cette méthode tient en deux étapes :

- Le simulateur thermique calcul une température $T(t)$ à partir de la puissance instantanée dissipée $P(t)$ du modèle électro-thermique, et de l'impédance thermique $Z_{th}(t)$ du modèle thermique au temps t telle que :

$$T(t) = P(t) \times Z_{th}(t) + T_{ref}, \quad (1.17)$$

où T_{ref} est la température de référence.

- Le simulateur électrique évalue le courant, la tension et la puissance à la température précédemment calculée.

Ces étapes sont réalisées itérativement et les deux simulateurs échangent, à chaque pas de temps, température (utilisée par le modèle électrique) et puissance dissipée (pour calculer la température). L'expression mathématique de cette approche est l'annulation des termes hors de la diagonale principale (ici K_e^{VT}) de l'équation (1.16) qui porte l'interaction électro-thermique.

Les avantages du couplage faible sont sa mise en œuvre aisée, sa flexibilité (utilisation de différents outils pour chaque physique modélisée) et sa vitesse de convergence pour des problèmes faiblement couplés. Le principal désavantage est

sa faible convergence pour des cas où le couplage électro-thermique est fort le pas de temps de simulation réduit qui est requis. En outre, la possibilité d'avoir un maillage par outil permet, dans l'idéal, d'adapter les densités de mailles en fonction des besoins mais rend leur interfaçage complexe et lourde (interpolation des données) [76].

Au laboratoire ICube [77, 78], un simulateur permettant un couplage fort a été développé. Il consiste en l'association des modèles déjà abordés précédemment, à savoir : des modèles compacts électriques distribués dans l'espace et dépendants de la température dans la partie active, et un réseau thermique 3D de cellules RC de Caer dans le volume (circuit intégré et environnement). Cette association forme un circuit électro-thermique dont le comportement est résolu grâce à un simulateur classique de type SPICE (Simulation Program with Integrated Circuit Emphasis), traitant aussi les échanges thermiques grâce à la généralisation des lois de Kirchhoff employées en Verilog-A. Verilog-A est l'un des deux principaux langages avec VHDL-AMS, qui est utilisé pour modéliser des circuits par des simulations de type SPICE. Nous en parlons plus en détail dans le chapitre suivant. À partir du layout et d'une estimation des densités de puissance maximales, le maillage de la structure à simuler est réalisé. Ce maillage est automatisé en s'adaptant aux zones d'influences (régions de forts gradients thermiques). Le réseau électro-thermique est construit en trois étapes.

La première consiste à créer un sous-réseau électro-thermique formé par des modèles électriques compacts, convertis en modèles électro-thermiques grâce à l'ajout d'un nœud thermique (Th) à l'instance Verilog-A, comme le montre la figure 1.13. La conversion est réalisée en ne considérant plus une température fixe (syntaxe « \$temperature ») mais une grandeur calculée dynamiquement au cours de la simulation (syntaxe « Temp(Th) »), au même titre que les tensions et les courants du modèle électrique initial. De plus, l'instance génère maintenant de la chaleur à travers ce port thermique, par le produit du courant et de la tension, qui alimente en flux thermique le sous-réseau thermique (syntaxe « Pwr(Th) <+ - Ids*Vds »).

Ces modèles sont distribués sur une surface et connectés entre eux conformément au layout du circuit grâce à des scripts SKILL¹. Ils forment alors un sous-

1. Le SKILL est un langage de programmation utilisé dans l'environnement Cadence® pour contrôler, automatiser et personnaliser des procédures.

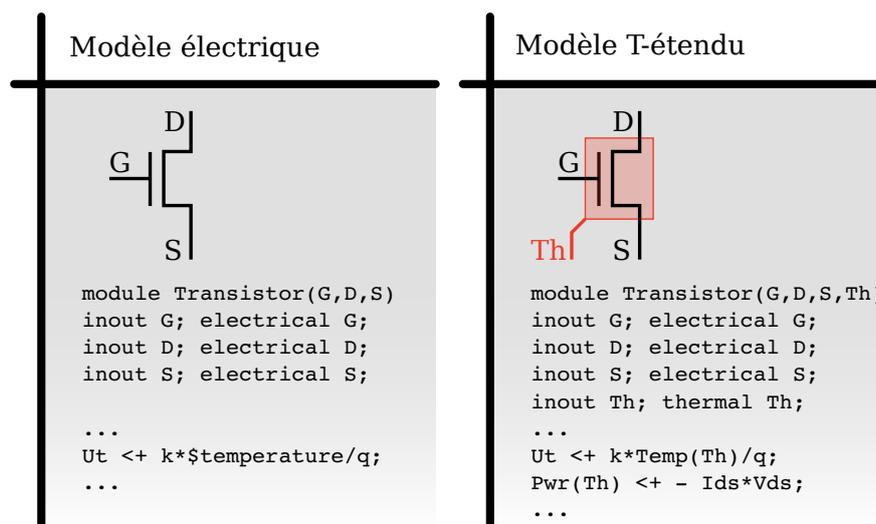


Figure 1.13 – Conversion d'un modèle électrique de transistor vers un modèle « T-étendu »

À gauche, un modèle compact électrique de transistor Verilog-A et, à droite, sa conversion en un modèle électro-thermique où un nœud thermique (Th) a été ajouté. La température, qui n'est maintenant plus fixe, est prise en compte dans le calcul des grandeurs électriques à chaque pas de temps. Le transistor dissipe en plus de la chaleur par le nœud Th.

réseau électro-thermique modélisant les régions actives et agissant comme sources de chaleur sur cette surface.

Un sous-réseau thermique formé de cellules RC de Cauer en trois dimensions est ensuite créé et associé au maillage dans un volume définissant la puce (voir figure 1.14). Sa modélisation est réalisée en attribuant directement les propriétés physiques réelles aux cellules.

Finalement, les deux sous-réseaux sont couplés avec des « cellules de couplage » qui distribuent les flux de chaleurs générés par chaque instance électro-thermique (vers le réseau de Cauer) et moyennent la température réutilisée dans ces mêmes instances (voir figure 1.15).

Ainsi la combinaison des circuits électrique et thermique a été réalisée avec succès et a démontré ses capacités sur les plans de la précision, de la vitesse et de l'évolutivité, même avec plusieurs sources de chaleur. Les informations électro-thermiques locales (courants et températures par exemple) ont pu être obtenues et comparées à des résultats de simulations par éléments finis et à des données expérimentales. Le simulateur est capable d'identifier les localisations des défaillances d'origine électrique, thermique et mécanique en plus de réduire les temps de simula-

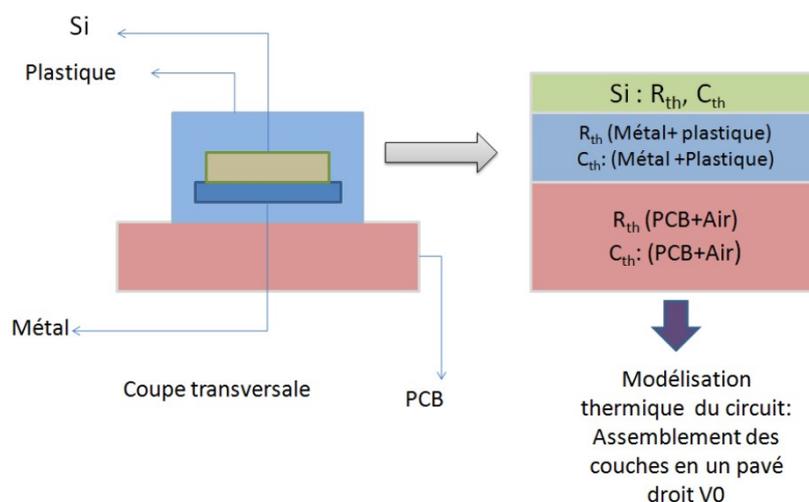


Figure 1.14 – Modélisation thermique d'un circuit composé de plusieurs couches

Représentation d'une puce 3D dans son boîtier monté sur un PCB et sa modélisation thermique formée par un assemblage de différentes couches. Tiré de [78].

tions comparés aux méthodes numériques conventionnelles (MEF...) [77]. Comme le montre le chapitre 2 de ce manuscrit, notre travail tire partie des connaissances déjà acquises avec cette approche pour l'étendre à la thématique des composants de puissance.

Conclusions sur les modèles compacts

La modélisation compacte permet une mise en place flexible et fidèle. Pour la partie électrique, elle peut être aussi simple que l'expression de la loi d'Ohm pour une résistance ou aussi complexe que nécessaire pour des composants (ou des ensembles de composants) aux comportements fortement non linéaires. Pour la partie thermique, le choix est laissé quant au nombre de cellules RC utilisé pour représenter rigoureusement le comportement du composant. Les temps de calculs sont minimisés en comparaison avec les méthodes numériques conventionnelles et la description du comportement électro-thermique est très bonne [40, 79–81].

Souvent utilisés pour déterminer le comportement global d'un composant ou d'un système, nous avons vu que les modèles compacts pouvaient être distribués dans l'espace pour décrire un comportement local [49, 72, 77, 78]. Les modèles électriques dépendants de la température peuvent être utilisés pour modéliser une zone active alors que, dans le même temps, un réseau thermique RC décrit la diffusion de chaleur dans le boîtier et la puce. Connaissant les propriétés électro-thermiques des

1.4. Conclusions sur la défaillance et la simulation électro-thermique des composants de puissance

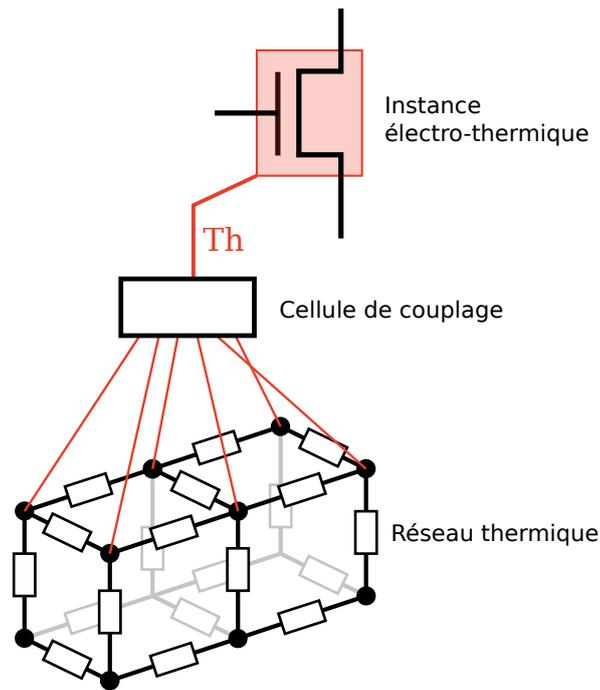


Figure 1.15 – Exemple d'une cellule de couplage

Cellule de couplage reliant une instance électro-thermique à deux éléments thermiques. L'instance électro-thermique génère de la chaleur transmise par la cellule de couplage au réseau thermique et reçoit la température moyenne (Th) des six nœuds de ce même réseau.

matériaux, on peut ainsi prédire les origines des défaillances (focalisation des densités de courants, localisation des points chauds...) et optimiser le composant en conséquence.

1.4 Conclusions sur la défaillance et la simulation électro-thermique des composants de puissance

L'objectif de l'étude des composants de puissance dans lequel ce travail s'inscrit impose de comprendre et d'observer des phénomènes de façon locale. En effet, les élévations de température et les densités de puissance importantes générées amènent à des défaillances dues à des phénomènes électro-thermiques localisés. La caractérisation des composants avant et après la défaillance est coûteuse et requiert du temps, c'est pourquoi, comme dans bien des domaines, la simulation numérique est la voie privilégiée. Toutes les méthodes de simulation ne sont pas équivalentes. Les modèles numériques ont l'avantage d'être adaptables à de nom-

breux cas d'étude et donnent probablement les résultats les plus précis mais restent, presque invariablement, longs et complexes à mettre en place. D'un autre côté, l'approche utilisant les modèles compacts permet d'avoir des résultats fiables et une mise en place simple, mais ne donnent généralement pas accès aux informations locales précises. En réalité, les travaux du laboratoire ICube ont mis en avant qu'une distribution des modèles compacts électriques et thermiques dans l'espace permettait d'aller contre cet *a priori* et de représenter le comportement électro-thermique local de composants électroniques en trois dimensions, en particulier en réalisant un couplage fort entre les deux sous-circuits dans un unique simulateur. Cet outil est utilisé comme point de départ pour ce travail de thèse, comme nous le verrons dans la suite de ce manuscrit.

Chapitre 2

Adaptation de l'outil de simulation électro-thermique

Résumé

Ce deuxième chapitre s'attache à présenter l'outil qui a été développé et le principe de l'approche. La génération du maillage et la façon dont l'intégration de l'outil est réalisée dans l'environnement Cadence® sont ensuite expliquées. La prise en compte du boîtier et ses enjeux sont détaillés avant de se pencher sur son implémentation au sein de l'outil. Enfin, notre approche est comparée avec les méthodes de simulation plus traditionnelles.

2.1 Rappel de l'approche de simulation choisie et du cahier des charges de l'outil

Pour rappel, l'outil développé doit répondre à plusieurs besoins :

- Pouvoir réaliser une simulation à partir d'un layout. Ainsi, l'outil doit permettre l'étude rapide de l'influence d'une modification du layout sur le comportement électro-thermique d'un composant de puissance. En l'intégrant dès la réalisation du layout, il peut être utilisé pour tous types de composants de puissance. En utilisant notre approche, les zones à fortes densités de courant et les points chauds peuvent être identifiés pour optimiser la conception du composant.
- Être utilisable grâce à une interface graphique simple et intuitive. Une volonté forte de notre travail est de développer un outil simple d'usage ne nécessitant pas de connaissances particulières en simulation numérique.
- Être réalisé dans un seul environnement. Ce point émane de la nécessité de réaliser un couplage électro-thermique fort en plus de permettre aux utilisateurs de concentrer leur expertise sur un seul outil. D'un point de vue financier, l'utilisation d'un unique environnement permet en plus de limiter les dépenses en logiciel.

Rappelons également les choix concernant l'approche développée en elle-même pour répondre à la problématique de la modélisation électro-thermique de composants de puissance. Parmi les méthodes de modélisation existantes, nous nous sommes tournés vers des modèles compacts physiques et semi-physiques pour décrire le comportement électrique. Un modèle compact thermique est également utilisé pour décrire la diffusion de la chaleur grâce à la représentation de Cauer. Ces choix découlent des travaux réalisés au laboratoire ICube [77, 78] dans lesquels on a montré que ces modèles pouvaient être répartis dans tout le domaine d'étude. Ainsi est formé un réseau électro-thermique complet comprenant un sous-réseau électrique dépendant de la température et un autre thermique. Avec cette approche distribuée, le comportement local peut être analysé, comme avec les méthodes de résolution numérique du type éléments finis (MEF, MDF, MVF...), mais sans avoir à résoudre les équations des composants à semi-conducteurs pour déterminer le

courant de jonction. Nous montrons dans ce chapitre comment cette approche a été adaptée à la simulation de composants de puissance.

Dans le détail, le principe de l'approche utilisée, le fonctionnement du mailleur¹, l'intégration de l'outil dans l'environnement Cadence® et enfin celle de l'intégration des boîtiers seront expliqués.

2.2 Outil de simulation électro-thermique

2.2.1 Principe de l'approche développée

2.2.1.1 Principe général

L'étude des phénomènes électro-thermiques des composants de puissance est un enjeu important et relativement complexe. Les performances d'un composant, son bon fonctionnement ou même sa durée de vie dépendent largement des conditions électriques et thermiques qu'il subit, comme le chapitre précédent a permis de le souligner. Les caractérisations expérimentales sont rendues difficiles par la présence du boîtier car l'on souhaite généralement accéder aux localisations de différentes grandeurs, dont la température, sans dénaturer le produit testé. Cela requiert des moyens très spécifiques (thermographe à haute résolution par exemple). La simulation numérique est, de fait, la voie privilégiée pour réaliser ces études.

En revanche, toutes les méthodes de modélisation ne sont pas équivalentes, ni en précision, ni en temps de calcul. Les analystes cherchent généralement à utiliser plusieurs méthodes différentes quand elles sont complémentaires, ou à élaborer des méthodes alternatives cherchant à trouver le meilleur des compromis. Nous avons opté pour cette seconde option en proposant une approche, introduite dans le chapitre 1, celle des modèles distribués. Fort de l'expérience accumulée au laboratoire ICube et en considérant les avantages et les inconvénients des approches présentées dans ce premier chapitre, reprendre l'approche de M. Garci et de J-C Krencker pour la réadapter à notre domaine d'étude semble pertinent. Les preuves d'efficacité du simulateur développé par ICube dévoile un champ d'appli-

1. Pour simplifier le discours, le terme « mailleur » est utilisé dans ce manuscrit pour nommer l'outil permettant de générer le maillage d'une structure, bien qu'aucun dictionnaire ne lui prête réellement cette signification.

cation pour les composants de puissance concernant les problématiques électro-thermiques, ou électro-thermo-mécaniques. En comparaison avec les simulations par éléments finis nécessitant une finesse de maillage parfois extrême ou avec les méthodes analytiques (pour la partie thermique) qui sont difficilement applicables pour un grand nombre de sources de chaleur, l'approche du laboratoire ICube se pose comme un compromis favorable. Cette approche de modélisation compacte distribuée concorde avec la volonté de développer un outil simple et rapide pour réaliser des simulations électro-thermiques. Ayant à disposition l'ensemble des données technologiques de chaque composant et voulant un outil prédictif, des modèles physiques, voire semi-physiques, sont retenus pour la partie électrique dépendante de la température. Pour les mêmes raisons, une modélisation de la partie thermique via un réseau RC de Cauer, comme déjà proposé par ICube, est la plus pertinente. Enfin, le choix d'un couplage direct est le plus naturel du fait que l'interaction électro-thermique soit forte dans les composants de puissance et que le développement d'un outil de simulation dans un environnement unique (Cadence®) fasse partie du cahier des charges initial. Pour mettre en application cette approche, un processus s'appuyant sur le cahier des charges initial a été proposé. Ce processus est exposé ici avant de préciser dans les détails comment cette approche est mise en place au cœur de l'outil dans la modélisation des composants de puissance.

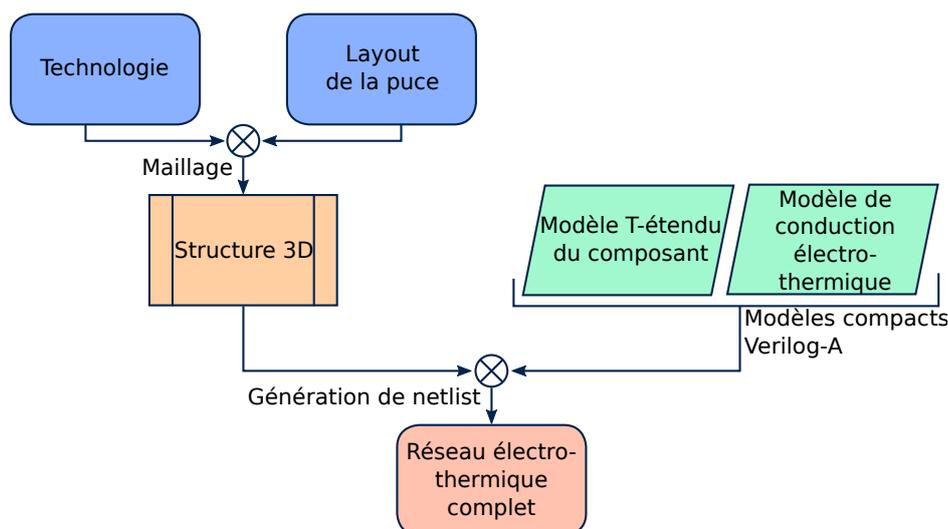


Figure 2.1 – Principe de construction d'un réseau électro-thermique

La structure en 3D est générée à partir des données du composant. Les modèles compacts en Verilog-A sont distribués dans cette structure. L'ensemble forme un circuit électro-thermique complet grâce à une netlist de type SPICE.

Tout d'abord, le principe général du simulateur peut se résumer par la figure 2.1. La première étape est la lecture du layout de la puce. Celui-ci rassemble le jeu de masques de photolithographie (voir exemple en figure 2.2.a) utilisé pendant toutes les phases de fabrication d'un composant (dépôts, dopage, gravures...) avec les informations technologiques du composant. Il contient les informations concernant les dimensions et la géométrie de la puce, des masques pour les dopages, les contacts ou les passivations. Il sert de point de départ au processus que nous avons développé pour notre outil de simulation.

Les informations du layout sont jointes aux données d'entrée fournies par l'utilisateur à travers une interface graphique (voir sous-section 2.2.3), et traitées par un mailleur externe (présenté dans la deuxième partie de cette section 2.2.2). Ce dernier s'occupe de construire la structure en trois dimensions du composant et de la discrétiser en réalisant un maillage comme celui de la figure 2.2.b.

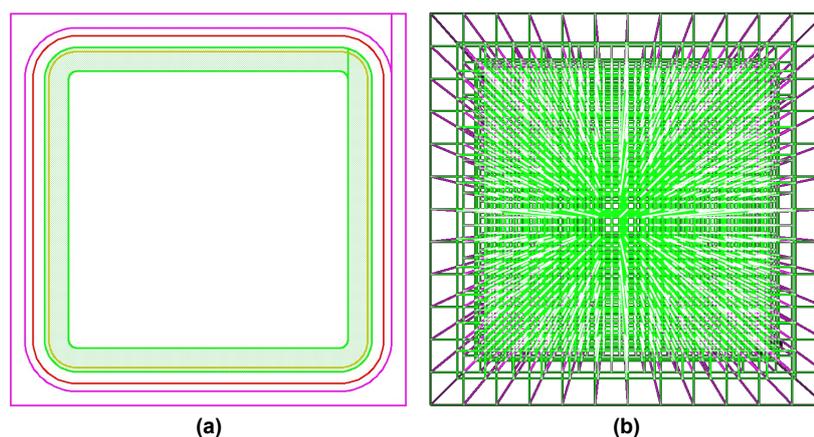


Figure 2.2 – Exemple de layout et de maillage d'une diode Schottky

(a) Layout d'une diode Schottky et ses différents niveaux de masquage. **(b)** Vue de dessus d'un maillage 3D d'une diode Schottky obtenu à partir du layout, avec un maillage plus dense au niveau du contact Schottky (partie centrale).

Les modèles compacts électriques T-étendus de la partie active du composant ainsi que les modèles compacts de conduction électro-thermiques (pour avoir les détails de ces modèles Verilog-A, nous vous renvoyons au chapitre 3) sont alors associés de façon adéquate relativement au maillage et à la technologie étudiée. Cette association est faite grâce à une « netlist² » de type SPICE. Il s'agit de la formalisation d'un circuit électrique (dans notre cas électro-thermique) décrivant les

2. Notez que l'anglicisme « netlist » reste utilisé car il n'a pas de réel équivalent en français. Il pourrait cependant être remplacé par la lourde expression « liste d'interconnexions ».

composants, ou plus généralement les instances (pouvant être une combinaison de plusieurs composants) du circuit.

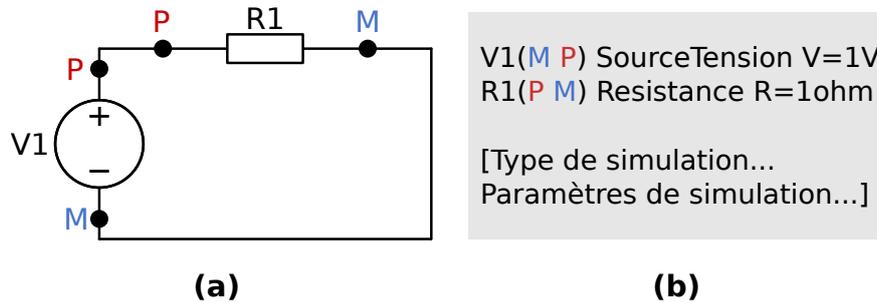


Figure 2.3 – Exemple de circuit électrique et de sa netlist équivalente

(a) Circuit électrique composé d'une résistance connectée à une source de tension et (b) sa netlist équivalente.

On a représenté un circuit électrique formé d'un source de tension et d'une résistance en figure 2.3.a, et sa netlist équivalente est visible en 2.3.b. Dans cette dernière, on retrouve les paramètres dictant les relations entre les ports de chaque instance (tension délivrée par V1 et valeur de résistance de R1), les paramètres de simulation (statique, transitoire, balayage des paramètres des instances...), et la façon dont les instances sont connectées entre elles. On comprend par exemple que les nœuds M (ou P) de V1 et de R1 sont reliés par des fils parfaits.

Cette netlist est ensuite lue par le simulateur de circuit Spectre[®]. Celui-ci, complètement intégré à la suite logicielle de Cadence[®], permet de réaliser des simulations de circuits à partir de leurs netlists. Ce simulateur est parfaitement intégré à notre approche car il permet également de résoudre les équations établies dans les modèles Verilog-A grâce à la généralisation des lois de Kirchhoff sur la conservation des flux et des potentiels.

2.2.1.2 Approche par modèles électro-thermiques distribués

La distribution des modèles électro-thermiques représente le cœur de notre approche. Celle-ci s'appuie sur les travaux précédents réalisés au laboratoire ICube par Jean-Christophe Krencker et poursuivis par Maroua Garci [77, 78]. L'approche a, par ailleurs, été adaptée pour la diffusion au sein de systèmes biologiques [82, 83]. Ces recherches ont permis de produire un outil de simulation électro-thermique dédié aux circuits intégrés. Ces circuits peuvent contenir des millions de composants

électroniques qui doivent supporter des densités de puissance de plus en plus élevées. C'est ainsi qu'est née la nécessité de caractériser par simulation, de façon fiable et rapide, les élévations de température et les contraintes mécaniques qui en découlent. Des méthodes ont permis une réduction drastique des temps de simulation en créant des modèles compacts électro-thermiques de haut niveau (à l'échelle du circuit) à partir de modèles compacts de bas niveau (à l'échelle du transistor). Pour modéliser la partie active, les modèles électriques compacts classiques sont convertis en modèles « T-étendu » par l'ajout d'un port thermique à l'instance de base, purement électrique. Ce nouveau nœud par lequel la température est obtenue, permet aussi d'injecter dans le sous-réseau thermique un flux de chaleur égal à la puissance dissipée par le composant, c'est-à-dire au produit de la tension et du courant. Par conséquent, la température n'est plus une simple constante dans le modèle, mais une variable dont l'évolution est évaluée grâce au réseau thermique associé. Ce réseau thermique est lié au maillage du circuit intégré en associant à chaque élément de volume un modèle thermique. Enfin, les modèles électriques « T-étendu » sont répartis à la surface du maillage (*i.e.* le courant électrique ne circule qu'en surface) pour créer le réseau électrique et les deux réseaux sont joints par les nœuds thermiques de part et d'autre pour coupler les deux physiques entre elles. La construction de ce réseau électro-thermique est schématisée en figure 2.4. En outre, Maroua Garci a montré que d'autres domaines de la physique pouvaient être simulés en ajoutant une contribution mécanique aux phénomènes électro-thermiques déjà modélisés ainsi que la prise en compte du vieillissement des composants [78].

Notre travail s'étant porté sur des composants discrets, les défis ne sont pas tout à fait identiques à ceux de mes prédécesseurs. De fait, nous ne cherchons plus à modéliser le comportement électro-thermique d'un circuit contenant un grand nombre de composants. Au contraire, nous souhaitons représenter un unique composant à partir d'un grand nombre de modèles élémentaires modélisant chacun une région de l'espace. Les outils utilisant la méthode des éléments finis nécessitent une discrétisation spatiale très fine dans la zone de charge d'espace de la jonction d'un composant pour résoudre les équations de transports de charge. L'intérêt de distribuer des composants élémentaires modélisant le comportement de la jonction est de décrire localement le comportement électro-thermique en allégeant cette contrainte. Notons

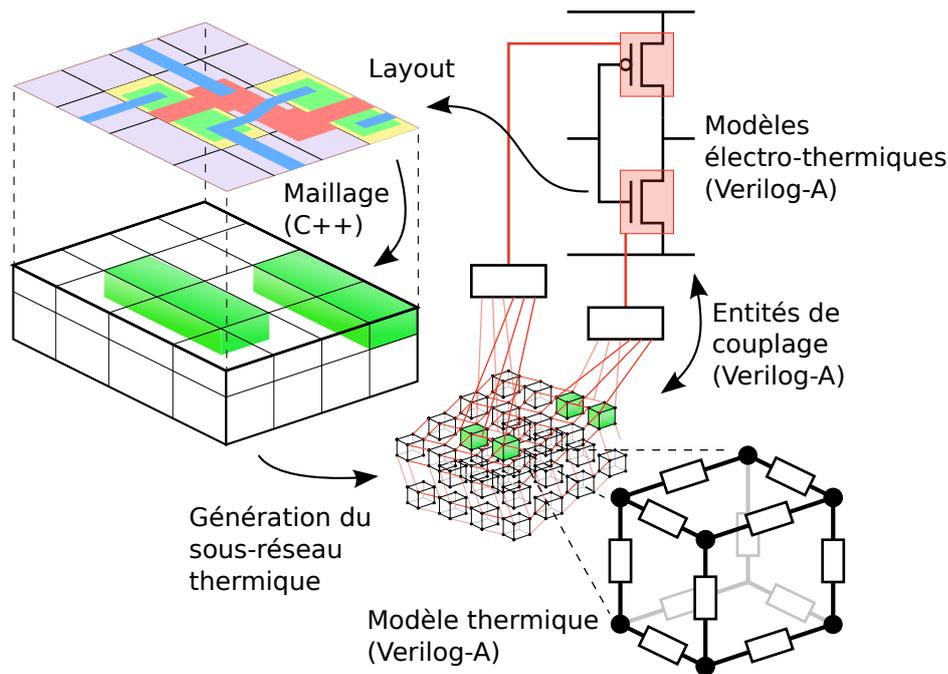


Figure 2.4 – Principe de fonctionnement du simulateur électro-thermique déjà développé

Génération du réseau électro-thermique, à partir du layout, par la connexion de deux sous-réseaux et par leur association au maillage de la structure.

que l'étude du vieillissement et des contraintes mécaniques serait aussi profitable dans le domaine des composants de puissance, mais n'a pas été développée au cours de ce travail de thèse.

Illustrons l'application de l'approche distribuée avec l'exemple d'une puce de diode Schottky (voir figure 2.5). celle-ci est composée d'une partie active possédant un ou plusieurs modèles compacts de diode Schottky distribués à l'interface métal/semi-conducteur. Toutes ces « diodes élémentaires » possèdent chacune un nœud thermique, faisant écho aux modèles « T-étendu », par lequel elles génèrent de la chaleur P et accèdent à la température T localement. De cette façon, la distribution des courants ou des températures n'est pas nécessairement uniforme, laissant place à l'observation d'éventuels points chauds ou de focalisations du courant.

Une autre originalité de nos travaux se situe dans le fait que le milieu semi-conducteur dans lequel diffuse la chaleur n'est pas, par définition, un domaine purement isolant électriquement. La couche semi-conductrice épitaxiée de forte résistivité des redresseurs de puissance est une région où le courant circule et génère beaucoup de chaleur. De ce fait, modéliser uniquement la conduction thermique dans le volume n'est plus suffisant. Il a donc fallu développer un réseau d'élé-

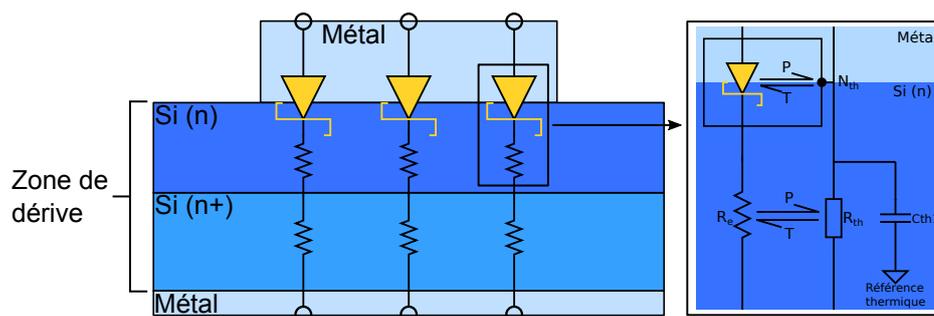


Figure 2.5 – Modèle distribué d'une diode Schottky

Vue en coupe de la structure d'une diode Schottky et son schéma électro-thermique équivalent. Arbitrairement, trois modèles de diode Schottky élémentaires représentent la jonction. Ces diodes sont connectées au réseau électro-thermique associé à la zone de dérive. Les échanges entre les deux sous-réseaux sont représentés par les paires de demi-flèches (partie droite).

ments électro-thermiques pour aussi tenir compte de la conduction électrique et de l'échauffement par effet Joule dans le volume. En effet, la figure 2.5 présente sur sa partie gauche, des symboles de résistance. Ceux-ci sont en réalité (voir partie droite) des instances électro-thermiques constituées de résistances électriques, R_e , et thermiques, R_{th} , et de condensateurs thermiques, C_{th} . Tout comme la partie active de la jonction, le circuit électrique dissipe de la chaleur (dans le volume du semi-conducteur) dans le circuit thermique qui évalue une température locale, elle-même prise en compte dans le calcul des résistances électriques de la zone de dérive du semi-conducteur. Aux extrémités supérieure et inférieure, des conditions aux limites (sources de courant, de tension et de température) peuvent être définies et d'autres matériaux connectés.

Comme déjà annoncé, le réseau RC thermique choisi a la forme d'un réseau de Cauer. Ce dernier est obtenu directement grâce aux valeurs connues de résistivité et de capacité thermiques des matériaux modélisés. Dans la figure 2.5, une seule cellule RC électro-thermique a été schématisée. Cependant, si le circuit réel d'un composant de puissance est une généralisation de ces deux sous-réseaux en trois dimensions (voir figure 2.6) où chaque cellule 3D correspond à une maille de la structure. Une seule face d'un élément 3D en forme de parallélépipède a été représentée pour alléger la figure, mais ce motif est retranscrit selon toutes les autres arêtes (pointillés gris). Les pointillés noirs encadrant deux nœuds électrique et thermique indiquent qu'ils appartiennent géométriquement au même sommet de l'élé-

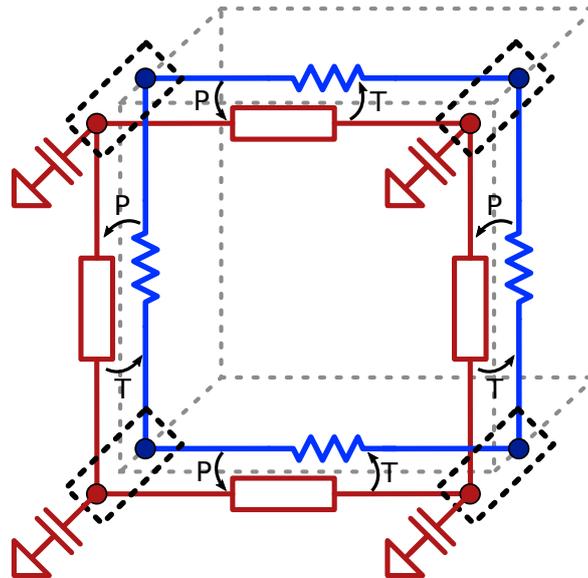


Figure 2.6 – Éléments électro-thermique 3D

Cellule 3D électro-thermique contenant un sous-réseau électrique (bleu) composé de résistances électriques, et un sous-réseau thermique (rouge) composé de résistances, et de capacités thermiques connectés à la référence thermique.

ment. Le couplage électrique–thermique direct est finalement rendu possible par les échanges puissance (P) – température (T) entre les deux sous-réseaux représentés par les flèches noires.

2.2.1.3 Limites de l'approche

Comme toute méthode, l'approche développée garde certaines limitations. Le premier point est que la gestion du maillage, la détermination de la zone active et les connexions dans la netlist sont des tâches complexes. Le type de composant (jonction en surface ou diffusée dans la profondeur), les noms et les formes des niveaux de masques dans le layout ont un effet direct sur la manière dont les zones actives et les positions des conditions aux limites sont détectées par l'outil. Pour automatiser ces procédures, tous les cas de figure doivent être implémentés. Le cas échéant, l'utilisateur doit pouvoir les choisir manuellement. Le modèle en lui-même doit aussi être adapté à la technologie étudiée. Par exemple, une diode à jonction p/n n'a pas un modèle identique à celui d'une diode Schottky. Selon que la polarisation soit directe ou inverse, faible ou forte, les phénomènes physiques mis en jeu ne sont pas non plus les mêmes. Les modèles compacts électro-thermiques implémentés en Verilog-A doivent être valides dans des plages de tests suffisamment vastes en

prenant en compte ces considérations. Il faut alors être pleinement conscient des phénomènes en présence et les modéliser quand c'est nécessaire.

Le deuxième point réside dans les erreurs provenant de l'utilisation du réseau de Cauer en trois dimensions. Il est démontré dans la partie dédiée à la description des instances électro-thermiques du troisième chapitre que le réseau de Cauer distribué est mathématiquement équivalent à une résolution de l'équation de la chaleur par différence finie. Une erreur de troncature du second ordre est donc présente [30]. Par ailleurs, en fonction des cas d'études, des formes des mailles et de la méthode de résolution des systèmes d'équations, la MDF peut être moins efficace que la MEF [84]. La résolution par MDF est néanmoins connue pour être simple à implémenter, bien adaptée aux problèmes en trois dimensions et aux géométries peu complexes comme celles généralement utilisées dans le domaine des composants de puissance. La précision de la MDF reste donc satisfaisante en particulier avec un maillage parallélépipédique tel que celui utilisé dans ce travail [85].

S'orienter vers un schéma de discrétisation en éléments finis peut s'avérer utile et mériterait d'être fait, bien que cela n'a pas pu l'être dans ce travail. Au cours de sa thèse, Élise Rosati a pu comparer les formulations en MDF et MEF pour différents types d'éléments et plusieurs maillages en partant de l'équation de la chaleur et en l'appliquant, par analogie, à la diffusion dans des systèmes biologiques [83]. Elle a montré que, dans tous les cas, les écarts relatifs entre les deux méthodes restent très faibles avec une erreur maximale de 2 %. De plus, les temps de simulation sont plus importants pour la MEF, d'autant plus que le nombre de nœuds augmente, ce qui conforte le choix de la formulation par MDF.

Le principe général de l'approche ayant été expliqué, nous allons détailler sa mise en œuvre et les problématiques qu'elle peut soulever. Le maillage intervient très rapidement et est un point essentiel dans le processus de simulation, c'est pourquoi il est décrit dans la section suivante.

2.2.2 Génération du maillage

Le maillage, comme décrit précédemment, est l'action de discrétiser spatialement un milieu continu par des éléments de dimension une (segments), deux (polygones) ou trois (polyèdres). La finalité du maillage est de simplifier le système étudié

en le découpant en cellules élémentaires de taille définies pour résoudre numériquement les équations voulues. Dans notre cas, il permet de définir la structure complète du composant étudié et sert de support pour distribuer les différents modèles. Ensuite, on affecte les propriétés électro-thermiques des matériaux modélisés par chaque cellule, et on exploite les résultats électro-thermiques dans tout le volume. Le mailleur qui a été utilisé pour nos travaux a été initialement développé dans le cadre des travaux d'Élise Rosati au laboratoire ICube et est maintenant décrit.

2.2.2.1 Description du mailleur

Le mailleur est un programme extérieur à Cadence[®], codé en C++. Celui-ci génère des mailles en forme de pavés droits adaptées aux géométries rencontrées dans les layouts des composants de puissance et simplifiant grandement la distribution des flux dans les modèles Verilog-A de conduction électrique et thermique. La génération du maillage se fait à partir de deux fichiers texte dont la syntaxe répond à des règles précises qui sont automatiquement remplis en fonction des informations de structure et de maillage souhaitées par l'utilisateur de l'outil (voir sous-section 2.2.3.1).

Le premier fichier est dédié à la définition des dimensions totales de la structure à mailler (L_X , L_Y et L_Z) dans les trois directions de l'espace. Il fixe également le nombre initial d'éléments (avant raffinement) selon chaque axe avec n_X , n_Y et n_Z (des entiers chacun supérieur ou égal à 1). Le rapport $\frac{L_X}{n_X}$ donne ainsi la taille maximale que peut avoir une maille dans l'axe X . Par exemple, pour définir un parallélépipède rectangle de $100 \times 100 \times 70 \mu\text{m}^3$ coupé en 3 suivant les axes X et Y et en 2 suivant l'axe Z , on doit produire le fichier présenté à gauche dans la figure 2.7.

Ce premier fichier fixe un maillage régulier servant de point de départ. Comme d'importants gradients (électriques et thermiques) sont observables dans les environs de la zone active d'un composant de puissance et dans les régions présentant des discontinuités de propriétés électro-thermiques, un maillage plus dense est requis localement dans ces zones pour analyser précisément l'évolution du système. Celui-ci peut être affiné localement autant de fois que nécessaire pour décrire finement les phénomènes électro-thermiques s'y produisant. Le mailleur permet de

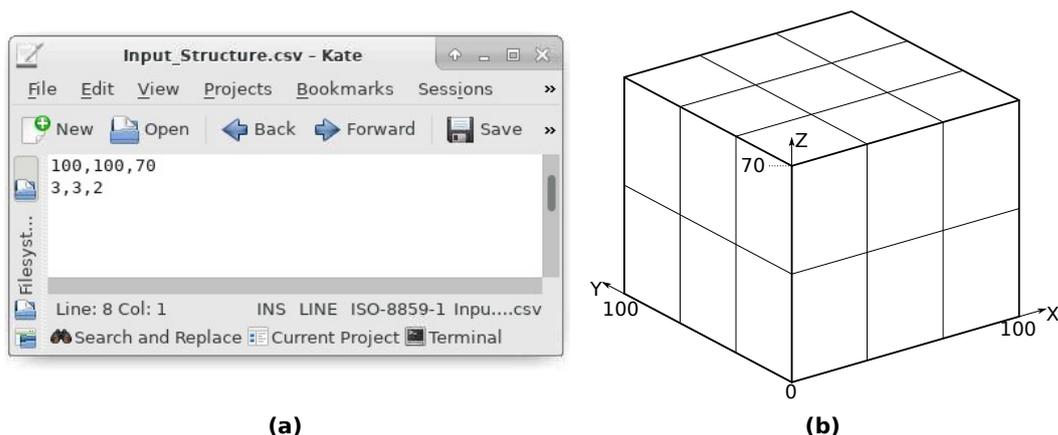


Figure 2.7 – Données de structures utilisées par le mailleur et structure associée

(a) Premier fichier d'entrée définissant la structure (dimensions) dans la première ligne, et fixant le nombre d'éléments initial, dans chaque direction, dans la seconde ligne. (b) Maillage initial correspondant au fichier d'entrée. Les dimensions choisies sont telles que $L_X = 100 \mu\text{m}$, $L_Y = 100 \mu\text{m}$ et $L_Z = 70 \mu\text{m}$. Le maillage est coupé en 3 dans les directions X et Y , et en 2 suivant l'axe Z .

sélectionner des zones de raffinement dans ces régions à forts gradients sans avoir à discrétiser le reste de la structure de façon excessive.

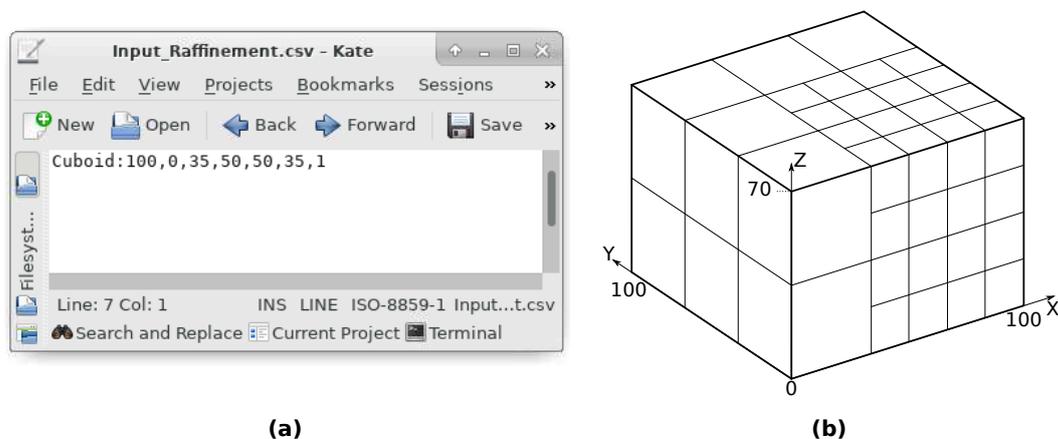


Figure 2.8 – Fichier de raffinement donné en entrée au mailleur

(a) Définition d'une zone de raffinement en forme de parallélépipède centré au point (100; 0; 35), s'étendant de 50 μm, 50 μm et 35 μm dans les axes X , Y , Z respectivement et où le maillage est raffiné d'un degré un (une subdivision). (b) Maillage raffiné telle que demandé dans le second fichier d'entrée.

Le second fichier d'entrée du mailleur est celui qui permet de gérer ces zones de raffinement. Chaque ligne de ce fichier permet d'indiquer quelle région de l'espace doit être raffinée, selon quelle géométrie, et avec quel degré de raffinement (DdR). Ce DdR est un entier positif indiquant le nombre de subdivisions³ de la maille initiale.

3. La subdivision est l'action de couper en deux la maille dans chaque direction. Une subdivision

La taille finale d'un élément se trouvant dans une région de maillage raffiné est donc $\frac{L_{max}}{2^{DdR}}$ (où L_{max} désigne la taille de la maille initiale dans l'une des directions principales).

Un exemple est donné dans la figure 2.8. La zone de raffinement est décrite par un parallélépipède (« Cuboid ») centré au point (100; 0; 35). Ce parallélépipède s'étend symétriquement depuis ce centre de 50 μm selon les axes X et Y , et de 35 μm selon l'axe Z . Un DdR de 1 lui a été affecté pour opérer une unique subdivision dans cette région de la structure présentée en figure 2.7. Les noms des différentes formes, les options applicables et leurs syntaxes sont fournis en [annexe A](#). Dans tous les cas, une géométrie doit être spécifiée (cube, sphère, cylindre creux...), de même que son centre, son extension depuis le centre de la géométrie pour chaque direction de l'espace et le degré de raffinement. D'autres options facultatives peuvent être ajoutées pour considérer seulement le quart ou le huitième d'une géométrie standard, ou un axe de révolution. L'objectif étant, là encore, de ne mailler finement qu'aux endroits où c'est réellement nécessaire.

2.2.2.2 Algorithme de maillage et contraintes

Le fait de recourir à un maillage irrégulier rend la distribution des flux et des potentiels à l'intérieur de chaque instance électro-thermique moins triviale. En effet, des nœuds intermédiaires peuvent exister et ceux-ci doivent être considérés lors de l'élaboration des modèles Verilog-A. Toutes les résistances et les capacités électriques et thermiques n'ont plus le même poids avec des nœuds supplémentaires de positions variables. Tel que présenté, il y aurait une infinité de cas possibles en fonction du degré de raffinement choisi.

Dans la pratique, le mailleur suit un algorithme en trois étapes, les deux premières étant le maillage grossier et le raffinement décrit précédemment. La dernière étape consiste à lisser les interfaces aux limites des zones de raffinement. Une contrainte fondamentale imposée dans cet algorithme est de toujours être dans une situation où deux mailles adjacentes ont un ratio de dimension 2, 1 ou 0,5. Autrement dit, le degré de raffinement d'une maille par rapport à une autre adjacente ne peut excéder l'unité. À chaque fois que le ratio de dimension entre deux éléments transforme une maille en huit mailles plus petites.

Chapitre 2. Adaptation de l'outil de simulation électro-thermique

adjacents est supérieur à 2 (ou inférieur à 0,5), le plus grand des deux est subdivisé autant de fois que nécessaire. L'opération est réitérée sur l'ensemble des éléments. De ce fait, la face d'un élément ne peut être connectée à plus de quatre autres, ce qui réduit le nombre de configurations possibles pour l'élaboration du modèle Verilog-A. Un élément du maillage pourra ainsi contenir entre huit (les huit sommets du pavé droit) et vingt-six nœuds (huit sommets, douze centres d'arêtes, six centres de faces). La distribution des flux circulant dans un élément électro-thermique doit être adaptée aux nœuds actifs. Celle-ci est traitée dans la partie adressée aux modèles Verilog-A (voir chapitre 3).

À la fin de la procédure de maillage, deux fichiers texte sont générés par le mailleur. Le premier (figure 2.9.a) contient la liste de tous les points du maillage numérotés à partir de « 0 » ainsi que leurs coordonnées cartésiennes. Le second fichier (figure 2.9.b) est composé de la liste de toutes les mailles et des nœuds qui les composent. Les mailles sont identifiées par un code hexadécimal représentant leur position. Une explication de la convention utilisée est donnée dans l'annexe B.

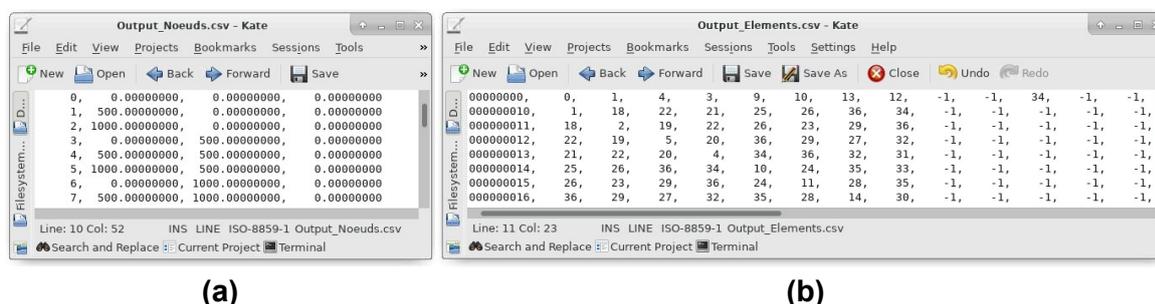


Figure 2.9 – Fichiers de sortie de la procédure de maillage

(a) Liste des nœuds du maillage et leurs coordonnées. (b) Liste des éléments associés aux nœuds qui le constituent. Parmi les vingt-six connexions potentielles de chaque éléments, celles qui ne sont pas actives sont identifiées par « -1 ».

Toutes les procédures sont automatisées, en partant du remplissage des fichiers d'entrée, au traitement des fichiers de sortie du mailleur pour générer la netlist et lancer une simulation. Une interface graphique a notamment été créée pour commander l'outil dans son ensemble et exécuter les différentes tâches. L'articulation de l'outil et son implémentation au sein de Cadence® sont donc des points fondamentaux que nous allons aborder maintenant.

2.2.3 L'outil et son articulation dans Cadence®

Dans les faits, le simulateur électro-thermique déjà développé à ICube était difficilement utilisable pour un nouvel utilisateur puisque toutes les tâches devaient être réalisées manuellement à l'aide de lignes de commandes. Le présent travail se distingue par la réalisation d'une interface graphique permettant une utilisation plus intuitive du nouvel outil. Cette interface est codée avec le langage SKILL, propre à Cadence®, et y est entièrement intégrée. Ce langage est basé sur le Lisp, un langage de programmation de haut niveau, et a une syntaxe proche du C. Il permet d'automatiser les actions faisables manuellement dans les outils de conception de Cadence®, de créer de nouvelles fonctionnalités ou encore de créer des environnements de travail complets tels que notre interface. De plus, l'outil reste évolutif grâce à la possibilité de modifier ou d'ajouter d'autres scripts.

2.2.3.1 Interface

Dans un souci de clarté et de concision, nous préférons aborder l'interface et ses fonctionnalités générales plutôt que de traiter un à un les scripts SKILL qui ont été écrits. Une vue générale des fonctionnalités principales des scripts est donnée en [annexe C](#). L'interface graphique est composée de champs de textes et de nombres, ainsi que de boutons permettant respectivement d'entrer des données et d'exécuter des actions (scripts SKILL). Elle se présente telle que dans la figure [2.10](#) où l'on observe la première fenêtre « Structure - Meshing ». Celle-ci laisse la possibilité de définir les données technologiques de la puce, de gérer les paramètres de maillage et d'appeler le mailleur.

La rubrique **(1)** est un rappel du nom de la bibliothèque, de la cellule et de la vue dans laquelle se trouve le layout de la puce. Ces noms (« library », « cellview » et « view ») sont les appellations de Cadence® pour les répertoires et fichiers dans lesquels sont enregistrées les vues 2D du composant (ou de manière générale n'importe quel type de vue). La deuxième rubrique **(2)** contient les informations de maillage. Elle laisse la possibilité d'utiliser des paramètres prédéfinis ou bien de modifier les grandeurs n_X , n_Y , n_Z et DdR présentées précédemment dans la sous-section [2.2.2.1](#). Un script s'occupe de détecter automatiquement la région d'intérêt

Chapitre 2. Adaptation de l'outil de simulation électro-thermique

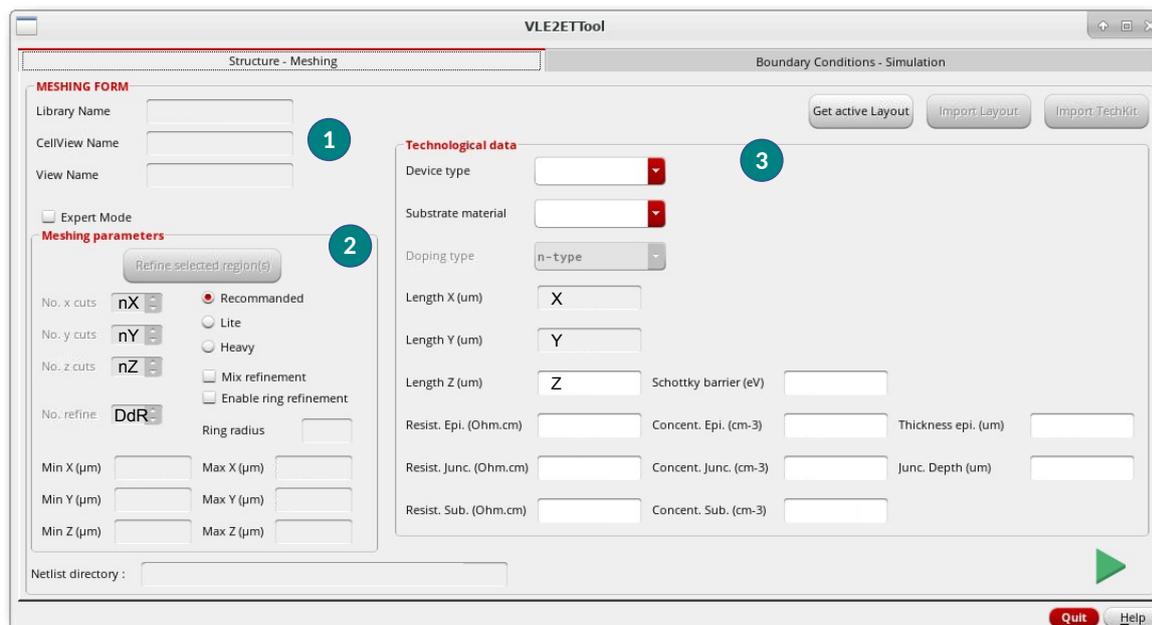


Figure 2.10 – Fenêtre « Structure - Meshing » de l'interface

Ensemble des champs du premier onglet à remplir. On y trouve (1) les informations du layout, (2) les paramètres de maillage et (3) les données technologiques relatives à la puce étudiée.

en fonction de la technologie étudiée. Néanmoins, il est possible de définir manuellement des zones de raffinement supplémentaires. Enfin, la troisième rubrique (3) permet de choisir le type de composant ainsi que son épaisseur Z , les dimensions X et Y étant déduites du layout grâce à un script SKILL. Finalement la tension de seuil (ou la hauteur de barrière Schottky pour les composant Schottky), les résistivités ou les concentrations de dopant de chaque région du composant (substrat, jonction, épitaxie) doivent être renseignées. Un script permet de calculer la résistivité à partir de la concentration en se basant sur des tableaux à double entrée (résistivité en fonction de la température et du dopage) générés à partir du modèle de mobilité de l'université de Bologne pour le silicium [86] et du modèle de Mnatsakanov pour le carbure de silicium [87], les deux principaux semi-conducteurs utilisés. La validation des champs de cette première fenêtre résulte en la génération de la structure 3D du composant et de son maillage.

Une seconde fenêtre visible sur la figure 2.11 permet de définir les conditions aux limites, d'activer certaines fonctionnalités de l'outil et de gérer les paramètres de simulation.

La première rubrique sert principalement à définir les conditions aux limites (élec-

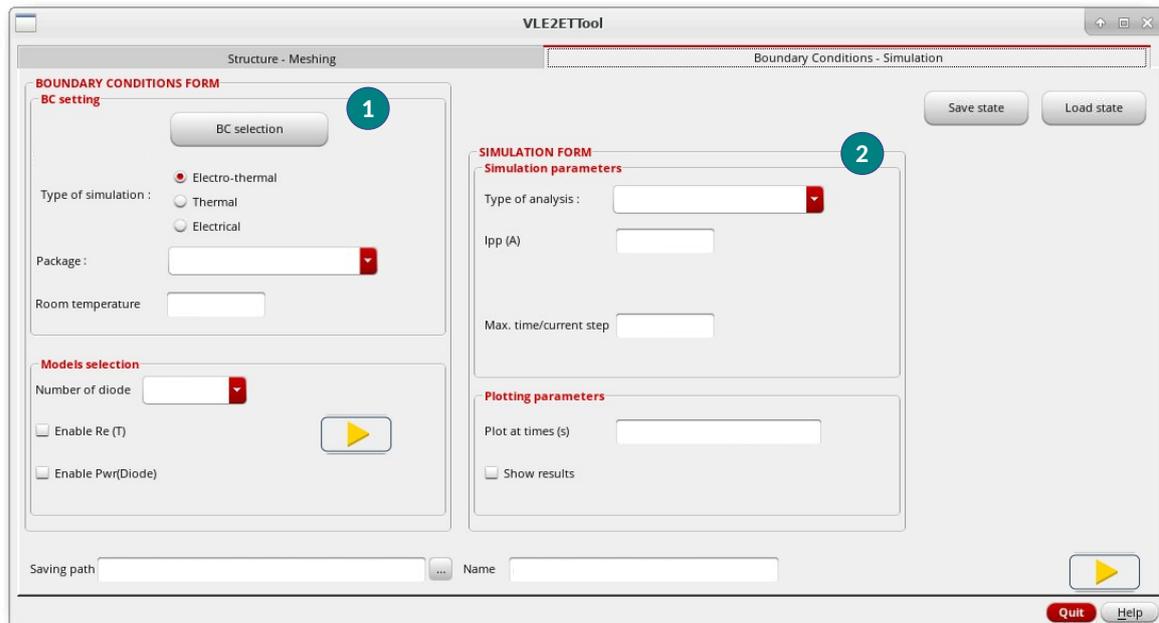


Figure 2.11 – Fenêtre « Boundary conditions - Simulation » de l'interface

Ensemble des champs du second onglet à remplir. On y trouve (1) les champs pour définir les conditions aux limites, le type de simulation, le boîtier et pour activer certaines fonctionnalités. En (2) sont sélectionnés le type, les conditions d'analyse et les instants où sont extraits les résultats.

triques et thermiques, potentiel ou flux), si celles qui sont automatiquement proposées grâce à un script SKILL ne conviennent pas. Les endroits où sont appliquées ces conditions peuvent être définies à l'aide d'une géométrie dans le layout, et leur propriétés (nature, valeur) sont choisies dans une sous fenêtre dédiée. Cette rubrique permet également de sélectionner le type de simulation (électrique, thermique ou électro-thermique) et de choisir la température ambiante ou le type de boîtier. Enfin, des fonctionnalités supplémentaires peuvent être activées ou désactivées. Par exemple, le nombre de diodes élémentaires connecté au réseau électro-thermique peut être choisi selon le compromis vitesse-précision voulu (une diode pour toute la surface, une diode par noeuds, une diode par élément...). On peut aussi choisir d'activer ou non la dépendance en température des résistivités électriques et thermiques selon les besoins. La validation des champs de cette rubrique génère la netlist avec les instances, leurs paramètres et leurs bonnes connexions les unes par rapport aux autres (sources de tension/courant, de température/flux de chaleur, modèles de diode, éléments électro-thermiques). La seconde rubrique invite l'utilisateur à choisir le type d'analyse qu'il souhaite (statique ou transitoire),

les niveaux de courant et/ou la durée de sollicitation ou encore le pas de temps maximum. Enfin, la liberté est également laissée quant au choix des instants où les résultats sont extraits lors de la simulation. À la fin de la procédure liée à cette rubrique, la netlist est complétée avec les paramètres de simulation et la simulation est lancée.

2.2.3.2 Affichage des résultats

Une ligne de commande supplémentaire dans la netlist Spectre® est ajoutée pour lancer automatiquement une série de scripts à la fin de la simulation. Ces scripts ont notamment pour rôle de convertir les données brutes en un format adapté pour les rendre lisibles par n'importe quel logiciel de calcul numérique tel que Matlab. Ce dernier est aussi automatiquement ouvert et les résultats directement affichés et sauvegardés via un code Matlab affichant la caractéristique électrique, les champs de potentiels (températures, tensions) ou encore les densités de flux (thermiques ou électriques).

Les modèles Verilog-A des instances électro-thermiques ont, en plus de répartir les flux, le rôle d'exporter l'identifiant hexadécimal de l'élément considéré et ses valeurs de flux et de potentiels associés. La conversion en données lisibles consiste principalement à convertir cet identifiant en coordonnées cartésiennes. On peut donc déduire la position de tous les autres nœuds, ou encore celle du centre de la maille pour lui attribuer les valeurs moyennes de température, de courant etc. L'exploitation des résultats peut se faire ainsi en interpolant dans l'espace les jeux de données dans n'importe quel environnement capable de les afficher. Nous avons choisi Matlab dans lequel un code réalise toutes ces tâches automatiquement. D'autres outils plus adaptés à la visualisation de résultats de simulations pourraient cependant être utilisés en mettant les données au bon format.

2.2.4 Conclusions sur l'approche développée

L'outil développé facilite la réalisation de simulations d'un composant de puissance discret à partir de son layout, sans avoir à quitter l'environnement Cadence® où il a été dessiné. En partant d'un layout d'une puce, la structure tridimensionnelle du composant est d'abord construite à l'aide d'un mailleur conçu au laboratoire

ICube. À cette structure sont attachés des modèles électro-thermiques d'éléments semi-conducteurs (lois $I(V)$ dépendantes de la température) et d'éléments de volume (conduction thermique et électrique). On parle de « modèles distribués ». Tous ces modèles répartis dans l'espace forment un circuit décrit par une netlist de type SPICE. Le solveur Spectre[®] est alors capable de lire ce document, d'instancier tous les composants du circuit, dont les modèles Verilog-A élaborés, et de simuler son comportement. Une interface a été créée pour gérer l'articulation de l'ensemble des étapes jusqu'à l'extraction des résultats.

L'ensemble des explications fournies jusqu'à présent portaient sur la puce en semi-conducteur du composant, mais elles restent valables pour une structure quelconque, en particulier en tenant compte du boîtier par lequel un chemin thermique dissipatif réaliste peut être modélisé. Nous l'avons vu, la modélisation de ce boîtier est elle aussi décisive pour décrire le comportement électro-thermique du composant de puissance. La prochaine section aborde donc cette problématique en s'appuyant sur les concepts déjà évoqués dans les sections précédentes tout en montrant les particularités de la mise en place d'un boîtier dans notre outil.

2.3 Modélisation du boîtier

Comme déjà annoncé, le boîtier est un élément essentiel du composant de puissance. Il protège le composant aussi bien des contraintes chimiques, mécaniques, ou thermiques, mais peut subir ses propres défaillances. Le comportement électro-thermique du composant tout entier est fortement influencé par le boîtier dans lequel il est intégré. Sa prise en compte est donc nécessaire dans ces conditions pour prédire le comportement du composant. Dans notre approche, le boîtier est modélisé par un assemblage d'éléments électro-thermiques en 3D, modélisant la conduction électrique et thermique, et dont nous avons déjà parlé pour la puce. Ce travail spécifique a fait l'objet d'un stage de fin d'étude réalisé par Lilas Montaner au laboratoire ICube et dont j'ai pu superviser les travaux. L'implémentation du boîtier est traitée dans cette section en présentant deux démarches envisagées initialement, bien que seule la seconde ait été retenue. En outre, les problématiques des interfaces, des conditions aux limites et de la configuration des mailles selon le matériau modélisé

sont abordées.

2.3.1 Stratégie 1 : Concaténation de sous-structures

La première démarche envisagée – la plus naturelle – pour inclure le boîtier dans nos simulations consiste à générer plusieurs sous-structures (maillages) autour de celle déjà existante représentant la puce semi-conductrice. La structure complète est alors formée de $3 \times 3 \times 3$ sous-structures dont celle de la puce au centre (voir figure 2.12). Cependant, la contrainte sur les différences de dimension de deux mailles adjacentes (inférieure ou égale à un facteur deux entre les mailles) pour s’adapter aux modèles électro-thermiques tient toujours. Ainsi, les maillages doivent être contraints aux interfaces des sous-structures pour respecter ce critère.

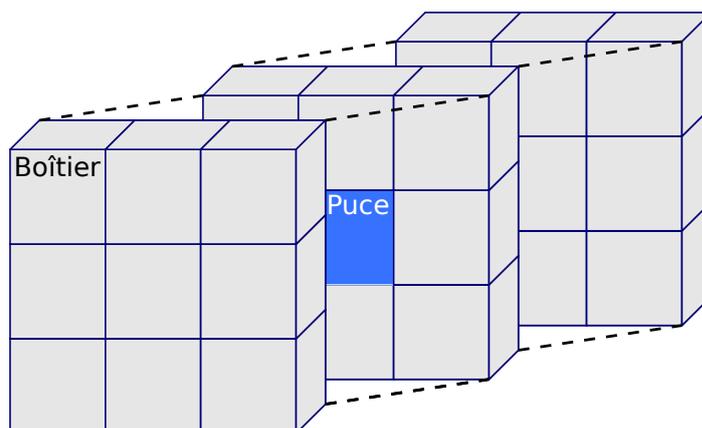


Figure 2.12 – Parallélépipède découpé en vingt-sept sous-structures

La puce est au centre en bleu, et toutes les sous-structures en gris représentent le boîtier qui l’entoure.

2.3.1.1 Concordance des maillages

Chacune des vingt-six sous-structures entourant la puce est au contact de trois, quatre ou cinq autres sous-structures selon sa position. Ce sont autant d’interfaces qui doivent être gérées pour rendre ces sous-structures cohérentes entre elles et satisfaire aux contraintes des dimensions de deux mailles adjacentes. Un script SKILL a été écrit pour générer les vingt-sept maillages des vingt-sept sous-structures, de sorte à ce que les positions des nœuds coïncident aux interfaces, comme le montre la figure 2.13. Les cercles de couleurs (une couleur par sous-structure) représentent

les nœuds des sous-structures liées au boîtier et les croix magenta ceux de la puce. Alors qu'un maillage et un raffinement arbitraires ont été choisis pour la puce, la concordance des maillages aux interfaces est vérifiée (croix inscrites dans les cercles et cercles superposés). Ceci est fait, à l'image de la puce seule, à travers les deux fichiers d'entrée du mailleur pour chaque sous-structure, puis en appelant le mailleur itérativement avec les paramètres appropriés. En dehors de ces interfaces entre les sous-structures, le maillage se relâche jusqu'à éventuellement retrouver le niveau de discrétisation le plus grossier indiqué dans le fichier d'entrée pour la structure.

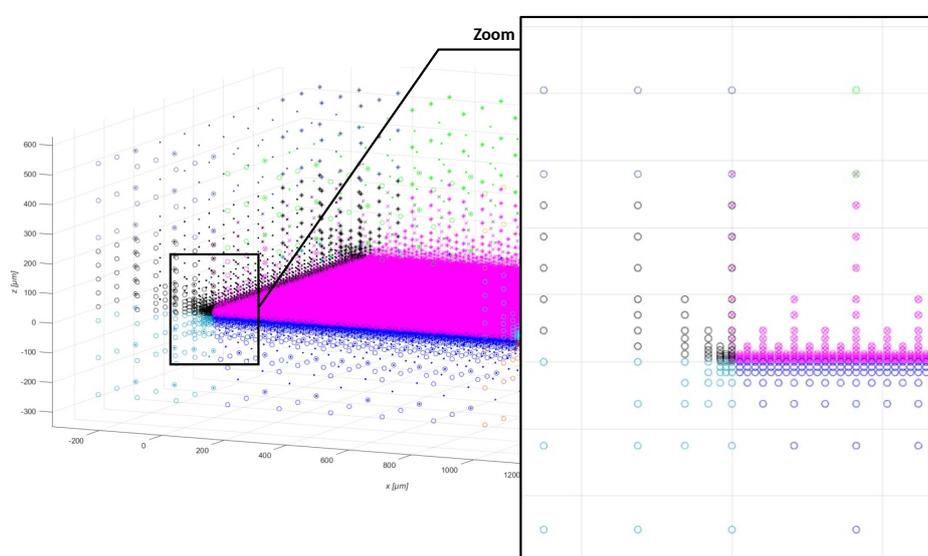


Figure 2.13 – Maillage des sous-structures du boîtier

Points des maillages des vingt-six sous-structures (une par couleur de cercle) entourant la puce (croix magenta). Les maillages ont été adaptés aux contraintes de discrétisation initiales imposées par la puce pour qu'ils concordent aux interfaces.

2.3.1.2 Limitations et complications

Cette stratégie souffre néanmoins de plusieurs inconvénients. Sa mise en place est lourde, d'autant plus si des zones de raffinement de formes complexes sont utilisées. La communication multiple entre l'outil et le mailleur ralentit aussi l'exécution du processus. Enfin, la concordance des maillages n'est que la première étape, mais la connexion des instances dans la netlist est en réalité la partie la plus complexe. Tous les nœuds de toutes les sous-structures doivent être analysés car leurs noms et leurs positions sont générés de façon indépendante dans le mailleur. On

peut par exemple se retrouver avec deux nœuds identiques qui devraient être translatés pour correspondre à leurs positions respectives réelles et porter des noms différents associés à ces coordonnées réelles. La figure 2.14 montre un exemple en deux dimensions de deux éléments créés indépendamment mais que l’on voudrait adjacents. Pour être considérés comme adjacent au vu de la netlist, les nœuds *netB* et *netD* devraient être connectés par des fils parfaits aux nœuds *net1* et *net3*, mais on voit sur la partie gauche qu’il n’en est rien, leurs noms étant différents. Sur la partie droite, les nœuds ont été renommés pour que la situation soit telle qu’attendue. Pour arriver à ce résultat dans notre outil, il faut déterminer les positions de chaque nœud pour toutes les sous-structures et vérifier si elles correspondent ou non à des coordonnées situées à une interface. Cette procédure revient à parcourir une liste de coordonnées imbriquée dans une autre (pour une interface joignant deux sous-structures), ce qui revient à quadrupler le temps de parcours total des listes.

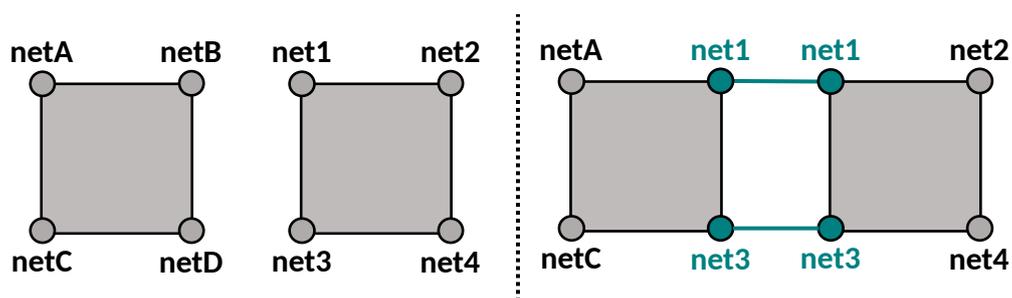


Figure 2.14 – Exemple de connexions de maillage

Deux éléments en deux dimensions adjacents ne se trouvent pas électriquement (ou thermiquement) connectés si les noms des nœuds à l’interface ne correspondent pas (à gauche). Ils sont reliés par des connexions parfaites dans la netlist dans le cas contraire (à droite).

Or, le temps de création de netlist peut être particulièrement long (le temps dépend du maillage considéré) au vu des nombreuses opérations réalisées (traitement des interfaces, calcul des paramètres de chaque instance, écriture de la netlist) et au vu du nombre de points pouvant être important. Cette première stratégie a donc des défauts qui s’opposent aux attentes de rapidité de mise en œuvre. C’est la raison pour laquelle une seconde stratégie a été mise en place, rendant plus simple et rapide l’ensemble des tâches mentionnées (maillage et connexion dans la netlist).

2.3.2 Stratégie 2 : Une unique structure

2.3.2.1 Maillage

Cette deuxième stratégie se résume à ne construire qu'une seule structure en trois dimensions comprenant la puce et le boîtier en même temps. Ainsi, l'ampleur du travail pour générer le maillage et la netlist est considérablement diminuée. La taille de la structure pourrait être basée sur les dimensions du composant réel tout entier, de sorte que ses extrémités soient délimitées par les bords du boîtier. Dans ce cas, nous rencontrerions de nombreuses fois le cas où un élément de maillage ferait à la fois partie de la puce et du boîtier, les bords des mailles ne correspondant pas nécessairement aux interfaces entre matériaux. Pour s'affranchir de ces cas, on fixe les dimensions de la structure complète par un nombre entier, k , de taille de la puce. De mêmes, les tailles de maille maximales de la structure sont aussi proportionnelles à celle de la puce. La structure obtenue pour un tel cas est montrée en figure 2.15 pour $k = 3$.

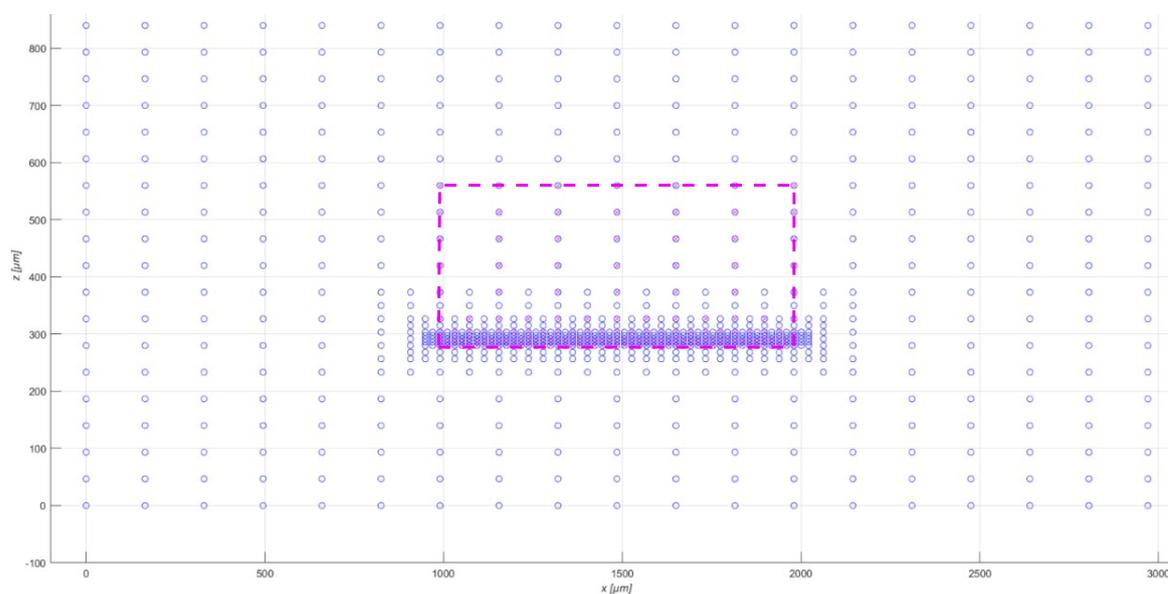


Figure 2.15 – Maillage en structure unique de tout le composant

Vue transversale d'une seule structure maillée dont les dimensions sont trois fois plus grandes que celles de la puce utilisée. Le maillage de la puce seule a été laissé (croix encadrées par les traits en pointillés magenta) pour montrer qu'il se superpose à la nouvelle structure (cercles bleus) et qu'aucune maille ne chevauche à la fois une partie de la puce et du boîtier.

Sur cette figure sont représentés les points du maillage initial de la puce (discré-

tisé $n_{X,Y,Z}^{puce}$ fois), en croix magentas, ainsi que celui de la nouvelle structure (discrétisé $n_{X,Y,Z}^{comp}$), en cercles bleus. Cette dernière a arbitrairement une taille trois fois plus grande que celle de la puce ($k = 3$). Son maillage a été adapté en multipliant également le niveau de discrétisation le plus grossier par trois ($n_{X,Y,Z}^{comp} = k \times n_{X,Y,Z}^{puce}$). Il est alors clair que les points se superposent et donc qu'aucune maille ne chevauche la puce et le boîtier. La même observation peut être faite dans les deux autres plans.

Il existe certains inconvénients également dans cette approche, mais, les connaissant, elles peuvent être résolues :

- Un surplus de mailles est généré au-delà des dimensions réelles du composant. Son influence peut cependant rapidement être éliminée en n'important pas les instances de ces régions dans la netlist.
- Des éléments chevauchant plusieurs matériaux (métal, résine, ...) peuvent toujours exister au sein du boîtier. Un travail spécifique est réalisé par des scripts SKILL pour détecter ces cas. De plus, le modèle Verilog-A de conduction électro-thermique est modifié pour que les matériaux et les volumes qu'ils occupent dans la maille soient pris en compte dans le calcul des résistances électriques et thermiques.
- Le fait de multiplier par un coefficient k la taille et le niveau de discrétisation de la puce pour former la structure complète implique un maillage qui ne se relâche pas autant que l'on pourrait le souhaiter. Une possibilité pour résoudre cette limitation est de définir un maillage initial très grossier, mais de choisir un degré de raffinement plus important dans les zones d'intérêt.

2.3.2.2 Identification des matériaux et conditions aux limites

Selon leurs positions, les mailles doivent correspondre à un matériau donné ou à plusieurs matériaux si celles-ci sont partagées par plusieurs parties du boîtier. De même, le choix des conditions aux limites dépend de l'interface et du phénomène que l'on souhaite modéliser (conduction, convection). Ce travail de détection des conditions électro-thermiques et des matériaux est fait par des scripts SKILL à partir des fichiers de sortie du mailleur et d'une base de données contenant les informations des boîtiers (dimensions, positions, matériaux). Dans les faits, la procédure reste très proche de celle développée pour la puce, en balayant tous les

nœuds du maillage et en affectant les propriétés électro-thermiques adéquates aux mailles en fonction de leur position. Dans le cas particulier où plusieurs matériaux sont contenus dans une maille, nous pouvons pondérer les flux par le volume occupé par chaque matériau au sein de la maille. Connaissant ces proportions, il est alors simple de calculer les résistances et les capacités effectives équivalentes dans le modèle Verilog-A.

Par ailleurs, avec cette seconde stratégie la problématique des interfaces est largement simplifiée. Seule la définition des conditions aux limites est importante car toute la structure et les noms des nœuds sont créés de façon cohérente automatiquement. Comme pour la puce seule, les conditions aux limites se font en connectant les nœuds voulus à des sources électriques ou thermiques en fonction de leur position. Par exemple, la convection thermique peut être modélisée par une résistance thermique en série avec une source de température. Une source de courant peut aussi être connectée à l'extrémité d'un fil en aluminium pour agir comme un contact à l'anode... Ces conditions dépendent du choix du boîtier.

2.3.2.3 Choix du boîtier et conditions aux limites

Les boîtiers de composants discrets sont faits pour être simples et permettre une dissipation de chaleur la plus immédiate possible. La puce est ainsi brasée directement sur le squelette en cuivre — le leadframe — du composant jouant le rôle de contact électrique et thermique. La face avant est ensuite connectée, soit par un ou plusieurs fils (voir figure 2.16.a) dans le cas de boîtiers classiques (TO220, D2PAK...), soit par un autre morceau du squelette — le clip — pour des boîtiers montés en surface (SMD, ou Surface-Mount Device) de circuits imprimés (voir figure 2.16.b). Notez que pour la forte puissance, cas qui ne nous concerne pas directement, des boîtiers dits « Press-pack » sont utilisés. Une puce circulaire est pressée entre deux masses de cuivre assurant les contacts électrique et thermique.

En fonction du signal électrique rencontré, modéliser tout le boîtier n'est pas toujours pertinent vis à vis du temps de simulation par rapport au degré de précision recherché. La longueur de diffusion caractéristique L_D est une grandeur permettant de quantifier de façon statistique la distance parcourue par les phonons. En fonction du temps de diffusion t_D , de la conductivité thermique λ et de la capacité thermique

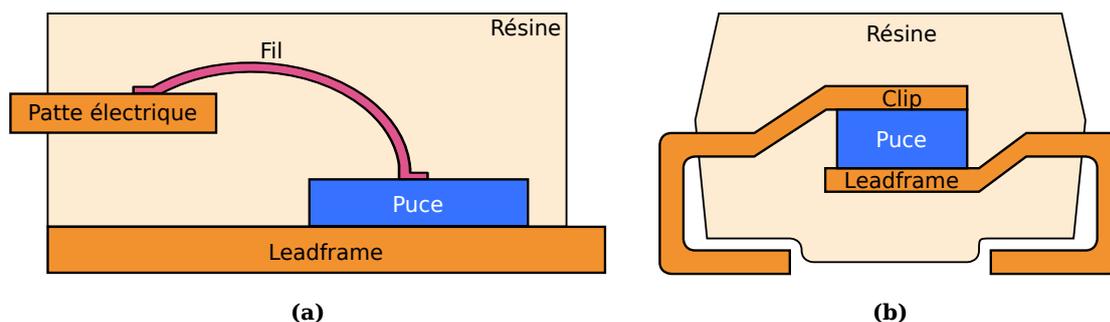


Figure 2.16 – Vue en coupe de composants discrets et de leur boîtier

Boîtiers de composants discrets avec la puce directement brasée sur le leadframe et connectée **(a)** par un fil à un contact électrique (type TO220, D2PAK...), et **(b)** par un clip en cuivre (type SMD). Par simplification, les brasures, les métallisations et les oxydes ne sont pas représentés.

totale C du milieu de diffusion, cette longueur est donnée en une dimension par [88, 89] :

$$L_D = 2\sqrt{\frac{\lambda}{C}t_D}. \quad (2.1)$$

En fonction de la durée de sollicitation électrique, trois situations sont possibles.

Pour du silicium ($\lambda_{Si} = 130 \text{ W/mK}$, $C_{Si} = 1,63 \times 10^6 \text{ J/Km}^3$ [90, 91]) :

- Sollicitation électrique très courte ($\leq 100 \text{ ns}$). Avec $L_D < 5,65 \text{ }\mu\text{m}$, la chaleur diffuse à une distance du même ordre de grandeur que la zone de charge d'espace. Le boîtier a une influence négligeable.
- Sollicitation électrique courte. La chaleur diffuse dans le semi-conducteur et dans une région proche de la jonction, où le boîtier a son importance. En dehors de cette région, le boîtier reste très peu sollicité thermiquement.
- Sollicitation électrique longue ($\geq 0,5 \text{ ms}$). La longueur de diffusion est telle que l'ensemble du boîtier peut intervenir dans la dissipation de chaleur. Son intervention peut être modérée ou déjà cruciale dès une milliseconde ($L_D \approx 565 \text{ }\mu\text{m}$) selon les dimensions de la puce.

Parmi les tests de produits réalisés à STMicroelectronics Tours, on retrouve des formes d'onde décrites dans les standards du JEDEC tels que les ondes $8/20 \text{ }\mu\text{s}$, $10/1000 \text{ }\mu\text{s}$ (rapport entre le temps au pic et le temps à la moitié du pic) ou les I_{FSM} (demi-sinusoïde de 10 ms). Ces cas entrent dans le domaine des contraintes électriques courtes et longues, et mettent à contribution le boîtier dans l'évacuation de la chaleur. C'est pourquoi sa prise en compte est si importante. Dans le même temps,

les connaissances empruntées à la modélisation par élément finis conventionnelle nous invitent à simplifier la modélisation géométrique de ces boîtiers. Il est en effet possible de réduire certains arrondis à des angles droits, et de ne modéliser qu'une partie du boîtier lorsque l'on sait que l'influence de l'autre partie est négligeable. Il en découle un gain de temps de maillage et de simulation substantiel en réduisant fortement le nombre de nœuds, pour une perte de précision peu significative.

Il faut en contrepartie adapter les conditions aux limites pour conserver un système représentatif de la réalité. Nous avons choisi d'implémenter les conditions aux limites dans la netlist du circuit électro-thermique avec des instances dédiées. Pour la partie électrique, une source de courant ou de tension sert de signal d'entrée au circuit. Analogiquement pour la partie thermique, la température extérieure est fixée par une source de température à 300 K. De cette façon, le boîtier peut modéliser la conduction du courant provenant d'une source à travers ses contacts électriques et dissiper la chaleur vers l'extérieur. Une résistance connectée à la source de température peut aussi modéliser le phénomène de convection.

2.3.3 Conclusions sur la modélisation du boîtier

Le boîtier a une importance toute particulière, notamment parce qu'il permet de réduire en partie la charge thermique subie par la puce en semi-conducteur. Il est donc pris en compte dans notre outil en générant un maillage adapté. La stratégie de maillage choisie est celle où une unique structure est construite pour modéliser la puce et le boîtier. De la même façon que pour la puce, les modèles de conduction électrique et thermique permettent d'émuler la distribution des flux et des potentiels en son sein. Il existe plusieurs types de boîtiers qui ont leurs spécificités et qui doivent être modélisés. Une réduction de leur complexité est néanmoins possible (limitation du domaine de simulation et simplification des géométries) pour faciliter leur implémentation mais aussi pour réduire les temps de simulation et de génération de maillage. Le choix et la position des conditions aux limites restent importantes, mais l'approche des modèles distribués, simulables grâce à une netlist, laisse la possibilité de les définir avec souplesse.

2.4 Conclusions sur le simulateur électro-thermique

Le simulateur développé s’appuie sur les travaux initiés il y a 13 ans au laboratoire ICube. Cette thèse et l’outil qui en découle sont une extension de ces recherches pour une application bien différente, dans le domaine des composants de puissance discrets. Les enjeux sont eux aussi différents et il a fallu repenser l’approche pour l’adapter aux problématiques de la société STMicroelectronics Tours. Le développement est réalisé dans l’environnement Cadence[®], déjà déployé au sein de STMicroelectronics et dans lequel sont réalisés les dessins techniques des puces. De ces layout, une structure 3D du composant est reconstruite. Les modèles électro-thermiques sont ensuite distribués dans l’espace pour modéliser le composant. L’association de tous ces modèles conduit à la création d’un circuit équivalent composé de deux sous-réseaux (un électrique et un autre thermique) décrits par une netlist. La procédure est généralisée à la modélisation du boîtier autour de la puce et avec la possibilité de définir des conditions aux limites aussi précises que nécessaires. Dans le but de rendre plus ergonomique l’utilisation de l’outil, une interface a été réalisée. Elle permet d’articuler le processus de simulation complet (du layout, à l’affichage des résultats). Cette interface a été développée en SKILL et le processus en lui-même est presque exclusivement rendu possible par ce même langage (on peut se référer à l’[annexe C](#) pour s’en rendre compte).

La méthode des modèles distribués a été décrite dans le cadre de notre outil pour réaliser des simulations électro-thermiques sur des composants de puissance discrets. Cependant, les modèles n’ont pas encore été présentés. Le prochain chapitre s’attache à expliciter ces modèles et leur implémentation en Verilog-A, qu’il s’agisse de modèles compacts des jonctions, ou bien des modèles de conduction électro-thermique.

Chapitre 3

Implémentation des modèles électro-thermiques en Verilog-A

Résumé

Ce chapitre permet de formaliser les modèles compacts utilisés et de comprendre leur construction. On y découvre les particularités de la modélisation avec un langage de modélisation analogique tel que Verilog-A, et comment sont implémentés ces différents modèles. Ces derniers comprennent les éléments de modélisation de la jonction et de la zone de déplétion des composants de puissance, ceux concernant ses zones de conduction (semi-conducteur, métal, résine...), mais aussi les sources électriques et thermiques agissant comme conditions aux limites du système simulé.

3.1 Modèles Verilog-A et simulation Spectre®

Jusqu'à présent, nous avons discuté de l'utilisation de Verilog-A pour la définition de différents modèles électriques, thermiques et électro-thermiques nécessaires aux simulations. Dans cette section, nous souhaitons clarifier notre propos en présentant brièvement son fonctionnement, son intérêt et les syntaxes associées. Nous aborderons également la manière dont les modèles Verilog-A sont utilisés avec le simulateur.

3.1.1 Concepts clés du langage Verilog-A

Avec la croissance industrielle en micro-électronique, la fabrication de circuits intégrés a fait naître des systèmes trop complexes pour spécifier individuellement tous les éléments qui les constituent. C'est pourquoi les langages de description matériel, dont Verilog-A avec différents niveaux d'abstraction, sont nés.

De façon générale, Verilog-A est un langage de haut niveau permettant de décrire le comportement de systèmes conservatifs à partir d'équations reliant les grandeurs de flux (courants électrique, flux de chaleur...) et les grandeurs d'effort (différence de potentiels, différences de températures...) à l'intérieur d'un « module ». La formulation nodale du système permet de rendre compte de son évolution grâce à l'expression des lois de conservation de Kirchhoff :

- La première loi énonce que la somme des flux entrant dans un nœud est égale à la somme des flux qui en sortent. Une façon intuitive de considérer la conservation des flux, est un exemple d'hydraulique simple (voir figure 3.1.a) où plusieurs tuyaux se rejoindraient à un raccord (un nœud). À pression constante, le débit de liquide entrant (Q_1) dans ce raccord doit être égal au flux qui en sort ($Q_2 + Q_3$), autrement il y aurait une création (ou disparition) de fluide dans le temps.
- La seconde loi stipule que la somme algébrique des efforts le long d'une maille est nulle. L'analogie avec l'hydraulique tient toujours, en considérant un circuit d'eau formant une boucle (voir figure 3.1.b). En choisissant un sens de parcours de la boucle (maille) à partir d'un point donné, la pression du fluide va varier. Certains éléments de ce circuit comme la pompe amènent

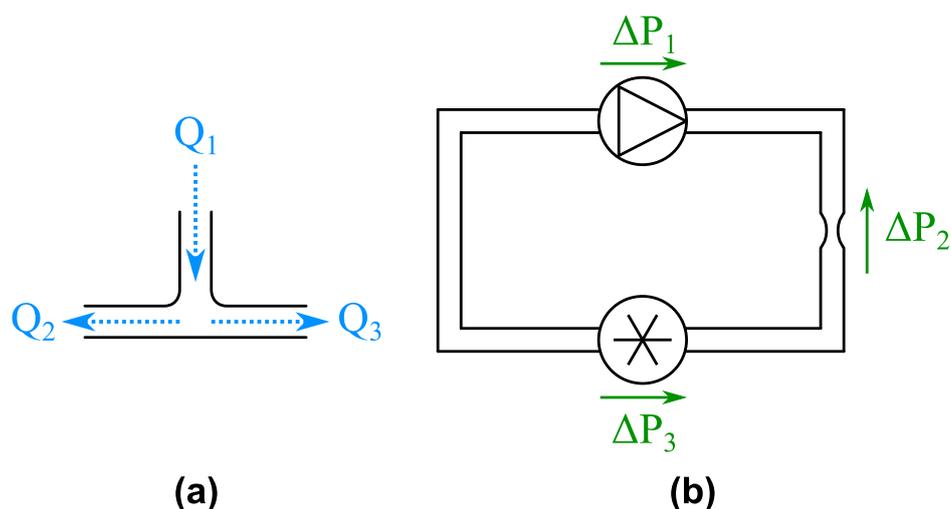


Figure 3.1 – Schématisation des lois de Kirchoff pour deux systèmes hydrauliques

(a) Exemple d'un raccord en T, équivalent à un nœud, d'un circuit hydraulique. Les débits dans chaque conduit sont indiqués par les flèches en pointillés. **(b)** Circuit hydraulique fermé avec une turbine agissant comme source de débit (ou de pression), un rétrécissement de conduit (équivalent à une résistance électrique) et une turbine (analogue à une bobine). Les différences de pression sont indiquées par les flèches orientées vertes.

à une augmentation de la grandeur d'effort (la différence de pression ΔP_1) alors que d'autres vont la diminuer en aval (ΔP_2 pour le rétrécissement de tuyau, ΔP_3 pour la turbine...). Cependant, pour que la pression revienne à sa valeur initiale à la fin de la boucle, les différences de pression doivent se compenser, de sorte que la variation totale de pression soit nulle.

Ainsi, tout système conservatif (répondant aux lois de Kirchhoff) peut être modélisé avec ce formalisme. Cette approche s'applique habituellement à l'étude des circuits électriques, mais s'adapte très bien à d'autres domaines de la physique (mécanique, thermique, fluide...), et à leur couplage (voir exemples de la figure 3.2).

Ainsi, la figure 3.2.a montre une résistance purement électrique avec deux ports ¹ M et P de nature électrique (noté « `electrical` »). La résistance thermique en 3.2.b a la même syntaxe que son analogue électrique mais avec ses ports ayant une nature thermique (noté « `thermal` »). Enfin, le couplage électro-thermique pour une résistance électrique est montré en 3.2.c. Un port thermique Th a été ajouté pour prendre en compte dynamiquement l'effet de la température sur la résistivité. Les dénomination des fonctions d'accès pour les grandeurs de flux et les grandeurs d'effort varient selon la discipline (respectivement $I(\)$ ou $Pwr(\)$) pour les courants

1. Les nœuds connectant les composants (les modules) les uns aux autres sont appelés « ports ».

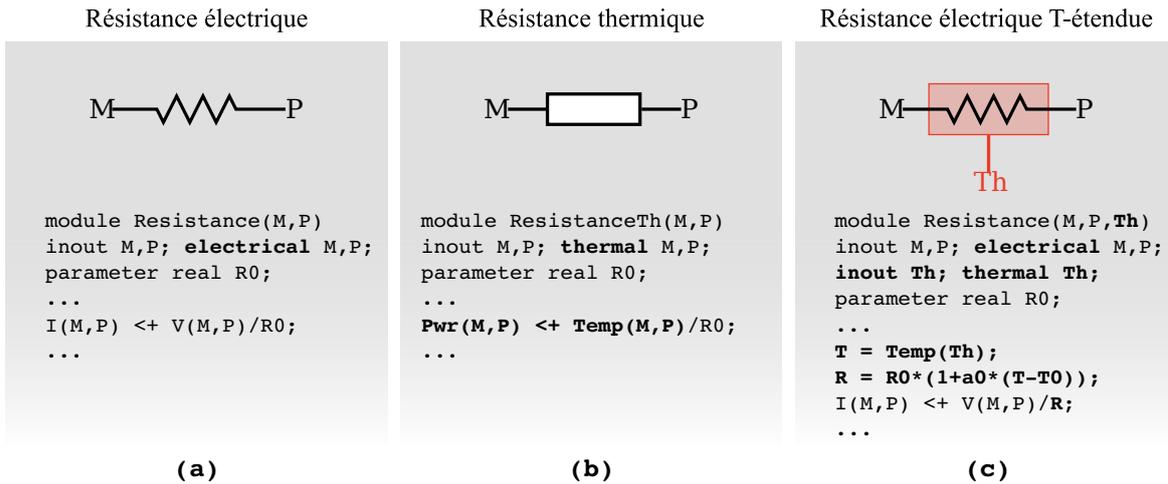


Figure 3.2 – Données de structures utilisées par le mailleur et structure associée

(a) Module Verilog-A d'une résistance électrique. (b) Module Verilog-A d'une résistance thermique. (c) Module Verilog-A d'une résistance électrique « T-étendu ». En gras sont mises en évidence les modifications notables entre ces trois cas.

électriques et les flux de chaleur et $V()$ ou $Temp()$ pour les tensions et les températures). L'intérêt de gérer les disciplines par deux sous-réseaux couplés est notamment d'avoir des critères de convergence adaptés aux grandeurs calculées (on peut s'attendre à avoir des tolérances assez larges pour des signaux de température dont on sait qu'il peuvent atteindre des valeurs de plusieurs centaines de degrés, comparés aux amplitudes de courants électriques et de tension habituelles par exemple). Notez également qu'il est possible de créer de nouvelles natures si elles n'existent pas, ce qui permet de définir des notations et des unités plus adaptées et intuitives selon la discipline physique considérée.

Le niveau d'abstraction est variable selon les phénomènes que l'on souhaite modéliser et couvre généralement des échelles allant du modèle comportemental d'un sous-système (voire d'un système) ou d'un bloc fonctionnel, au modèle compact d'un composant. Dans notre cas, le niveau d'abstraction est encore plus bas puisque nous modélisons un composant discret à partir de modèles compacts élémentaires contenant l'information locale des grandeurs de flux et d'effort. L'écriture de la netlist et la définition des modèles Verilog-A sont les étapes nécessaires pour qu'une simulation puisse être réalisée. Cette dernière opération est rendue possible par un simulateur de circuit, présenté dans la sous-section suivante.

3.1.2 Simulateur Spectre®

L'ensemble des instances connectées les unes aux autres forme un système dont on a vu dans le chapitre 2 qu'il pouvait être décrit sous forme d'une netlist. Le comportement du système global est régi par les interactions entre les modules de chaque instance. Un simulateur de circuit adapté à notre approche est un outil essentiel capable de lire la netlist, de compiler tous les modèles, dont ceux générés en Verilog-A et de lancer une simulation du circuit qui a été défini. Le simulateur de circuit Spectre® est utilisé car il fait partie de la suite logicielle de Cadence® et qu'il est compatible avec le langage Verilog-A et permet donc la simulation multi-physique. Son fonctionnement est rappelé dans la figure 3.3.

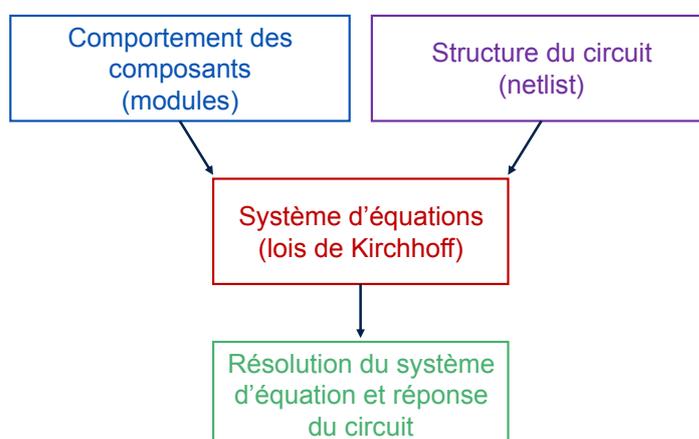


Figure 3.3 – Fonctionnement du simulateur Spectre®

Étapes de simulation suivies par Spectre®. Le simulateur lit la netlist et les modules, construit le système d'équations du circuit et le résout.

Ce simulateur établit grâce aux lois de Kirchhoff le système d'équations du circuit dont les inconnues sont les grandeurs d'effort aux nœuds et les grandeurs de flux dans les branches². Spectre® résout ensuite ce système par une méthode numérique (Newton-Raphson par exemple) pour trouver les points d'équilibres (les points de fonctionnement du circuit) lors d'une simulation statique. Pour une simulation transitoire (voir figure 3.4) contenant des condensateurs et des bobines, une intégration numérique est en plus réalisée et la dernière solution statique est utilisée comme point de départ à chaque nouveau pas de temps.

2. Une branche est un chemin entre deux nœuds. L'effort subi par une branche est égal à la différence de potentiels entre les nœuds qu'elle relie.

```

foreach pas_de_temps{      # Pas de temps contrôlé
  foreach iteration{      # Itération Newton-Raphson ou autre

    Construction et résolution du système
  } # Recommence jusqu'à convergence
  Mesure de l'erreur
  Choix du prochain pas de temps
}

```

Figure 3.4 – Algorithme de résolution d'une simulation transitoire

Algorithme simplifié de l'exécution d'une simulation transitoire.

Cette intégration consiste à faire une approximation discrète de la dérivée temporelle de la caractéristique du composant ($i(t) \propto \frac{dv}{dt}$ pour un condensateur, $v(t) \propto \frac{di}{dt}$ pour une bobine), et à résoudre cette approximation, un pas de temps après l'autre. Le modèle compact thermique choisi étant constitué de relations analogues à celles de condensateurs pour modéliser la capacité thermique d'une maille, il faut nous intéresser aux différentes méthodes d'intégration applicables. Il en existe plusieurs implémentées dans le simulateur, qui sont plus ou moins efficaces selon les cas. Le choix des paramètres de simulation, dont la méthode d'intégration numérique, est un sujet abordé dans le chapitre 4.

Comme indiqué dans le chapitre précédent, les modèles compacts physiques servant à modéliser les composants de puissance avec notre approche concernent à la fois la puce semi-conductrice et sa jonction, les constituants du boîtier, et les sources de flux et d'effort. Tous ces modèles sont décrits dans la suite de ce chapitre.

3.2 Modélisation des diodes Schottky

Une diode Schottky est un composant électronique composé d'une jonction Schottky qui est une jonction métal – semi-conducteur, et d'un volume constitué d'une couche épitaxiée faiblement dopée permettant de réaliser la jonction Schottky, et un substrat fortement dopé permettant au contraire la création d'un contact ohmique au niveau de la cathode (voir figure 3.5).

Voyons comment nous modélisons ces différentes régions.



Figure 3.5 – Structure d'une diode Schottky en une dimension

La structure de la diode Schottky est composée, côté anode, d'un métal en contact avec un semi-conducteur faiblement dopé épitaxié sur un substrat fortement dopé. Ce dernier permet un contact ohmique à la cathode.

3.2.1 Jonction Schottky

3.2.1.1 Théorie et modèle

Les jonctions métal/semi-conducteur formant une barrière de potentiel sont appelés contacts Schottky en référence à W. H. Schottky qui a été le premier à proposer un modèle pour la formation de cette barrière [92]. Comme ces diodes sont des composants à porteurs majoritaires, il n'y a pas de charges minoritaires stockées devant transiter d'une région à une autre lors de la commutation entre les modes passant et bloquant. Ceci implique que les temps de commutation sont plus courts que pour les composants bipolaires. C'est la raison pour laquelle ces composants sont souvent utilisés comme redresseurs rapides en électronique de puissance. Contrairement aux jonctions semi-conducteur/semi-conducteur dont les dopants diffusent dans le volume, le contact Schottky peut être représenté par une surface plane à l'interface entre la couche de métallisation et le semi-conducteur. En raison de sa relative simplicité et de l'intérêt que la société STMicroelectronics porte dans leur modélisation, les diodes Schottky ont été le principal composant étudié lors de cette thèse, permettant ainsi mettre en œuvre les preuves de concept de l'outil que nous développons.

Pour comprendre le fonctionnement et les propriétés du contact Schottky, nous devons retourner à l'origine de la formation de la barrière Schottky. Pour expliquer le principe de ce contact, nous nous placerons dans le cas d'un semi-conducteur de type n en contact avec un métal car c'est le cas rencontré dans les composants Schottky que nous cherchons à étudier. On suppose le travail d'extraction (énergie requise pour extraire un électron du niveau de Fermi jusque dans le vide avec une énergie cinétique nulle) du métal (ϕ_M) plus grand que celui du semi-conducteur (ϕ_S).

Le diagramme de bandes (figure 3.6) illustre la formation de la barrière causée par cette différence d'énergie quand les deux matériaux sont mis en contact [92].

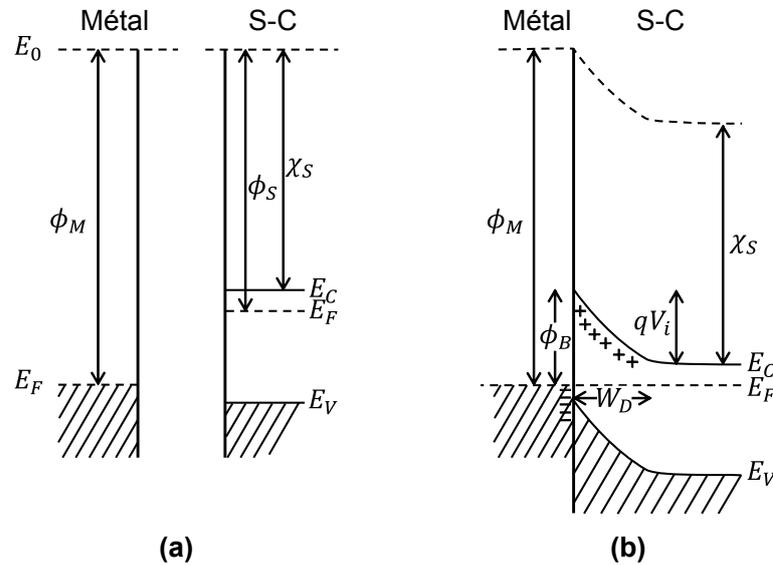


Figure 3.6 – Diagramme de bandes d'une jonction métal/semi-conducteur

Diagramme de bandes d'un métal et d'un semi-conducteur de type n, tel que $\phi_M > \phi_S$. **(a)** les deux matériaux sont séparés l'un de l'autre et **(b)** les deux matériaux sont mis en contact et l'équilibre thermodynamique est atteint [93].

Dans cette représentation, nous supposons que la surface des matériaux ne contient pas de charge en surface (*i.e.* la structure de bande est la même que celle du volume) et donc, que les bandes ne sont pas courbées. C'est ce que l'on observe dans la figure 3.6.a) quand le métal et le semi-conducteur (S-C) sont éloignés. Ce diagramme définit les niveaux d'énergie du vide (E_0), les niveaux de Fermi (E_F), les bandes de conduction (E_C) et de valence (E_V) du S-C et son affinité électronique (χ_S , l'écart d'énergie entre le bas de la bande de conduction et le niveau du vide).

Quand les deux matériaux sont en contact (voir situation d'équilibre thermodynamique en figure 3.6.b), les électrons de la bande de conduction du S-C (dont l'énergie est plus grande que celle des électrons du métal) vont rejoindre le métal jusqu'à ce que leurs niveaux de Fermi respectifs s'alignent. La concentration d'électrons libres se réduit alors à proximité de l'interface du côté du semi-conducteur, ce qui cause l'augmentation de l'écart $E_C - E_F$. Le niveau de Fermi restant constant à l'équilibre, on observe la courbure de la bande de conduction vers le haut d'une hauteur $\phi_M - \phi_S = qV_i$ (q est la charge élémentaire et V_i est le potentiel de contact). Comme la largeur de bande interdite est également constante, la bande de valence

se courbe de la même façon. Finalement, le niveau du vide se courbe aussi parallèlement à la bande de conduction du S-C, l'affinité électronique étant une grandeur caractéristique du S-C. La différence de potentiels V_i est équivalente à celle qui existe dans une jonction p-n à l'équilibre, bien qu'elle soit généralement plus faible dans la jonction Schottky, la chute de tension dans le métal étant négligeable.

Les électrons ayant rejoint le métal forment une couche très fine ($\approx 0,5 \text{ \AA}$) chargée négativement [94] et laissent dans le semi-conducteur une zone désertée d'électrons, avec uniquement des charges fixes positives sur une certaine distance W_D (épaisseur de la zone de charge d'espace). Il s'établit alors un champ électrique dirigé du semi-conducteur vers le métal, réduisant le passage des électrons du S-C vers le métal. De l'autre côté, les électrons du métal voient une autre barrière de potentiel pour traverser l'interface, la barrière de Schottky, définie par :

$$\phi_B = \phi_M - \chi_S. \quad (3.1)$$

À l'équilibre thermodynamique, le courant total est nul.

La caractéristique électrique de ce contact (voir figure 3.7) se déduit en considérant un état hors d'équilibre avec l'application d'une tension extérieure. Dans le cas d'une tension V_F positive du côté métal, l'épaisseur de la zone de déplétion diminue, de même que la hauteur du potentiel de contact (tel que $V = V_i - V_F$), augmentant ainsi le flux d'électrons du S-C vers le métal et créant un courant électrique circulant dans le sens inverse. La barrière du côté métal n'est pas modifiée car presque aucune chute de tension n'est observée. Le courant direct croît exponentiellement avec la tension appliquée et reste faible tant que $V_F < V_i$. Ce mode de fonctionnement est appelé polarisation directe.

Pour une tension V_R négative du métal vers le semi-conducteur cette fois, la chute de tension aux bornes de la jonction est amenée à $V = V_i + V_R$ et le flux d'électrons du S-C vers le métal est fortement réduit tandis que le flux dans le sens inverse reste le même. Le flux total implique qu'il existe un courant de fuite circulant du S-C vers le métal, plus important que pour une jonction p-n, mais qui reste faible devant le courant direct. Ce mode de fonctionnement est appelé polarisation inverse.

La théorie unifiée de dérive-diffusion [92] et d'émission thermoïonique [95] de Crowell et Sze [96] permet de rendre compte de la caractéristique de la diode

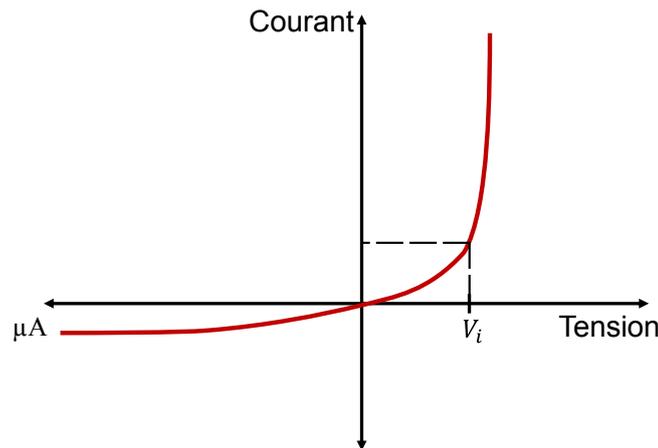


Figure 3.7 – Caractéristique électrique d'une diode Schottky

Représentation de la caractéristique d'une jonction Schottky en polarisation directe et inverse.

Schottky pour des semi-conducteurs de faible (prédominance de la diffusion) ou de forte (prédominance de l'émission thermoïonique) mobilité. Cette théorie considère le mouvement des charges dû à la fois au gradient de densité de porteurs de charge (loi de Fick) et au champ électrique (loi d'Ohm locale) au sein de la zone de déplétion. L'émission thermoïonique est le mécanisme de conduction à travers lequel les électrons du semi-conducteur ayant acquis une énergie suffisante peuvent passer la barrière de potentiel de la jonction. Après avoir traversé la barrière, le courant ne doit pas non plus être limité par la diffusion des électrons. Ceci est rendu possible par la présence du métal de l'autre côté de l'interface. Les deux théories amènent à la même expression de la densité de courant :

$$J = J_0 \left[\exp\left(\frac{qU_{sch}}{k_B T}\right) - 1 \right]. \quad (3.2)$$

où U_{sch} est la différence de potentiel aux bornes de la jonction Schottky, k_B la constante de Boltzmann et T la température absolue.

Mais alors que la densité de courant de saturation J_0 dépend du champ électrique dans l'approche de la diffusion, elle dépend de la température dans celle de l'émission thermoïonique. En réalité les deux phénomènes coexistent et peuvent être considérés en série, c'est donc celui qui limite le plus le courant qui domine. Crowell et Sze ont montré que pour des concentrations de dopant inférieures à 10^{17} cm^{-3} (type n) et pour des semi-conducteurs à forte mobilité (Si, SiC, GaAs...), comme

c'est le cas pour les redresseurs Schottky fabriqués par STMicroelectronics, l'émission thermoïonique est le phénomène prépondérant. Dans ce cas, la densité de courant de saturation prend la forme :

$$J_0 = A_R T^2 \exp\left(-\frac{q\phi_B}{k_B T}\right), \quad (3.3)$$

avec A_R la constante de Richardson qui dépend de la masse effective du porteur de charge, et ϕ_B la hauteur de barrière Schottky. Nous utiliserons cette dernière expression pour modéliser les jonctions Schottky en Verilog-A.

Bien que son effet soit réduit en comparaison avec une diode à jonction p-n (stockage de charge limité dans un composant unipolaire), la capacité de jonction a un effet sur la caractéristique dynamique d'un composant Schottky. Une capacité de jonction se forme dans la zone de déplétion d'épaisseur W_D définie par :

$$W_D = \sqrt{\frac{2\epsilon_s}{qN_d} |V_i - V|}, \quad (3.4)$$

où ϵ_s est la permittivité du semi-conducteur et N_d est la concentration de donneurs. Cette capacité induit un petit courant transitoire J_t se superposant au courant statique dont on retrouve l'expression en partant de l'équation (3.4) :

$$J_t(t) = \frac{dQ}{dt} = \frac{d}{dt} \sqrt{2q\epsilon_s N_d \left((V_i - V) - \frac{k_B T}{q} \right)}, \quad (3.5)$$

où Q est la charge dans la zone de déplétion.

En polarisation directe cette épaisseur se réduit, mais dans le même temps, la forte conductance de la jonction prend le dessus sur la capacité, et le courant J_t est négligeable. Cela n'est pas nécessairement le cas en inverse où, bien que la zone de déplétion s'élargisse légèrement, le courant statique reste faible et le courant transitoire n'est pas toujours négligeable. Nous avons choisi de l'implémenter dans le modèle Verilog-A pour décrire le modèle le plus général possible.

3.2.1.2 Aspects pratiques

La théorie de Schottky proposée ci-dessus montre quelques limites qu'il est nécessaire de connaître. L'équation (3.1) indique que la barrière Schottky croît linéai-

rement avec le travail d'extraction du métal. Cette dépendance n'est en réalité observée que pour les semi-conducteurs à liaisons ioniques, mais pas dans les semi-conducteurs à liaisons covalentes. Ce sont alors les états énergétiques de surface (niveaux d'énergie dans la bande interdite) qui vont principalement dicter la hauteur de la barrière à cause de la périodicité du cristal qui se brise et laisse place à des liaisons pendantes. La charge de la zone de déplétion change ainsi que la hauteur de barrière [97].

La caractéristique de la diode Schottky étant corrélée à cette hauteur de barrière, il est important de connaître sa valeur. Les matériaux semi-conducteurs généralement employés tels que le silicium ou le carbure de silicium ont des liaisons covalentes, et déterminer les états de surface est une tâche complexe car ceux-ci sont très dépendants du procédé de fabrication. On peut extraire la valeur de la hauteur de barrière à partir de données expérimentales de la caractéristique à une température donnée. L'ordonnée à l'origine de la régression linéaire de la courbe $\ln(J) = f(V)$ donne, connaissant la surface de la jonction et la température, la hauteur de barrière effective :

$$\phi_B = \left[\ln(A_R T^2) - \ln(J) \Big|_{V=0} \right] \frac{k_B T}{q}. \quad (3.6)$$

Le cas échéant, la contribution de la résistance série peut être éliminée si elle est connue, sinon une approche itérative est nécessaire (en faisant varier la hauteur de barrière ϕ_B comme un paramètre) [94]. Il est recommandé de réaliser ces tests sur un certain nombre de composants pour obtenir une valeur moyenne suffisamment représentative.

Un autre point important est que l'équation (3.2) est une forme idéale, mais d'autres mécanismes de conduction peuvent s'ajouter (effet tunnel à travers la barrière, recombinaison de porteurs dans la zone de charge d'espace quand la concentration est inférieure à 10^{15} cm^{-3} , injection de porteurs minoritaires). Un coefficient d'idéalité n est généralement utilisé pour décrire cet écart entre comportement parfait et réel ($n = 1$ étant le cas parfait). La densité de courant devient alors :

$$J = J_0 \left[\exp\left(\frac{qV}{nk_B T}\right) - 1 \right]. \quad (3.7)$$

Nous verrons cependant que le phénomène de forte injection peut devenir important

dans les redresseurs de puissance et que ce seul coefficient d'idéalité ne permet pas de modéliser tous les écarts entre la théorie et la réalité. Ce point sera abordé au chapitre 5).

3.2.1.3 Implémentation Verilog-A

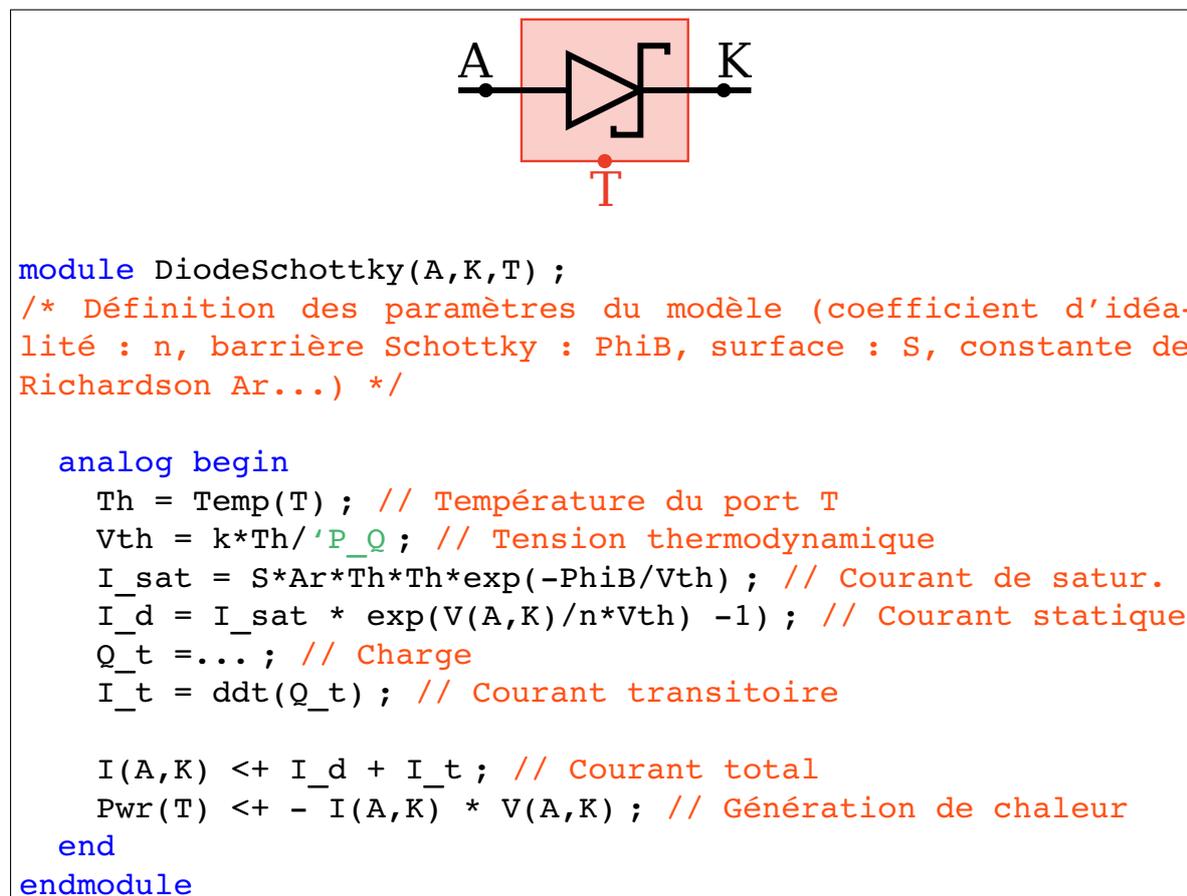


Figure 3.8 – Modèle Verilog-A d'une diode Schottky T-étendu

Sur la partie haute, se trouve le symbole de l'instance représentant une diode Schottky et sur la partie basse, la définition de cette instance dans un module Verilog-A. La notation $\text{ddt}(Q_t)$ est la dérivée par rapport au temps de la charge. L'expression de la charge n'est pas donnée par soucis de concision du code affiché.

L'implémentation du modèle de jonction Schottky dans notre outil n'est rien d'autre que la retranscription en Verilog-A des modèles physiques décrits dans la sous-section précédente. Comme cela a pu être montré pour une résistance plus tôt dans ce chapitre, nous pouvons en plus mettre en application les concepts introduits dans le chapitre 2, à savoir construire un modèle de diode Schottky électrique auquel on ajoute un port thermique pour qu'un couplage direct électrique-thermique

puisse exister. Ainsi, la figure 3.8 rappelle le symbole de cette nouvelle instance électrique T-étendue avec une diode Schottky, ses deux ports électriques (\mathcal{A} et \mathcal{K}) représentant l'anode et la cathode et son port thermique (\mathcal{T}).

La chaleur produite (effet Joule) dans la jonction est injectée dans un réseau thermique par ce port. La température qui résulte de l'injection de cette chaleur dans le réseau thermique est utilisée dans le modèle pour calculer la tension thermodynamique $k_B T/q$ et le courant de saturation I_{sat} . On retrouve le courant dynamique (noté I_{t} , dérivée par rapport au temps de la charge électrique). Pour rappel, le contact Schottky est une interface plane qui, d'après l'équation (3.4), peut s'étendre sur une profondeur de quelques dixièmes de microns en polarisation directe, à moins de quelques (dizaines) de microns en polarisation inverse. Cette instance peut alors être répartie à la surface de la puce semi-conductrice avec uniquement des diodes élémentaires connectées en parallèle, et en considérant une zone de déplétion d'épaisseur nulle.

3.3 Modélisation des éléments électro-thermiques de volume

Les éléments électro-thermiques de volume représentent les volumes élémentaires du composant simulé, en dehors de la jonction. Comme nous l'avons déjà vu, ces « briques » électro-thermiques sont des éléments de conduction permettant de modéliser le transport de chaleur et de charges dans le volume du semi-conducteur, mais aussi dans le boîtier. Nous allons maintenant détailler la manière dont ces modèles ont été construits et implémentés dans notre outil.

3.3.1 Modèle de conduction électro-thermique

Le modèle élémentaire est donné dans la figure 3.9. Rappelons que pour prendre en compte la partie électrique et la partie thermique, chaque nœud du maillage est doublé. Une moitié appartient au sous-réseau électrique et l'autre au sous-réseau thermique formés au sein du même module Verilog-A. La figure 3.9 est donc une forme générique d'un des deux sous-réseaux où un nœud est connecté à trois résis-

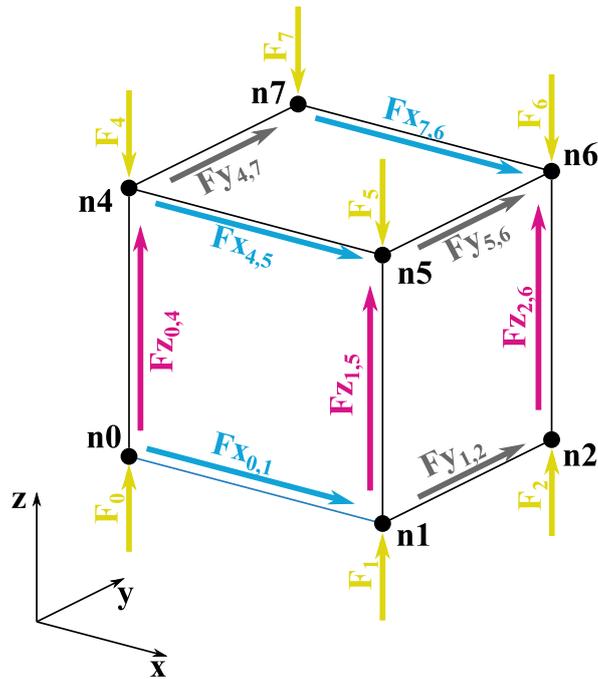


Figure 3.9 – Représentation 3D d'un élément électrothermique et les flux associés

Les flèches entre deux nœuds représentent les flux (électriques ou thermiques) dans chaque direction de l'espace (a), dûs au caractère résistif ($F^{a_{i,j}}$) du matériau modélisé entre deux nœuds (i et j). Les flèches vertes pointant vers les sommets représentent les flux F_i liés au caractère capacitif entre un nœud (i) et la référence (non affiché sur la figure).

tances (une pour chaque direction de l'espace). Dans le cas du sous-réseau thermique, une capacité est ajoutée entre chaque nœud et la masse thermique. Ces résistances déterminent la relation de proportionnalité qui existe entre les flux $F^{a_{i,j}}$ (a étant la direction x , y ou z et i, j les nœuds numérotés de 0 à 7 auxquels sont reliées les résistances) et les différences de potentiels ou de températures ($T_{i,j}$). Dans ce qui suit, nous présenterons les équations liées au sous-réseau thermique, la partie électrique étant analogue, l'aspect capacitif en moins. Le flux traversant une résistance thermique est donc :

$$F^{a_{i,j}} = \frac{\Delta T_{i,j}}{Ra}. \quad (3.8)$$

Cette expression correspond à la loi de Fourier pour la conduction thermique (et à la loi d'Ohm pour la conduction électrique). La capacité thermique est modélisée par un flux proportionnel à la dérivée de la température par rapport au temps, allant d'un nœud vers la masse thermique. Cette modélisation est en accord avec les lois de la thermodynamique, considérant le taux de variation de chaleur interne ($\frac{dQ}{dt} = C \frac{dT_i}{dt}$)

3.3. Modélisation des éléments électro-thermiques de volume

stockée en un point (C est la capacité thermique et T_i la température au nœud i) :

$$F_i = C \frac{dT_i}{dt}. \quad (3.9)$$

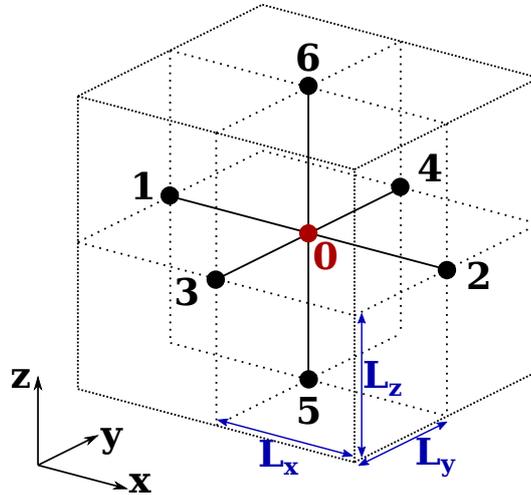


Figure 3.10 – Association de huit mailles identiques

Le nœud « 0 » est entouré de huit mailles identiques. Les nœuds auxquels il est relié sont représentés par les rond noirs numérotés de 1 à 6.

La distribution des flux doit toutefois se faire selon des proportions précises dictées par le choix du schéma de discrétisation. Par observation de la figure 3.10, on déduit que le flux dans une branche ($F_{i,j}$) est partagé entre quatre éléments et que le flux, F_i , d'un nœud à la référence est, quant à lui, partagé entre huit éléments. À l'intérieur de chaque élément, ces flux doivent alors compter respectivement pour un quart et un huitième du flux total défini dans les équations (3.8) et (3.9). Avec les appellations définies dans les figures 3.9 et 3.10, il est possible d'appliquer la loi des flux de Kirchhoff au nœud central (noté en rouge « 0 » dans la figure 3.10) pour en tirer une condition de conservation pour la partie thermique, celle de la partie électrique étant similaire, mais dépourvue du terme capacitif F_0 :

$$4 \times (F_{x_{1,0}} + F_{x_{0,2}} + F_{y_{3,0}} + F_{y_{0,4}} + F_{z_{5,0}} + F_{z_{0,6}}) + 8 \times F_0 = 0. \quad (3.10)$$

Ce résultat peut être redémontré à partir de l'application d'une résolution numérique par différences finies. L'approche des différences finies dont nous avons décrit le principe dans le premier chapitre est la plus directe, et c'est donc celle-ci que nous avons retenue.

La méthode des différences finies pour l'équation de la chaleur dynamique, cette fois en trois dimensions, et pour un maillage régulier tel que présenté en figure 3.10 et pour le nœud « 0 » donne :

$$C_0 \frac{dT_0}{dt} = \frac{L_x L_y L_z}{\rho} \left[\frac{T_1 + T_2 - 2T_0}{L_x^2} + \frac{T_3 + T_4 - 2T_0}{L_y^2} + \frac{T_5 + T_6 - 2T_0}{L_z^2} \right], \quad (3.11)$$

C_0 étant la capacité thermique, L_a la longueur dans la dimension a ($a \in \{x, y, z\}$) et ρ la résistivité thermique.

Par identification avec l'équation (3.10), on retrouve les termes de flux thermiques résistifs entre les nœuds 0 et i (avec R_a la résistance thermique dans la dimension a , parallèle au segment de droite formé par les nœuds 0 et i) :

$$F_{i0} = \frac{1}{4} \frac{T_i - T_0}{R_a}, \quad (3.12)$$

et le flux capacitif :

$$F_0 = \frac{C_0}{8} \frac{dT_0}{dt}. \quad (3.13)$$

3.3.2 Modèle Verilog-A pour un maillage régulier

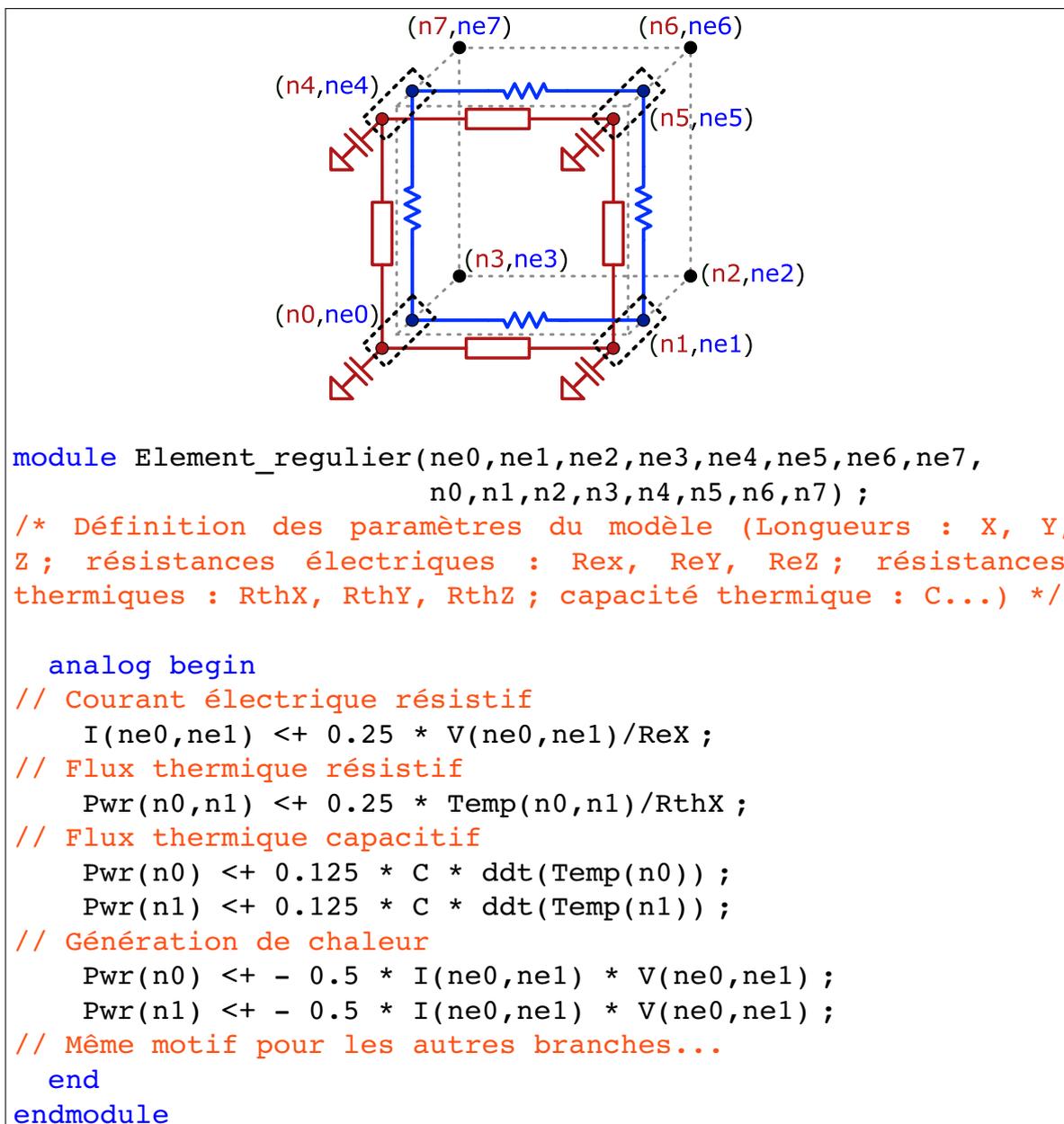


Figure 3.11 – Modèle Verilog-A d'un élément électro-thermique à huit nœuds

Huit nœuds électriques et huit thermiques ont été créés. Seuls les flux issus des branches $(ne0, ne1)$ et $(n0, n1)$ sont montrés pour l'exemple. Le symbole de l'instance et les ports sont rappelés dans la partie haute.

De même que pour le modèle de jonction, l'implémentation en Verilog-A du modèle de conduction électro-thermique consiste à exprimer les équations de comportement de l'instance dans un module dédié. Ainsi, les flux traversant les résistances

comprises entre deux nœuds (sommets) d'un élément électro-thermique et ceux entre chaque nœud et la référence sont définis en suivant les lois définies précédemment, comme on peut le voir sur la figure 3.11. Ce module contient donc huit nœuds électriques et huit nœuds thermiques formant chacun une partie des sous-réseaux électrique et thermique. Dans le code Verilog-A de cette figure, seuls les flux des branches (n_{e0}, n_{e1}) et (n_0, n_1) ont été affichés. On retrouve les quarts de flux pour les contributions résistives et les huitièmes de flux pour les contributions capacitive de la partie thermique. Enfin, la génération de chaleur par effet Joule est là encore modélisée en ajoutant un flux thermique sortant à chaque nœud constituant la branche électrique (n_{e0}, n_{e1}) . Ce flux thermique correspond à la moitié du flux thermique total traversant la branche.

Ce qui vient d'être décrit est vrai dans le cas d'un maillage régulier (toutes les mailles adjacentes ont le même degré de raffinement). Néanmoins, le cas d'un maillage irrégulier doit aussi être pris en compte.

3.3.3 Modèle Verilog-A pour un maillage irrégulier

Comme expliqué au chapitre 2, nous avons construit un maillage pouvant être raffiné dans les régions de forts gradients, ce qui implique un maillage irrégulier dans ces régions. Nous avons de plus choisi de contraindre les dimensions de deux mailles adjacentes (pas plus d'un facteur deux), ce qui permet de limiter les configurations possibles lors de la distribution des flux dans le modèle Verilog-A. Remémorons-nous que les éléments peuvent, avec cette contrainte, avoir un nœud au centre de chaque arête et un au centre de chaque face. L'ensemble des possibilités est synthétisé dans la figure 3.12 pour les flux astreints au plan formé par les nœuds 0, 1, 4 et 5 (de 3.12.a à 3.12.d) et pour les flux hors du plan (de 3.12.e à 3.12.f). Dans le modèle Verilog-A, la prise en compte d'une configuration ou d'une autre est activée au début de la simulation par des paramètres booléens attachés au modèle.

Sur ces configurations de la figure 3.12, les nœuds issus du maillage irrégulier sont colorés en rouge et les flux sont représentés par les flèches en bleu. Nous avons choisi de partir de l'élément régulier et des flux qui lui sont associés, puis de redistribuer ces flux en fonction des nouvelles branches créées (donc en fonc-

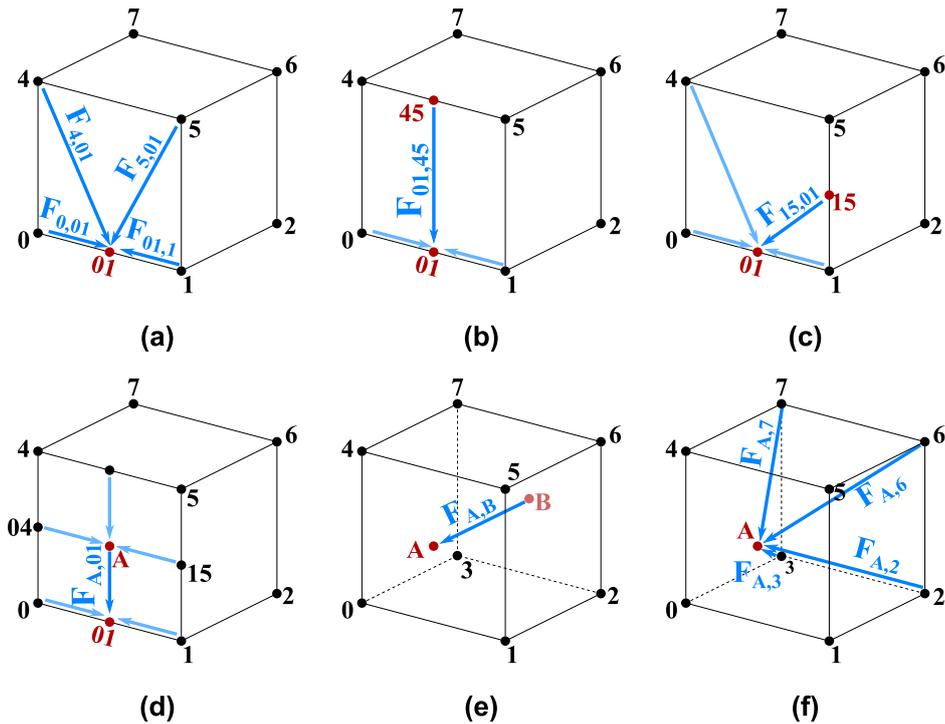


Figure 3.12 – Configurations considérées dans le modèle des éléments électro-thermiques à plus de huit nœuds

Distribution des flux pour six configurations différentes en ne considérant que les flux : **(a)-(d)** appartenant au plan (0,1,4,5) et **(e)-(f)** hors du plan.

tion du nombre de nœuds actifs et de leurs positions) par l’activation d’un nœud intermédiaire (centres des faces ou arêtes). Nous ne prenons ici que le cas 3.12.a pour exemple, les distributions de flux des autres configurations sont disponibles en annexe D. Nous appellerons F le flux (courant ou flux de chaleur), V la grandeur d’effort (tension ou température) et $R_{X,Y,Z}$ les résistances (électrique ou thermique) définies dans les arêtes de l’élément initial à huit nœuds.

La configuration de la figure 3.12.a, conduit à la subdivision de la branche (0,1) qui n’existe donc plus :

$$F_{0,1} = 0. \quad (3.14)$$

Le flux qui y était attaché est remplacé par ceux des deux nouvelles branches (0,01) et (01,1). La longueur de chaque branche est deux fois plus petite que l’arête (0,1). La résistance R_X , proportionnelle à cette longueur, est donc divisée par deux dans l’expression des flux :

$$\left\{ \begin{array}{l} F_{0,01} = 2 \frac{\Delta V_{0,01}}{4R_X} \\ F_{01,1} = 2 \frac{\Delta V_{01,1}}{4R_X} \end{array} \right. \quad (3.15)$$

Cette subdivision n'est pas la seule conséquence de l'existence du nœud 01. Les nœuds 4 et 5 appartenant au même plan que le nœud 01 interagissent ensemble. Ceci est modélisé par l'ajout de branches diagonales partant d'un sommet vers le nœud intermédiaire. Ces branches supplémentaires contribuent dans l'élément électro-thermique au flux vertical, porté initialement par les seules branches (0,4) et (1,5) du plan formé par les nœuds 0, 1, 4, et 5. En ponctionnant un tiers de flux dans les arêtes verticales, les flux sortant des nœuds 0, 01 et 1 se répartissent équitablement :

$$\left\{ \begin{array}{l} F_{4,0} = \frac{2}{3} \frac{\Delta V_{4,0}}{4R_Z} \\ F_{5,1} = \frac{2}{3} \frac{\Delta V_{5,1}}{4R_Z} \\ F_{4,01} = \frac{1}{3} \frac{\Delta V_{4,01}}{4R_Z} \\ F_{5,01} = \frac{1}{3} \frac{\Delta V_{5,01}}{4R_Z} \end{array} \right. \quad (3.16)$$

Remarquez que le même jeu d'équation est valable dans le plan mettant à contribution les nœuds 0, 1, 2 et 3, bien que non indiqués sur la figure 3.12.a par soucis de lisibilité.

Dans l'absolu, d'autres configurations pourraient être prises en compte avec des flux dans les diagonales. On sait par exemple qu'en deux dimensions, une bonne représentation d'une résistance ferait intervenir non pas quatre (une par arête) résistances, mais six (avec des résistances dans les diagonales). En trois dimensions, et avec un maillage irrégulier, un tel traitement devient d'une part rapidement pénible à mettre en place, et d'autre part inefficace en ce qui concerne la résolution numérique. Nous avons donc pris le parti de nous astreindre à ce nombre limité de configurations, sachant qu'au final, c'est la finesse du maillage qui dicte la précision des résultats. Plus la maille est fine plus le résultat de simulation est précis, quel

que soit le modèle utilisé.

3.3.4 Effet de la température sur les modèles de conduction

Une modification de la température provoque une variation des valeurs des propriétés électro-thermiques des matériaux. Nous avons choisi de prendre cet effet en considération en calculant, au cours de la simulation, les résistivités électrique et thermique locales dans les régions neutres du semi-conducteur en fonction de la température et de la concentration de dopant. Le calcul de la résistivité électrique (ρ_e) est réalisé à partir du modèle de mobilité de Reggiani et al. [86] et de l'équation de la résistivité (connaissant q la charge élémentaire, n la concentration d'électrons, p celle des trous et $\mu_{n,p}$ les mobilités des porteurs de charge) :

$$\rho_e(n, p, T) = \frac{1}{q(n\mu_n(T) + p\mu_p(T))}. \quad (3.17)$$

Remarquons que pour un composant Schottky où les porteurs majoritaires sont les électrons, la contribution des trous est négligeable.

Le modèle de mobilité étant lourd, les données ont été renseignées dans une table de correspondance dopant-température-résistivité traitée par le langage Verilog-A. Cette approche consiste à remplacer l'ensemble des opérations de calcul de la résistivité par une simple consultation de tableau. Selon les données d'entrée, une interpolation linéaire est réalisée pour trouver la correspondance la plus proche.

Concernant la dépendance en température de la résistivité thermique du silicium ($\rho_{th}(T)$), nous utilisons la loi empirique de Glassbrenner et al. [90] :

$$\rho_{th}(T) = 0,03 + 1,56 \times 10^{-3}T + 1,65 \times 10^{-6}T^2. \quad (3.18)$$

3.4 Autres instances et conditions aux limites

La création de sources de flux et d'effort en Verilog-A s'impose également pour définir des conditions aux limites du système. L'approche envisagée autorise aussi bien l'utilisation de signaux électriques que thermiques, laissant ainsi la possibilité de réaliser, en plus des simulations électro-thermiques, des simulations purement

thermiques ou purement électriques.

3.4.1 Conditions aux limites électriques

Les stimuli électriques utilisés sont des sources de courant pouvant être primaires (statiques, sinusoïdales, carrées...), ou plus spécifiques pour modéliser des surcharges électriques transitoires. Les impulsions comme les I_{FSM} ou les ondes 10/1000 μs exposées plus tôt, sont des exemples de sources n'existant pas nativement dans les bibliothèques de composants analogiques de Cadence® mais qu'une instance Verilog-A peut traiter. La source de courant I_{FSM} est une demi-sinusoïde de fréquence 50 Hz et d'amplitude nulle au-delà de 10 ms (voir figure 3.13).

```
module IFSM(Plus,Minus) ;
    analog begin
    /* Définition des paramètres du modèle (amplitude du signal :
    Ipp) */

    // Signal sinusoïdal si le temps est inférieur à 10ms
        if($abstime<10e-3) Iout = Ipp*sin(M_PI*$abstime/10e-3) ;
    // Signal nul sinon
        else Iout = 0 ;
        I(Plus,Minus) <+ Iout ;
    end
endmodule
```

Figure 3.13 – Modèle Verilog-A d'une source I_{FSM}

Le courant est une fonction sinus de fréquence 50 Hz en dessous de dix millisecondes et est fixé à zéro ensuite.

Un signal du type 10/1000 μs peut être modélisé par l'impulsion d'une décharge d'un condensateur dans un circuit RLC en série, fortement amorti. Alors que connecter en série une résistance, une bobine et un condensateur dans un circuit est une solution, celle du modèle Verilog-A est la plus compacte avec deux possibilités : créer un module équivalent RLC, ou écrire directement l'expression mathématique reproduisant cette courbe, comme sur le modèle de la figure 3.14.

3.4.2 Conditions aux limites thermiques

Dans la netlist Spectre®, on peut connecter les nœuds à une référence. Celle-ci peut être la masse ou une source de tension pour les nœuds appartenant au

```

module Source_10_1000(Plus,Minus) ;
  analog begin
    /* Définition des paramètres du modèle (courant maximal : Ipp ;
    coefficients dépendant des valeurs de résistance, de capacité
    et d'inductance : a et b) */

    I(Plus,Minus) <+ Ipp*(exp(-a*$abstime)-exp(-b*$abstime)) ;
  end
endmodule

```

Figure 3.14 – Modèle Verilog-A d'une source de courant équivalente à une décharge d'un circuit RLC

Expression mathématique d'une décharge d'un condensateur dans un circuit RLC pour reproduire les signaux de courant de type 10/1000 μ s, 8/20 μ s, etc.

réseau électrique, ou une source de température pour le réseau thermique. Alors que la masse et la source de tension sont des instances déjà existantes dans les bibliothèques de Cadence®, la source de température doit être créée. Le modèle Verilog-A associé à cette source parfaite, de température T_0 , est donné en figure 3.15 :

```

module Source_Temperature(T) ;
  analog begin
    /* Définition des paramètres du modèle (température de référence : T0) */

    Temp(T) <+ T0 ;
  end
endmodule

```

Figure 3.15 – Modèle Verilog-A d'une source de température fixe

Source de température fixée à T_0 .

Les nœuds connectés à cette instance sont donc fixés à une température constante. Aux limites, cela est équivalent à une condition de Dirichlet pour l'équation de la chaleur. Ce module agissant comme un puits de température parfait peut être agrémenté d'une résistance thermique pour modéliser la convection thermique et devenir équivalente à une condition de Newton (ou de Robin) lorsque connecté en bordure de boîtier [98].

Par ailleurs, l'absence de connexion de certains nœuds dans la netlist implique qu'aucun flux ne peut en sortir. Cette situation intervient généralement sur les bords

du boîtier du composant de puissance (hors présence de dissipateur) et correspond à une condition de Neumann avec un flux nul pour l'équation différentielle décrivant la conduction thermique.

3.5 Conclusions sur l'implémentation des modèles Verilog-A

Le langage Verilog-A adjoint au simulateur de circuit Spectre[®] s'associent pleinement à notre approche de modèles distribués. Ceux-ci doivent être définis dans les modules Verilog-A avant d'être répartis dans une structure en trois dimensions et connectés entre eux dans une netlist. La souplesse du langage Verilog-A et sa gestion multi-disciplinaire permettent le couplage fort entre les parties électrique et thermique, rendent l'implémentation des modèles intuitive et facilite la convergence de la simulation avec des critères de convergence indépendants pour les deux sous-réseaux. Les modèles de jonctions tirés de la physique des semi-conducteurs sont directement applicables en exprimant ces lois dans une approche nodale. De leur côté, les modèles de conduction électro-thermiques se basent sur une résolution par différences finies de l'équation de la chaleur donnant des résultats équivalents à l'application des lois de Kirchhoff pour le réseau électrique. Ces modèles de conduction ont été implémentés et adaptés aux maillages réguliers ou irréguliers. Enfin les conditions aux limites ont aussi été abordées à travers la création d'instances Verilog-A électriques et thermiques pouvant modéliser n'importe quel stimulus ou n'importe quelle référence, statique ou transitoire.

La preuve de concept reste à faire en mettant en pratique toutes les notions introduites dans ce chapitre et le précédent. C'est ce dont le prochain chapitre traitera.

Chapitre 4

Mise en œuvre et résultats de simulations

Résumé

Ce quatrième chapitre présente la mise en œuvre de notre outil. Des cas tests simples permettent d'abord de valider l'approche, puis des résultats de simulations statiques et transitoires sur des cas concrets de composants Schottky de puissance sont présentés. Les résultats de simulation sont comparés aux données expérimentales et à des simulations TCAD réalisées avec la suite Sentaurus de SYNOPSIS®.

4.1 Validation de l'approche proposée

Les concepts précédemment discutés dans ce manuscrit ont pu être appliqués à plusieurs études. La première est cruciale et se résume à la validation de l'approche par éléments électro-thermiques distribués (modèles de conduction) à l'aide de cas simples dont on peut calculer analytiquement les solutions. Dans cette section, nous mettons en place des modélisations de résistances électriques, thermiques et électro-thermiques avec différentes configurations de maillage pour s'assurer de la validité et de la fiabilité de notre outil.

4.1.1 Cas d'une résistance purement électrique

Le cas de la résistance électrique que nous cherchons à reproduire est un élément simple constitué d'un seul matériau quelconque de résistivité $\rho_e = 1 \Omega \cdot \text{cm}$, de dimensions $L_x = L_y = 200 \mu\text{m}$ et $L_z = 100 \mu\text{m}$, comme sur la figure 4.1.

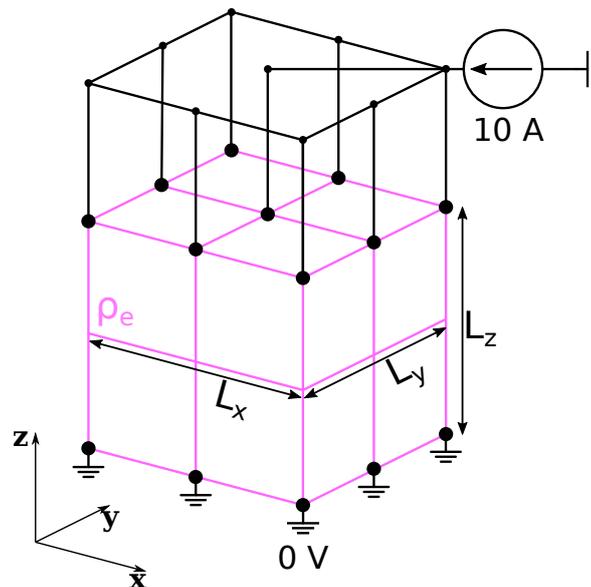


Figure 4.1 – Configuration de simulation électrique pour un simple matériau résistif

Polarisation verticale (z) grâce à une source de courant connectée à tous les nœuds de la face supérieure de la structure, et la masse électrique à ceux de la face inférieure.

On réalise à partir de l'interface une simulation où l'on impose un courant allant de $I = 0$ à $I = I_{max} = 10\text{A}$ à une extrémité et une tension nulle à l'extrémité opposée, comme montré sur la figure 4.1. La différence de potentielle calculée pour la simulation est celle entre les extrémités haute ($Z = 0 \mu\text{m}$) et basse ($Z = 100 \mu\text{m}$) de la

structure Les nœuds à la surface $z = 0$ forment une équipotentielle et la résistance du matériau est simplement donnée par :

$$R_z = \frac{\rho_e L_z}{L_x L_y} = 25 \Omega. \quad (4.1)$$

Les quatre autres faces ne sont connectées à aucune autre instance. Cette condition est comparable à une connexion à un isolant parfait. Cela signifie qu'aucun courant ne sort du matériau par ces frontières. Un maillage régulier de $12 \times 12 \times 12 = 1728$ éléments (2196 points) a été arbitrairement choisi (voir figure 4.2).

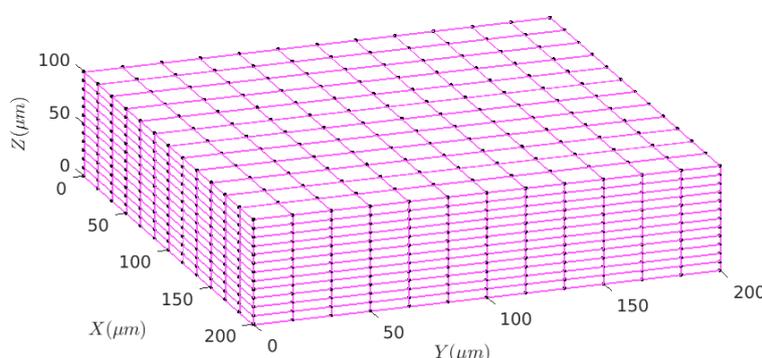


Figure 4.2 – Maillage régulier utilisé dans les tests de validation

Maillage régulier de 1728 éléments formés par le découpage de la structure de dimensions L_x, L_y et L_z en 1728 éléments. Les nœuds du maillage sont représentés par des points noirs.

Les résultats de cette simulation sont visibles en figure 4.3. Comme attendu, la caractéristique statique (figure 4.3.a) montrant l'évolution du courant en fonction de la tension est linéaire. La valeur de la pente doit être celle de la résistance du matériau modélisé. On retrouve la résistance dans l'axe z obtenue par simulation $R_z^{sim} = 25 \Omega = R_z$.

De plus, la figure 4.3.b présente le champ de vecteurs de densité de courant dans le plan (x, z) . Celle-ci est répartie de façon uniforme et chaque vecteur porte la norme théorique de $\frac{I_{max}}{L_x L_y} = 25\,000 \text{ A/cm}^2$. Ces résultats ont été obtenus après extraction des résultats et affichage dans l'outil MATLAB®. Deux autres conditions de tests avec un courant et une masse imposés dans les autres axes ont été réalisés pour vérifier la cohérence du modèle. Les valeurs de résistances simulées étaient toujours celles calculées analytiquement, et les courants étaient répartis uniformément dans la structure. Nous pouvons conclure avec ces vérifications que le modèle

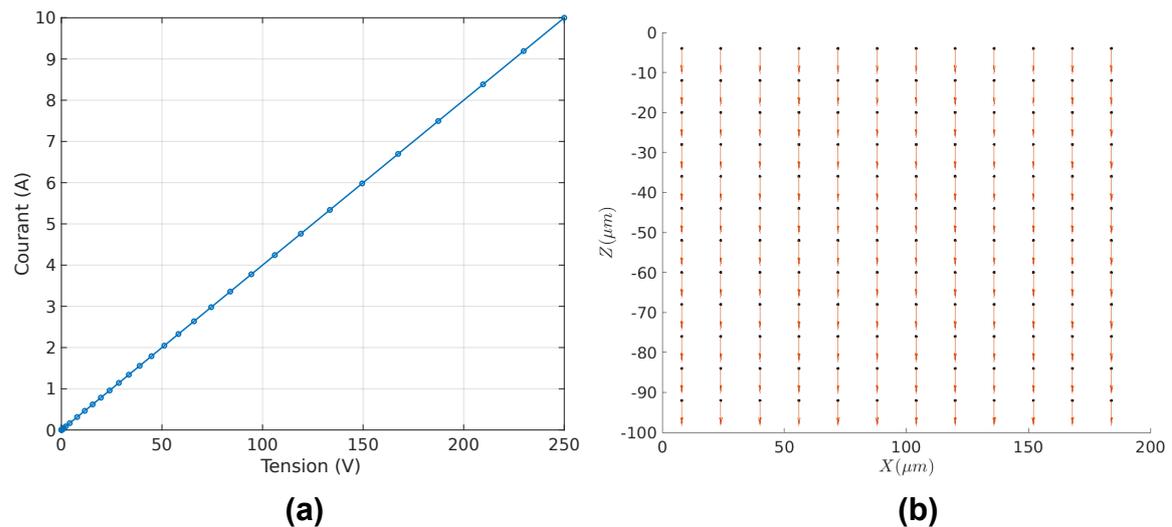


Figure 4.3 – Résultats de simulation pour une résistance simple

(a) Caractéristique électrique du matériau résistif pour un courant balayé de 0 à 10 A. **(b)** Champ vectoriel de la densité de courant dans le plan (x, z) pour un courant de 10 A et une tension de 250 V.

de conduction électrique dans le cas d'un maillage uniforme est représentatif de ce que l'on observe pour une résistance, et qu'il est exempt d'erreur (aux erreurs d'arrondis près, de l'ordre de $10^{-3} \Omega$).

4.1.2 Cas d'une résistance purement thermique

On peut utiliser le même scénario que dans la sous-section précédente pour valider le modèle de conduction thermique en effectuant un test transitoire de 10 ms pour s'assurer que la variation de chaleur interne (contribution de la capacité thermique au flux thermique) est correctement représentée. Considérons la même structure et le même maillage que précédemment avec une résistivité thermique $\rho_{th} = 0,01 \text{ K} \cdot \text{m}/\text{W}$ et une capacité thermique volumique $C_{th} = 6 \text{ J}/\text{K} \cdot \text{cm}^3$. La source de courant est remplacée par une source de chaleur $P(t)$ constituée de trois domaines :

- $P(t) = 10 \text{ W}$ pour t compris entre 0 et 4 ms ;
- $P(t)$ décroît linéairement de 10 W à 0 W entre 4 et 6 ms ;
- $P(t) = 0$ jusqu'à la fin.

La masse électrique est remplacée par une source de température $T_0 = 300 \text{ K}$.

La figure 4.4.a montre l'évolution temporelle de la température à la surface du

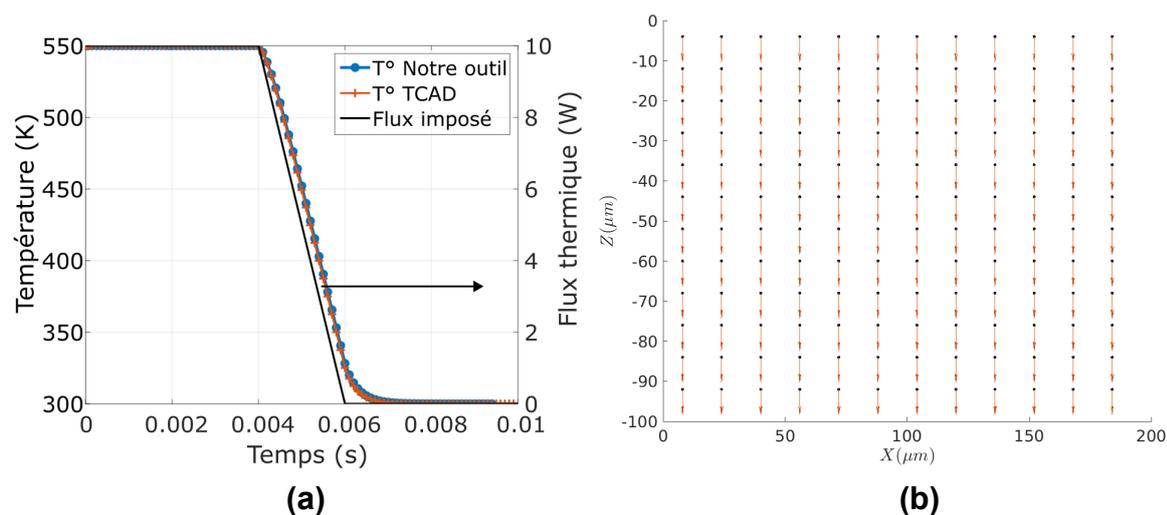


Figure 4.4 – Résultats de simulation pour une résistance thermique simple

(a) Évolution de la température maximale simulée avec Notre outil (courbe bleue) et avec l’outil TCAD (courbe orange). Le flux thermique d’entrée est montré en gris. (b) Distribution de température dans le plan (y, z) , en $x = 0$ à $t = 5 \text{ ms}$ et profil de température le long de l’axe z pour $x = y = 0$ sur la courbe en noir.

parallélépipède. La courbe bleue est le résultat donné par notre outil que l’on peut comparer à celui obtenu par une simulation par éléments finis avec la suite Sentaurus de SYNOPSIS® (courbe orange). Le signal de flux thermique imposé est aussi rappelé (courbe noire notée « Flux imposé »). On observe qu’en régime stationnaire (jusqu’à 4 ms), la température est constante et vaut 550 K . Quand le flux thermique imposé chute, la structure se refroidit, mais avec un délai dû à la capacité thermique du matériau avant de retomber à 300 K , la valeur de référence.

La résistance thermique dans la direction z étant :

$$R_z^{th} = \frac{\rho_{th} L_z}{L_x L_y} = 25 \text{ K/W}, \quad (4.2)$$

on peut calculer la température maximale théorique $T_{max} = P(t = 0) \times R_z^{th} + T_0 = 550 \text{ K}$ et valider que l’on retrouve le résultat simulé. Les solutions analytiques dans le régime transitoire n’étant pas triviales, une simulation par éléments finis sert de référence à notre outil. L’accord entre les deux simulations est tel qu’attendu avec les deux courbes qui se superposent presque parfaitement (moins de $0,97\%$ d’écart relatif sur tout le domaine de la courbe).

La figure 4.4.b présente une nouvelle information locale, celle du profil de température à l’instant $t = 5 \text{ ms}$ selon l’axe z . Les valeurs des températures sont repor-

tées sur la courbe noire. On retrouve le comportement attendu avec une distribution linéaire de la température le long de l'axe z lorsque la puissance thermique est constante. Dans les faits, on observe une inflexion au point $Z = 3\mu\text{m}$ et au point $Z = 97\mu\text{m}$ en raison de l'extraction des résultats que nous réalisons. À chaque point de la courbe correspond la position du centre d'un élément et la température moyenne de ce même élément. Pour éviter cet effet, l'extraction des grandeurs électriques et thermiques devraient être faite à chaque nœud, et pas seulement par élément. Cela est mis en place dans le test qui suit seulement, mais pourrait être implémenté durablement dans l'outil.

4.1.3 Cas d'une résistance électro-thermique

Nous présentons ici le cas d'une résistance électro-thermique en trois dimensions où le modèle Verilog-A tient compte, en plus de la conduction électrique et thermique, de la génération de chaleur dans cette résistance. Les sources de puissances distribuées à chaque nœud permettent de modéliser l'effet Joule. La structure et les propriétés électro-thermiques déjà choisies restent les mêmes. Le signal d'entrée devient cette fois une source de courant initialement de $0,5\text{ A}$ dont la forme d'onde est identique à celle du flux thermique dans le deuxième cas ($0,5\text{ A}$ pendant 4 ms puis chutant linéairement jusqu'à un courant nul à 6 ms). Ce cas test est étudié dans le cas d'un maillage régulier, puis d'un maillage irrégulier.

Dans cette configuration de test, nous sommes en mesure de calculer la température en régime stationnaire de façon analytique pour comparer nos résultats de simulation. Connaissant la puissance dissipée totale lors de la phase stationnaire initiale, nous pouvons déterminer la densité de puissance linéique :

$$p(t = 0, z) = \frac{R_z \times I^2(t = 0)}{Lz} = 6,25 \times 10^{-2} \text{ W} \cdot / \mu\text{m}, \quad (4.3)$$

et la résistivité thermique linéique du matériau :

$$r(t = 0, z) = \frac{R_z^{th}}{Lz} = 25 \times 10^{-2} \text{ K} \cdot \mu\text{m}/\text{W}. \quad (4.4)$$

L'équation de la chaleur stationnaire avec un continuum uniforme de sources de

puissance dans le matériau est :

$$\frac{d^2T(z)}{dt} = -p(z) \times r(z). \quad (4.5)$$

La solution de l'équation (4.5), en considérant un flux nul en $z = 0$ et une température de $T_0 = 300\text{K}$ en $z = L_z$ s'écrit :

$$T(z) = -\frac{p(z) \times r}{2} (L_z^2 - z^2) + T_0. \quad (4.6)$$

La température maximale est trouvée en $z = 0$ et $t = 0$, où $T(z = 0, t = 0) = 378,125\text{K}$.

4.1.3.1 Application à un maillage régulier

Le maillage régulier utilisé est le même que précédemment. Les résultats de la simulation transitoire sont montrés dans la figure 4.5.

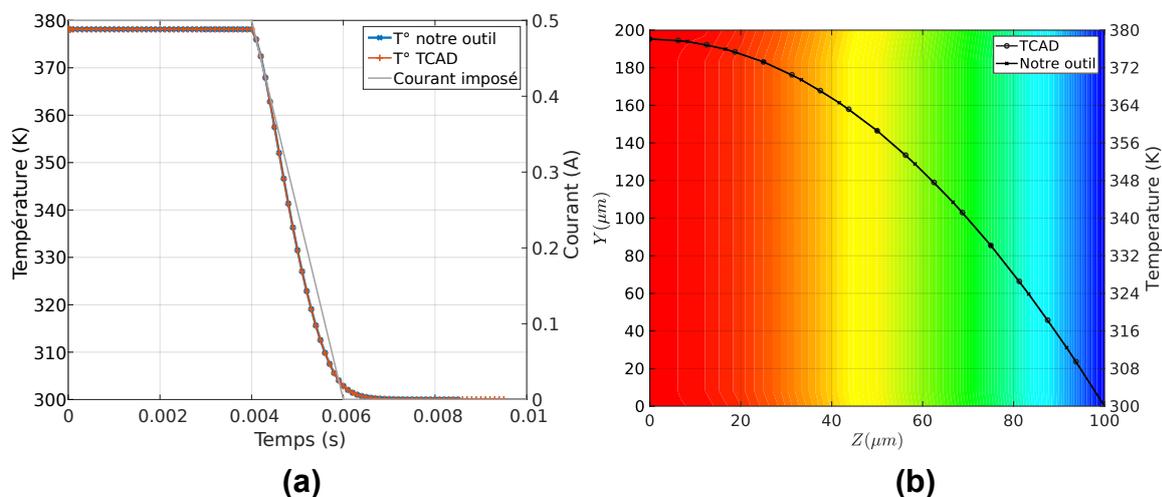


Figure 4.5 – Résultats de simulation pour une résistance électro-thermique simple

(a) Évolution de la température en surface du matériau, *i.e.* la température maximale simulée avec notre outil (courbe bleue) et avec l'outil TCAD (courbe orange). Le courant imposé est montré en gris. (b) Distribution de température dans le plan (y, z) , en $x = 0$ à $t = 3$ ms et profil de température le long de l'axe z en $x = y = 0$ sur la courbe en noir.

Sur la figure 4.5.a nous avons tracé le signal de courant d'entrée (noté « Courant imposé ») en gris, l'évolution de la température maximale simulée avec notre outil (courbe bleue) et par TCAD (courbe orange). Nous constatons une excellente concordance entre les deux simulations dans ce cas de résistance électro-

thermique. La température atteinte dans la partie stationnaire est de 378,125 K, ce qui correspond à la valeur attendue. Le refroidissement de ce morceau de résistance est lui aussi modélisé correctement comme le montre cette comparaison avec la simulation TCAD. La répartition de température à un instant donné (ici 3 millisecondes) à laquelle sont superposés les profils de température obtenus avec notre outil et la TCAD (4.5.b) rendent bien compte de l'évolution de la température régie par l'équation (4.6). La distribution des températures est définie par le champ de couleur allant du rouge pour le plus chaud au bleu pour le plus froid et issu d'une interpolation linéaire). Là encore, les deux courbes se superposent parfaitement en considérant la température en chaque nœud dans l'extraction des résultats avec notre outil.

Notre objectif est à présent de déterminer si la distribution des flux que nous proposons lorsque le maillage est irrégulier est cohérente. Cela se déroule dans un premier temps avec le même parallélépipède test mais avec un maillage irrégulier.

4.1.3.2 Application à un maillage irrégulier

Le maillage irrégulier sélectionné est illustré dans la figure 4.6. Il discrétise la même structure que dans les cas précédents, mais avec un maillage initial de $6 \times 6 \times 6 = 216$ éléments, et avec une zone de raffinement de degré un (une subdivision) en son centre. La géométrie choisie pour ce raffinement est un parallélépipède rectangle de dimensions $L_x/3$, $L_y/3$ et $L_z/3$.

Ce maillage met en œuvre plusieurs configurations de distribution des flux des sous-réseaux électrique et thermique qui ont été définies dans le chapitre précédent. L'objectif est, dans ce cas quasi unidimensionnel, de vérifier que la conservation des flux est respectée et que ceux-ci se répartissent de manière appropriée. Les conditions aux limites sont ici les mêmes que dans le cas d'étude précédent.

Nous constatons sur la figure 4.7.a que les résultats obtenus avec le maillage irrégulier (marqués par des croix) sont identiques à ceux obtenus avec le maillage régulier (traits pleins) lorsque nous comparons les réponses en tension (courbes bleues) ou en températures maximales (courbes oranges). La vue en perspective de la figure 4.7.b indique le champ de température le long du matériau simulé et les vecteurs de densité de courant à l'instant $t = 5$ ms. Nous retrouvons une température

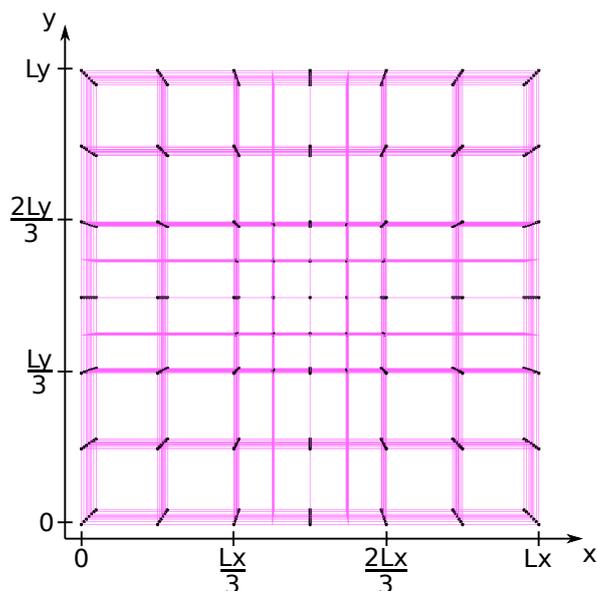


Figure 4.6 – Projection d'un maillage irrégulier en vue du dessus

Structure découpée en $6 \times 6 \times 6$ éléments subdivisée en son centre. Les nœuds du maillage sont représentés par des points noirs.

(a)

(b)

Figure 4.7 – Comparaison de résultats de simulation électro-thermique entre maillage régulier et irrégulier avec notre outil

(a) Comparaison des signaux de tension et de température entre un maillage régulier et irrégulier. (b) Distribution de température dans le volume et champ de vecteurs de densité de courant symbolisés par les flèches noires.

variant quadratiquement par rapport à la coordonnée z , et une densité de courant uniforme purement verticale. La mise en place du maillage irrégulier s'avère être cohérente et n'altère pas les résultats attendus.

Les cas tests présentés ont permis de vérifier la mise en place des modèles de conduction électro-thermiques et leurs connexions dans la netlist grâce à des comparaisons avec la théorie et un outil de simulation par éléments finis. Étudions maintenant l'effet du nombre de mailles et du raffinement pour une condition électrique localisée.

4.2 Étude de l'influence du maillage

Après avoir montré que les modèles de conduction électro-thermique étaient corrects pour un cas simple de flux unidirectionnel, ceux-ci doivent être testés dans

le cas d'une condition limite électrique non uniforme. Celle-ci est positionnée dans le plan $z = 0$ et est délimitée par les bords d'un rectangle compris entre les points de coordonnées $(50; 50)$ et $(150; 150)$ (voir figure 4.8).

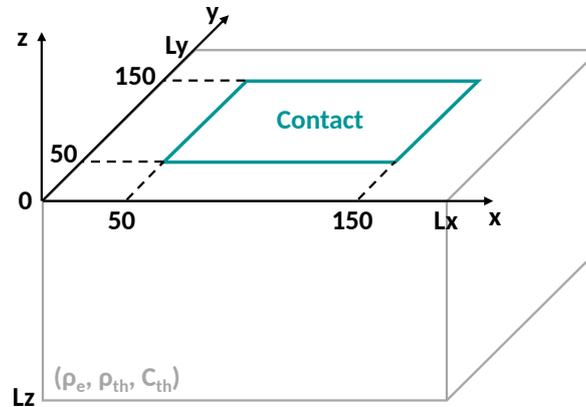


Figure 4.8 – Position du contact électrique non uniforme

Contact électrique défini dans la région délimitée par le rectangle vert.

Les propriétés de la structure modélisée sont rappelées dans le tableau 4.1 :

$L_x(\mu\text{m})$	$L_y(\mu\text{m})$	$L_z(\mu\text{m})$	$\rho_e(\Omega \cdot \text{cm})$	$\rho_{th}(\text{Km/W})$	$C_{th}(\text{J/Kcm}^3)$
200	200	100	1	0,01	6

Tableau 4.1 – Structure et propriétés du matériau simulé

Enfin, le stimulus utilisé est un signal de courant statique 0,5 A. Nous discutons et comparons maintenant les résultats obtenus avec notre outil à ceux obtenus avec la suite Sentaurus pour des maillages réguliers et irréguliers.

4.2.1 Maillages réguliers

La structure utilisée est toujours constituée d'éléments de conduction électrothermiques. Un maillage régulier de $n \times n \times n$ éléments (où n varie) est considéré. Nous évaluons l'effet du maillage en comparant la résistance et la température maximale atteinte dans la structure simulée avec notre outil à celles obtenues par une simulation par éléments finis, constituée de 262 000 éléments, prise comme référence. Ce maillage a été réalisé en raffinant après plusieurs itérations selon le gradient de densité de courant dans la structure. Les itérations sont stoppées lorsque l'écart de tension statique simulée est inférieur à 1 % d'une itération à l'autre.

La figure 4.9 présente l'évolution des écarts vis à vis de la référence pour la résistance et la température simulées avec notre outil en fonction du nombre de mailles dans la structure. On constate que l'écart avec la référence (obtenue par éléments finis) tend à diminuer progressivement à mesure que le maillage devient de plus en plus fin. De plus, cet écart oscille, tantôt sous-estimant et tantôt surestimant les valeurs de résistance et de température. À première vue ces oscillations peuvent sembler surprenantes, mais s'expliquent simplement. En effet, le bord de la région correspondant au contact ne coïncide pas nécessairement avec les bords des éléments du maillage. Ainsi, la surface effective est, selon la configuration, plus petite ou plus grande qu'elle ne l'est réellement. Bien sûr, l'amplitude des oscillations décroît elle aussi quand le nombre d'éléments augmente, la surface de contact étant de plus en plus finement décrite. L'erreur devient finalement négligeable pour un nombre de mailles proche de celui ayant permis d'obtenir la référence.

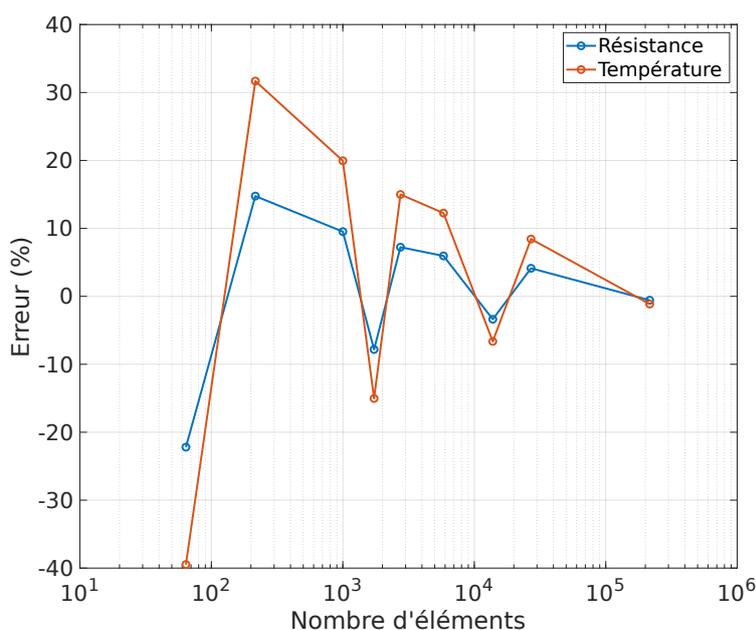


Figure 4.9 – Ecarts relatifs de résistance et de température entre la référence et notre outil

Évolution de l'erreur relative pour la résistance (courbe bleue) et la température (courbe orange) avec le nombre de mailles dans la structure.

Un grand nombre de mailles est requis pour simuler un simple matériau résistif dont la condition limite en courant n'est pas uniformément répartie. Utiliser un maillage irrégulier peut s'avérer utile pour régler ce problème.

4.2.2 Maillages irréguliers

Nous avons vu qu'affiner le maillage permettait d'améliorer sensiblement les résultats. Toutefois réduire les dimensions de toutes les mailles peut engendrer d'inutiles consommations de ressources numériques. Dans la situation que nous cherchons à modéliser, il existe d'importants gradients électriques et thermiques aux abords de la condition électrique. Raffiner le maillage dans cette région est vraisemblablement le plus pertinent. À ce titre, nous avons défini une zone de raffinement dans tout le plan $z = 0$ sur une profondeur de $10 \mu\text{m}$ (valeur arbitraire, proche de l'épaisseur d'une couche épitaxiée pour un composant Schottky que l'on souhaite étudier par la suite) comme dans l'exemple de la figure 4.10.

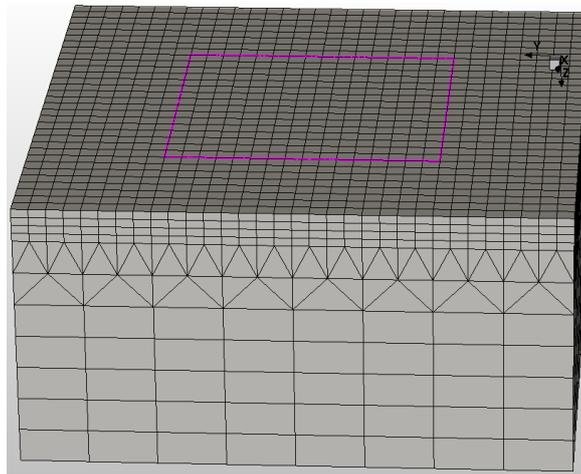


Figure 4.10 – Exemple type de maillage irrégulier utilisé dans Sentaurus

Maillage et zone de raffinement en surface obtenus via Sentaurus, permettant de réduire localement la taille des éléments proches du contact électrique.

Les écarts entre la référence et notre outil pour les valeurs de résistance et de température maximale sont montrées en figure 4.11 dans le cas de plusieurs maillages irréguliers notés $n \times n \times n_DdR$ (n est le nombre de découpage du maillage initial et DdR est le degré de raffinement).

L'interprétation de ces résultats est moins directe que dans le cas du maillage régulier, puisque l'effet de la plus ou moins bonne discrétisation du contact se mêle à celui de la discrétisation dans le reste du volume. La tendance est toujours à la diminution de l'erreur quand le nombre d'éléments augmente, mais cela ne se fait plus de façon monotone. Un choix peu pertinent des paramètres de maillage

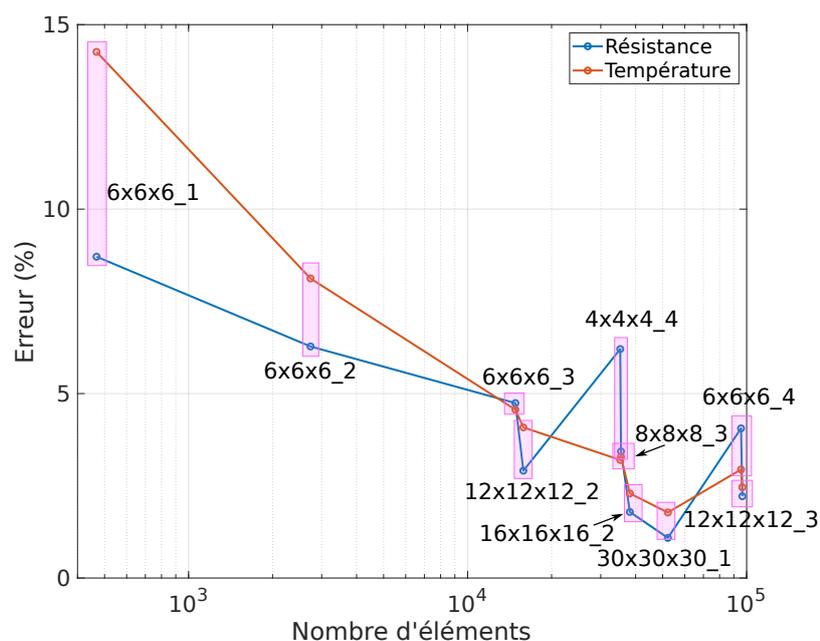


Figure 4.11 – Ecarts relatifs de résistance et de température entre la référence et notre outil

Évolution de l'erreur relative pour la résistance (courbe bleue) et la température (courbe orange) avec le nombre de mailles dans la structure pour plusieurs maillages irréguliers.

(maillage initial et raffinement) n'amène pas à une minimisation de l'erreur (avec un nombre d'éléments peu élevé). Cet enjeu est bien connu dans le domaine de l'analyse par éléments finis. On le retrouve dans notre approche. C'est la raison pour laquelle on voit dans la figure 4.11 des erreurs parfois plus élevées même pour des nombres d'éléments importants, comme la configuration 4x4x4_4 comparée à la 6x6x6_3 par exemple. Dans ce cas particulier, les mailles du 6x6x6_3 s'accordent mieux aux bords du contact électrique que le 4x4x4_4. De ce fait, malgré un nombre d'éléments plus faible, l'erreur est réduite.

Généralement avec un maillage irrégulier, l'erreur reste inférieure, pour un nombre d'éléments donné, au cas d'un maillage régulier. Pour ce cas test, on atteint un optimal (1 % d'erreur pour la résistance et 1,8 % pour la température) pour environ 52 000 éléments, soit cinq fois moins qu'avec la référence TCAD.

Les composants de puissance que l'on cherche à modéliser, *in fine*, seront soumis aux mêmes types de contraintes sur le maillage, près des contacts électriques et des jonctions, d'où l'importance de bien définir ces régions et de profiter des performances offertes par un maillage irrégulier.

4.3 Résultats de simulation sur diodes Schottky

Les premières sections de ce chapitre ont pu mettre en lumière la bonne prise en compte des phénomènes de conduction électrique et thermique, ainsi que de l'effet Joule grâce au modèle Verilog-A que nous avons développé. Rappelons qu'il s'agissait jusque là d'étapes de validation préliminaires à la modélisation de composants de puissance discrets, le véritable intérêt de notre approche se trouvant dans l'utilisation de modèles compacts distribués pour décrire le comportement de la jonction. Nous avons cherché à étudier des diodes Schottky dont nous avons parlé dans le chapitre 3, et dont nous présentons maintenant les résultats. Nous nous intéressons à la modélisation d'une puce semi-conductrice seule, puis encapsulée dans son boîtier. Les données technologiques (dopages, épaisseurs, hauteurs de barrières) relatives aux produits étudiés sont gardées confidentielles, sans que la compréhension des points traités ne soit altérée. Celles-ci sont renseignées dans l'interface pour être prise en compte lors de la simulation.

4.3.1 Puce semi-conductrice seule

4.3.1.1 Simulations statiques

La modélisation de la puce seule est un point essentiel permettant de mettre en œuvre notre approche en connectant les modèles de conduction électro-thermique aux modèles compacts de diode Schottky. La simulation la plus simple que nous puissions faire dans un premier temps est celle de la caractéristique statique du composant que nous pouvons comparer à des résultats expérimentaux. La structure simulée est celle de la figure 4.12, avec une région faiblement dopée n établissant une jonction Schottky (représentée par le symbole de diode) avec le film de métal.

Cette couche de silicium est épitaxiée sur un substrat formant un contact ohmique à son extrémité (connectée aux symboles de masse électrique). Nous supposons que le contact Schottky est une surface plane délimitée par le contact métal/semi-conducteur auquel on peut attribuer une ou plusieurs diodes élémentaires (une seule peut être suffisante pour une simulation statique où les effets thermiques sont négligeables). Les résistivités des couches (épitaxie ou substrat) sont

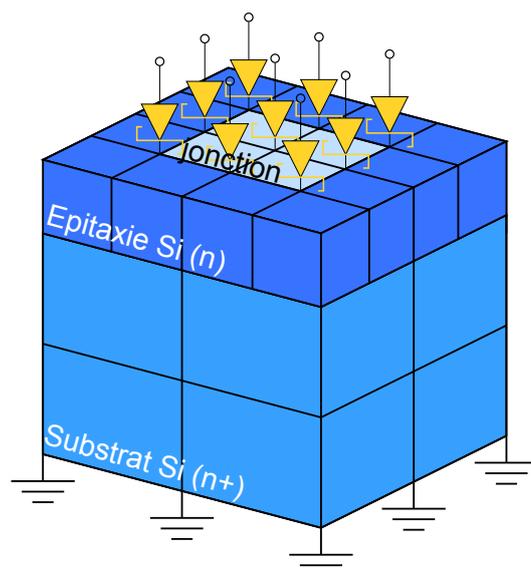


Figure 4.12 – Structure de la puce Schottky simulée

Vue 3D d'une puce Schottky et de ses neuf diodes élémentaires distribuées au niveau de sa surface active avec un maillage arbitraire représentant les éléments électro-thermiques.

connues et la température est fixée à 300 K. Chaque nœud du maillage appartenant à la surface active est connecté à une diode élémentaire. Cette configuration sera conservée dans tout le reste du chapitre. Pour reproduire la caractéristique expérimentale, un courant statique allant de 0 à 4 A est imposé aux anodes des diodes. Le circuit équivalent de cette structure est simplement une diode Schottky en série avec une résistance modélisant la chute de tension aux bornes du composant quand le courant devient fort.

Le maillage utilisé avec notre outil est un maillage irrégulier où la zone de raffinement est restreinte à la surface active dans toute l'épaisseur de l'épitaxie. Plusieurs configurations de discrétisation ont été essayées jusqu'à atteindre un optimal avec 46 000 éléments. Pour la TCAD, deux maillages ont été générés. Un premier, « proche ¹ » de celui utilisé avec notre outil et comptant 41 000 éléments a été choisi pour pouvoir comparer les temps de simulation. Nous l'appellerons dans la suite « maillage équivalent TCAD ». Un deuxième maillage, choisi comme référence pour comparer la qualité des résultats a également été utilisé. Cette référence a été créée suite à un maillage itératif basé sur le gradient de densité de courant. Le champ de densité de courant est calculé à chaque itération, le maillage se raffine dans les

1. Les algorithmes de discrétisation étant différents, il n'est pas possible d'avoir exactement les mêmes maillages entre notre outil et la suite Sentaurus

régions de forts gradients et se relâche ailleurs. Cela permet d'avoir un nombre de nœuds minimal (donc un temps de calcul réduit) et une description fine des phénomènes en présence dans la structure Schottky. Le nombre d'éléments atteint avec cette procédure est d'environ 370 000.

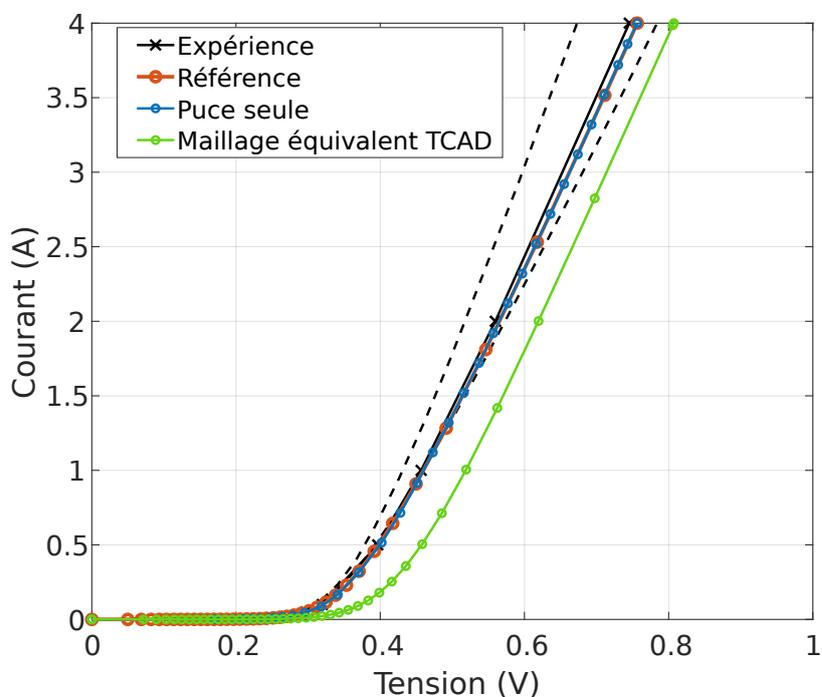


Figure 4.13 – Caractéristique de la puce Schottky étudiée

Caractéristique statique de la puce Schottky seule de 0 à 4 ampères et à 300 K comparée à la simulation de la puce sans boîtier et à la mesure.

La figure 4.13 compare la caractéristique expérimentale (balayage en courant assez rapide pour considérer une température constante) et les caractéristiques simulées par notre outil et par l'outil TCAD. Notre outil et la référence TCAD se superposent particulièrement bien à la courbe expérimentale dans tout le domaine considéré. En revanche, la simulation TCAD avec un nombre de mailles proche de ce qui a été utilisé avec notre outil présente un écart relativement important (8,3 % à 4 A) par rapport à la mesure. Par ailleurs, nous avons tracé deux courbes en pointillés donnant le domaine de tolérance expérimentale de ce composant. Elles ont été obtenues à partir de la forme analytique de la caractéristique du composant :

$$V(I) = \frac{nk_B T}{q} \ln \left(\frac{I}{I_s} + 1 \right) + IR_s, \quad (4.7)$$

puis en changeant la valeur de la résistance série (R_s) relativement à la disper-

sion expérimentale des épaisseurs et des résistivités (particulièrement celle de la région épitaxiée). Il est important de noter que le résultat obtenu avec le maillage équivalent TCAD est insatisfaisant puisque la caractéristique sort assez largement de ces limites. De surcroît, la simulation statique avec notre outil a duré 4 minutes contre 12 minutes pour la simulation TCAD avec un nombre similaire de mailles (et environ 50 minutes pour la référence).

Ce qui ressort des nombreuses simulations que nous avons pu mettre en place, est que notre outil nécessite toujours bien moins de mailles que la simulation TCAD pour obtenir des résultats similaires à la référence. Par exemple nous avons pu obtenir moins de 2 % d'écart (erreur de tension relevée à 4 A) avec la caractéristique mesurée pour un maillage ne contenant que 12 700 éléments (pour 2,5 min de temps de simulation). Nous avons toutefois décidé de conserver le maillage décrit plus haut (46 000 éléments) par la suite pour s'assurer de mieux localiser les points chauds.

4.3.1.2 Simulations transitoires

La simulation statique de la puce ayant donné des résultats concluants, nous pouvons réaliser des simulations électro-thermiques transitoires. Comme il n'est pas possible d'avoir des résultats expérimentaux montrant la distribution de densité de courant ou de température, les résultats de notre outil sont uniquement comparés à la référence TCAD. L'objectif de notre outil est de simuler le comportement de composants de puissance lors de surcharges électriques. Le test privilégié pour ces redresseurs Schottky est une surcharge de courant direct formant une demi-sinusoïde de dix millisecondes (I_{FSM}). Il est à noter que, dans le cas de notre outil, le signal de courant est une fonction sinusoïdale continue alors que dans le cas de la TCAD, cette même fonction sinus a été échantillonnée et fournie en entrée en raison de difficultés de convergence. La simulation est réalisée pour reproduire cette surcharge avec un pic de courant (à 5 ms) de 10 A. Les résistivités électrique et thermique du silicium suivent respectivement le modèle de mobilité de Reggiani, et le modèle de Glassbrenner dont il a déjà été question dans le chapitre précédent. Ces mêmes modèles sont activés dans la suite Sentaurus.

Nous observons la réponse électrique dans le temps obtenue avec notre outil comparée à la référence pour un courant maximal de 10 A sur la figure 4.14.

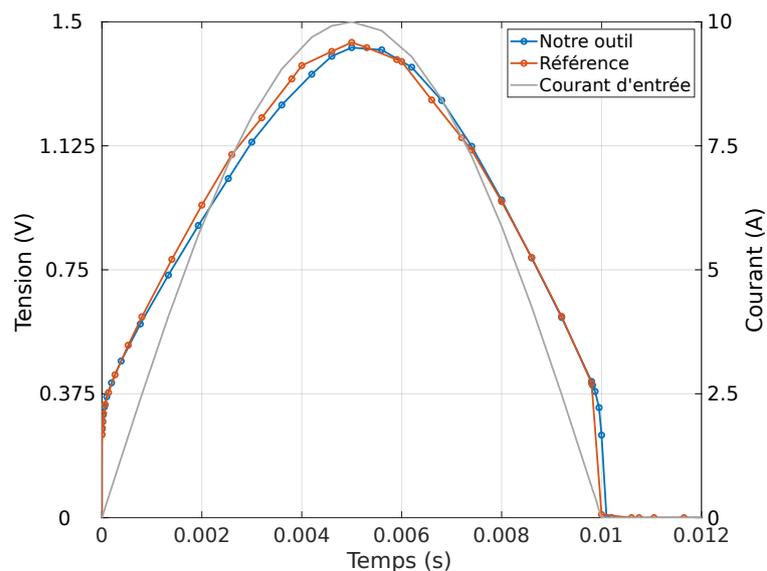


Figure 4.14 – Signaux de tension et courant transitoires pour une I_{FSM} de 10 A

Évolution de la tension simulée avec notre outil (courbe bleue), comparée à la référence TCAD (courbe orange), en regard du courant imposé (courbe grise, échelle de droite).

Pour le même courant d'entrée, les réponses en tension des deux simulations sont très proches. Le plus grand écart observé est d'environ 3 % entre 2 ms et 4 ms, et peut s'expliquer principalement par les différences dans la discrétisation spatiale de chaque outil. Celles-ci influent nécessairement sur le calcul des résistances électrothermiques et des capacités thermiques (dans le silicium épitaxié et le substrat). De surcroît, comme nous l'avons relevé dans les sections précédentes, ces différences se répercutent sur la précision du positionnement de la surface active. La différence de comportement observée aux environs de 10 ms est due à deux choses. La première est la discrétisation temporelle requise pour décrire la chute brutale de courant à la fin de la demi-sinusoïde pour la TCAD pour laquelle un signal discret a été renseigné. Ajouter un trop grand nombre de point nuirait à la vitesse de calcul sans changer le comportement thermique car la puissance générée est nulle. Dans le même temps, la tension ne chute pas instantanément à zéro à dix millisecondes avec notre outil. Cela dépend généralement des critères de convergence qui ne sont pas les mêmes et dont les subtiles variations peuvent avoir des effets importants sur la vitesse et sur la qualité de la convergence dans ces domaines discontinus.

Les distributions des densités de courant à cinq millisecondes sont comparées à la figure 4.15. En surface de la puce (4.15.a), on voit que les deux distributions sont très proches et on identifie les coins et les bords de la zone active comme les

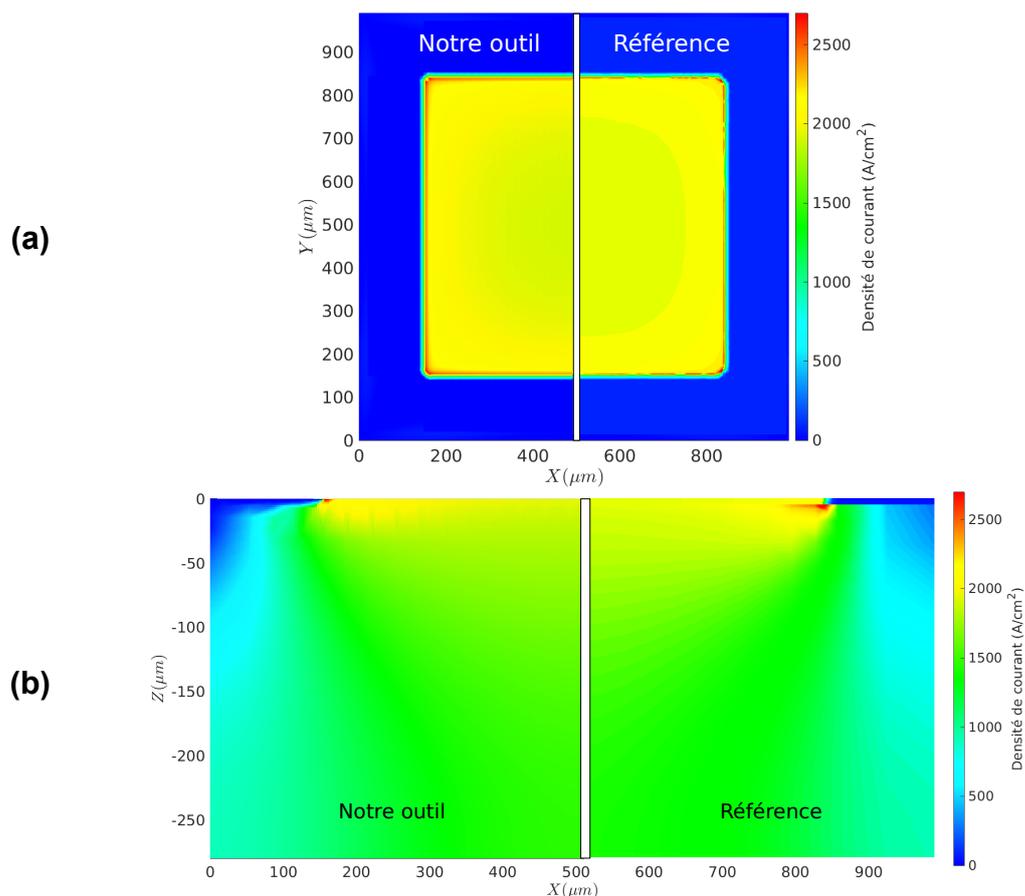


Figure 4.15 – Distribution de la densité de courant dans le composant Schottky

Comparaison des distributions de densité de courant **(a)** dans le demi-plan $z = 0$, et **(b)** dans le demi-plan $y = 495 \mu\text{m}$ à 5 ms. La distribution de notre outil est à gauche, celle de la référence TCAD, à droite.

lieux où les courants se focalisent particulièrement. Cet effet est aussi visible dans la coupe dans le plan (x, z) (4.15.b) où l'on observe cette focalisation à quelques microns de profondeur, correspondant à l'interface épitaxie/substrat. Un léger écart par rapport à la référence est visible notamment dans la taille du point de focalisation de courant visibles, mais s'explique à la fois par la différence de discrétisation et par le fait que les valeurs de densité de courant de chaque élément sont moyennées. La comparaison des distributions reste néanmoins satisfaisante dans l'ensemble et les valeurs maximales de densité de courant sont très proches entre les deux simulations.

Par ailleurs, l'évolution temporelle de la température maximale dans la structure est donnée en figure 4.16. Comme pour l'évolution des grandeurs électriques, la température maximale simulée avec notre outil est semblable à celle obtenue en

TCAD. Avec des pics à 341,6 K et 343,6 K respectivement et moins de 3 % d'écart dans la dynamique (montée en température avant 5 ms), les résultats obtenus sont satisfaisants. Ces écarts sont encore imputables aux discrétisations spatiales différentes et à la distribution des flux du modèle de conduction électro-thermique.

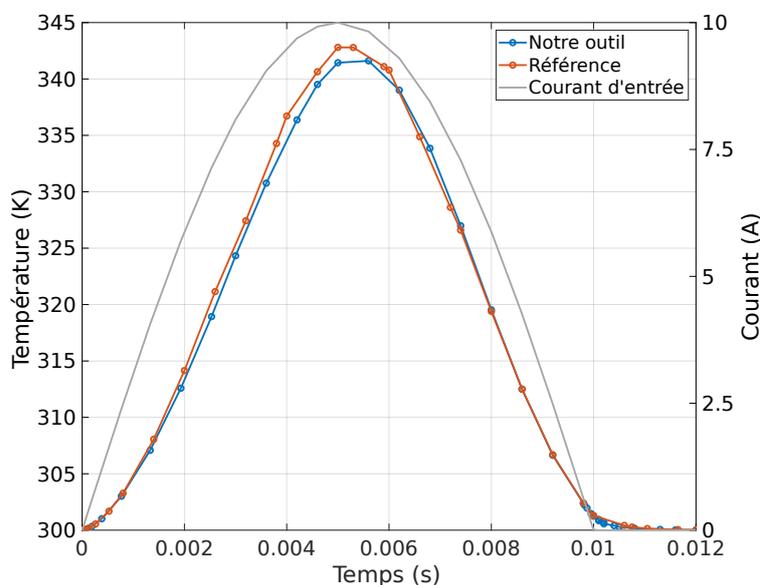


Figure 4.16 – Signaux de température et de courant transitoires pour une I_{FSM} de 10 A

Évolution de la température simulée avec notre outil (courbe bleue), comparée à la référence TCAD (courbe orange), en regard du courant imposé (courbe grise, échelle de droite).

Enfin, les distributions des champs de température sont presque identiques aussi bien en surface (4.17.a) que dans la profondeur (4.17.b) de la puce. Le seul changement perceptible est l'écart des températures maximales mentionné plus tôt qui altère l'intensité des couleurs de l'échelle de température. Hors de la surface, il n'est déjà plus visible. Ces résultats témoignent une fois de plus d'une description adaptée aux phénomènes électro-thermiques étudiés.

Au sujet des temps d'exécution, notre outil a pris 28 minutes pour générer la structure, le maillage (avec 46 000 éléments) et réaliser toute la simulation transitoire. Comparativement, la structure équivalente construite dans la suite Sentaurus (avec 41 000 éléments) et qui ne donnait pas des résultats satisfaisants dans la simulation statique a pris 38 minutes pour être maillée et simulée en transitoire. La température maximale calculée dans ce cas s'éloigne alors de 13 % de la référence. Ce temps n'inclut pas la création de la structure dont nous nous sommes affranchis dans notre approche où elle est automatisée. Concernant la référence (contenant

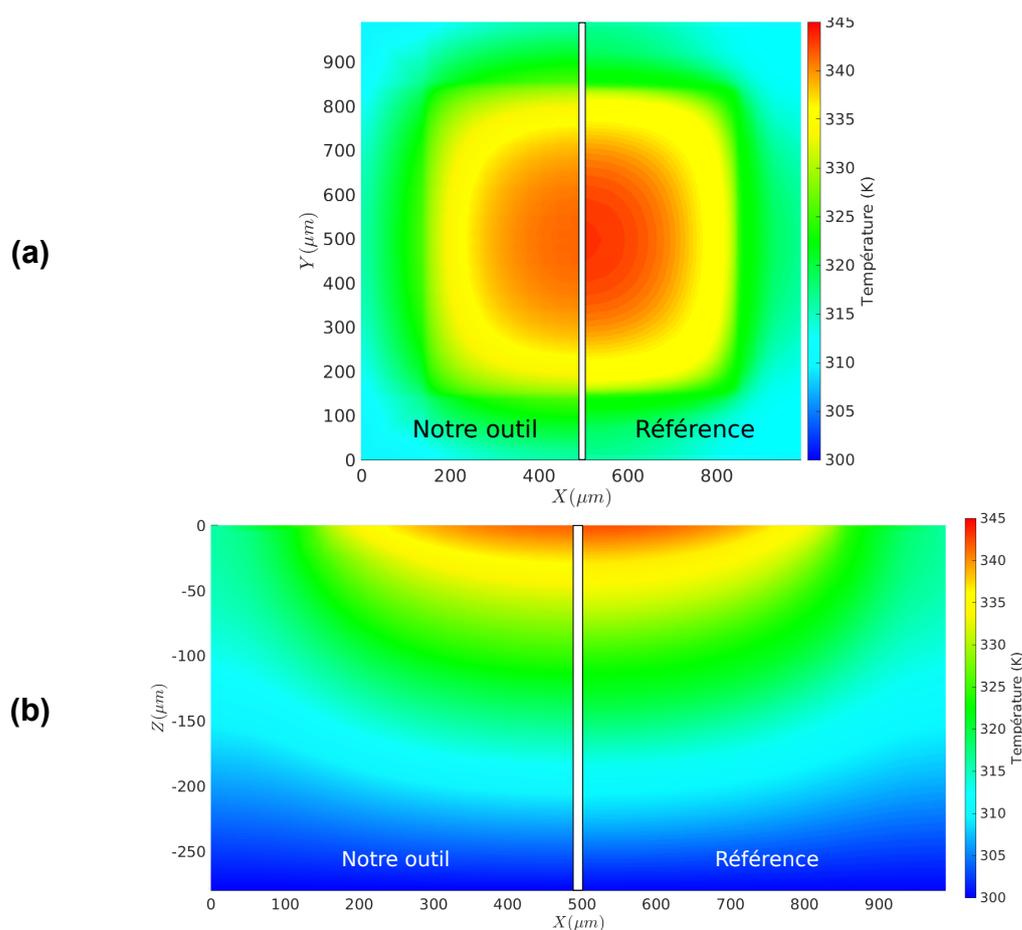


Figure 4.17 – Référence TCAD d'un matériau résistif pour l'étude de maillage

Comparaison des distributions de température **(a)** dans le demi-plan $z = 0$, et **(b)** dans le demi-plan $y = 495 \mu\text{m}$ à 5 ms. La distribution de notre outil est à gauche, celle de la référence TCAD, à droite.

370 000 éléments), la simulation et le maillage final ont duré un peu plus de deux heures (plus de 5h en comptant les itérations de maillage réalisées en statique). Rappelons aussi qu'un simple courant sinusoïdal a été utilisé avec notre outil, alors qu'en TCAD nous avons dû discrétiser ce signal, la simulation rencontrant des problèmes de convergence autrement.

Des améliorations dans l'affichage des résultats pourraient être faites en extrayant les différentes grandeurs à chaque nœud. En effet, un traitement est pour le moment réalisé pour chaque élément. Celui-ci moyenne la valeur des densités des flux dans chaque direction et des grandeurs d'effort au sein d'un élément. Finalement, utiliser un outil de visualisation des résultats plus adapté permettrait plus de souplesse dans le traitement des données de simulation. L'essentiel est cependant présent et les atouts de notre outil ont pu être mis en exergue avec ces premiers

essais. Une étape supplémentaire à franchir est la modélisation d'un composant complet, c'est-à-dire la puce et le boîtier qui l'entoure.

4.3.2 Puce semi-conductrice et boîtier

L'objectif final de notre outil est de réaliser une simulation électro-thermique sur un composant complet. Comme expliqué dans le premier chapitre, une surcharge longue ou répétitive donne lieu à un échange thermique entre la puce et son environnement. Le signal I_{FSM} est suffisamment long pour que les effets électro-thermiques puissent intervenir dans une grande partie du boîtier, d'où la nécessité de prendre ce dernier en compte dans les simulations. Sa mise en place consiste en l'extension de ce qui a déjà été fait pour la puce seule, en définissant les contacts et les propriétés électro-thermiques des différents matériaux. Nous avons choisi de modéliser un boîtier classique du type D2PAK ou TO220. Les géométries de ces boîtiers étant relativement complexes, nous avons dans un premier temps cherché à modéliser le boîtier simplifié représenté en figure 4.18 pour la preuve de concept. La puce semi-conductrice Schottky précédente a été conservée, et des simulations statiques et transitoires ont là encore été effectuées pour illustrer les possibilités de l'outil pour ce qui est de la simulation du comportement des composants de puissance.

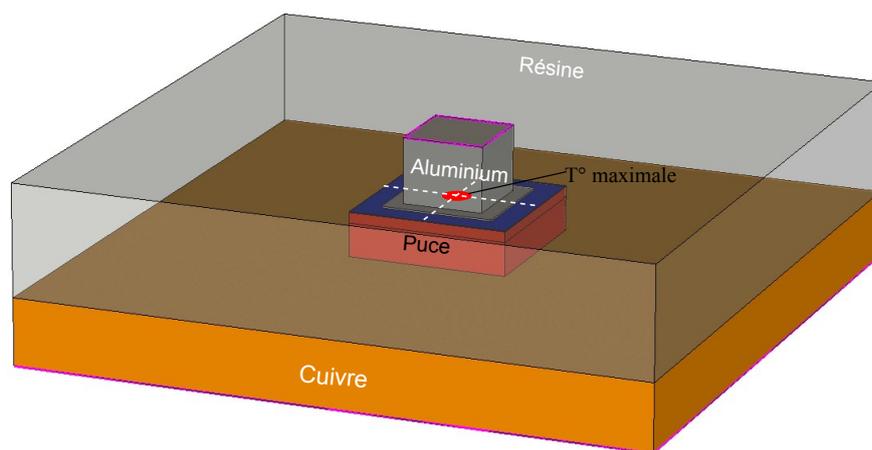


Figure 4.18 – Structure 3D de la puce Schottky encapsulée dans un boîtier simplifié

Boîtier simplifié avec un fil soudé sur la puce en face avant, une large semelle en cuivre dissipant la chaleur en face arrière et une encapsulation de la puce par de la résine.

La présente étude a pour but de démontrer la possibilité de réaliser des simulations électro-thermiques avec un boîtier et d'obtenir des résultats satisfaisants. Une

configuration de maillage de la structure a été utilisée, sans que nous n'ayons pu réaliser une étude complète de maillage avec un boîtier du fait des délais imposés par ce travail. Le maillage utilisé consiste en un maillage initial de $8 \times 8 \times 8$ éléments et un $DdR = 5$ défini en surface de la puce, ce qui amène à une discrétisation comptant environ 14 460 éléments et un maillage irrégulier dans la puce et dans le boîtier, proche de la zone de raffinement.

4.3.2.1 Simulations statiques

Nous avons de nouveau mis en place une simulation statique pour connaître l'influence de l'ajout du boîtier sur la caractéristique électrique du composant Schottky. Une source de courant est reliée à la face supérieure du fil en aluminium et la référence électrique est fixée au bas de la semelle en cuivre. La figure 4.19 présente la comparaison de la caractéristique simulée de la puce accompagnée d'un boîtier avec la simulation précédente (puce seule) et avec la caractéristique expérimentale (composant complet avec son boîtier).

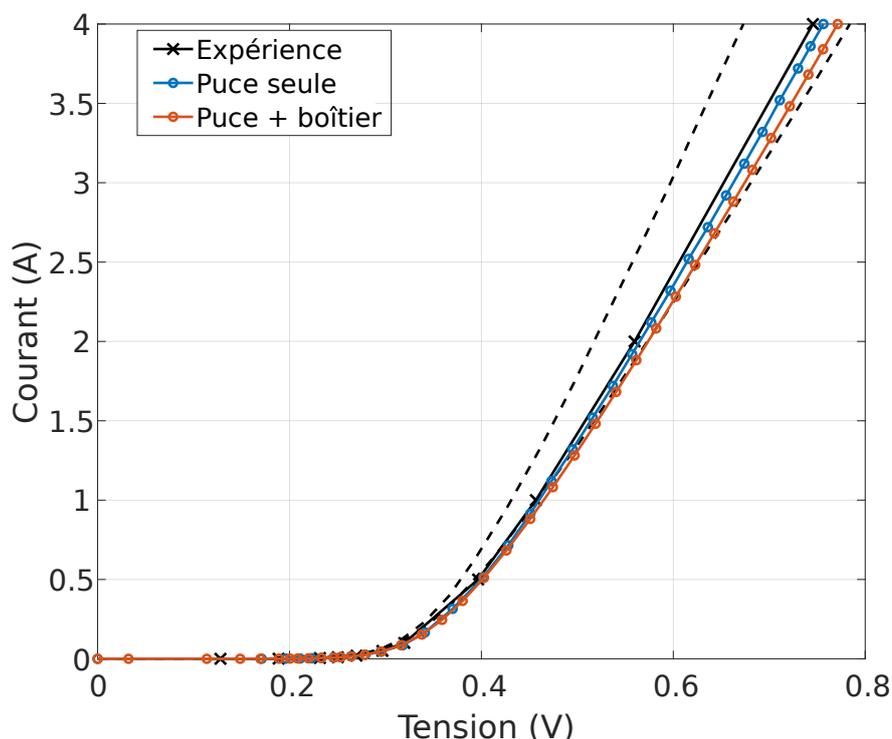


Figure 4.19 – Caractéristique de la diode Schottky avec son boîtier

Caractéristique statique simulée de la puce Schottky avec un boîtier pour un courant de 0 à 4 ampères et à 300 K, comparée à la simulation de la puce sans boîtier et à la mesure.

Ce résultat montre que malgré un maillage arbitraire et la présence d'un boî-

tier, nous arrivons à simuler la caractéristique de ce composant en restant dans le domaine de tolérance admis expérimentalement (courbes pointillées). On observe, pour un courant de 4 A, un écart de 20 mV dû à la fois aux différences entre les maillages et à la présence du boîtier qui influe sur la résistance série totale du composant, comme l'on pouvait s'y attendre.

4.3.2.2 Simulations transitoires

Une simulation électro-thermique transitoire avec un signal I_{FSM} de 10 A au pic a été réalisée avec les mêmes conditions aux limites que dans la simulation statique, avec en plus une température de 300 K fixée au bas de la semelle en cuivre. On peut voir sur la figure 4.20 l'évolution de la tension et de la température maximale pendant la simulation.

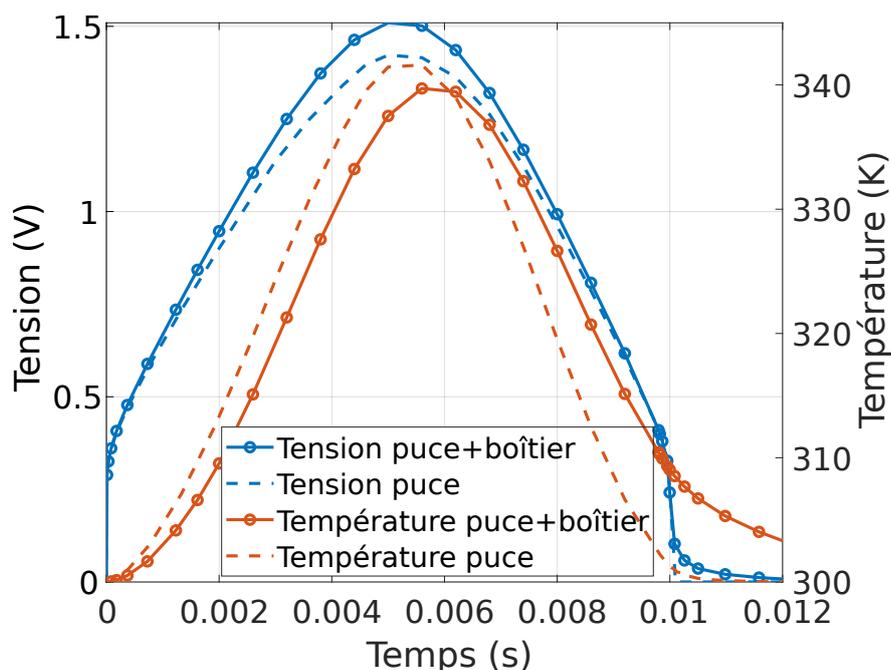


Figure 4.20 – Évolution de la tension et de la température en fonction du temps d'une diode Schottky avec son boîtier

Comparaison des évolutions des signaux de tension et de température maximale entre les cas avec et sans boîtier.

La courbe bleue avec les marqueurs ronds correspond à la différence de potentielle simulée aux bornes du composant Schottky incluant un boîtier. Celle-ci est à comparer à la courbe bleue en pointillés associée au cas sans boîtier. La principale différence pour ce jeu de deux courbes bleues tient dans la valeur de la

tension, pas dans la dynamique de l'évolution. Cet écart de valeur s'explique par les différences observées dans la caractéristique statique et existe pour les mêmes raisons. Il est instructif de s'intéresser aux variations de la température maximale induites par la présence du boîtier sur la courbe orange avec des marqueurs ronds. La conséquence principale visible est l'effet sur la capacité thermique totale, et donc sur le comportement transitoire du composant. L'élévation et la diminution de température sont ralenties en comparaison du cas où l'on simulait uniquement la puce (courbe orange en pointillés). La source de température constante à 300 K en bas du contact en cuivre est un cas très favorable, mais il est important de noter que la température ne revient immédiatement pas à sa valeur initiale après une surcharge. Il est évident que si un courant plus important et répété est appliqué, la température maximale peut facilement augmenter. On pourrait alors observé le vieillissement et éventuellement la destruction du composant.

Nous avons tenté de montrer les distributions spatiales des densités de courant et des températures, mais dans le cas d'un maillage fortement irrégulier comme c'est le cas avec ce boîtier, l'interpolation des données avec notre méthode d'affichage semble fortement fausser les résultats. Bien que moins facile à interpréter, nous avons donc choisi de présenter uniquement les données brutes où chaque point correspond au centre d'une maille, et sa couleur détermine la valeur du champ observé.

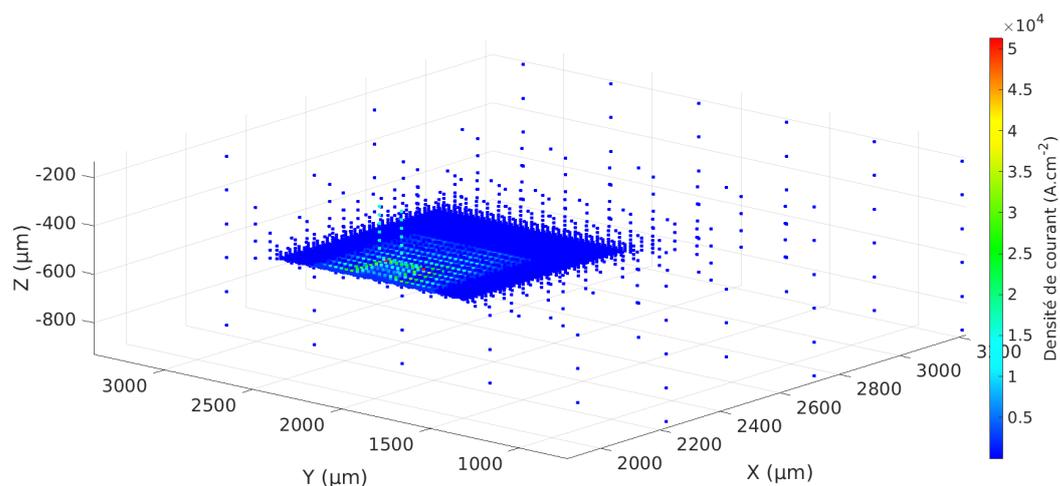


Figure 4.21 – Densité de courant dans la diode Schottky

Données brutes de la norme de la densité de courant dans chaque maille.

La figure 4.21 donne par exemple la norme de la densité de courant calculée

dans chaque maille. Notez que pour alléger la figure, seule la moitié de la structure est affichée. On voit une densité de courant uniforme dans le fil en aluminium jusqu'à la surface active de la puce. Les points se superposent à cause de la finesse du maillage à proximité de cette zone active, mais l'on devine une région aux bords et en particulier les coins, où la densité de courant est plus forte, soit les mêmes observations que pour la puce seule.

La distribution de température moyenne de chaque maille est affichée de façon similaire dans la figure 4.22.

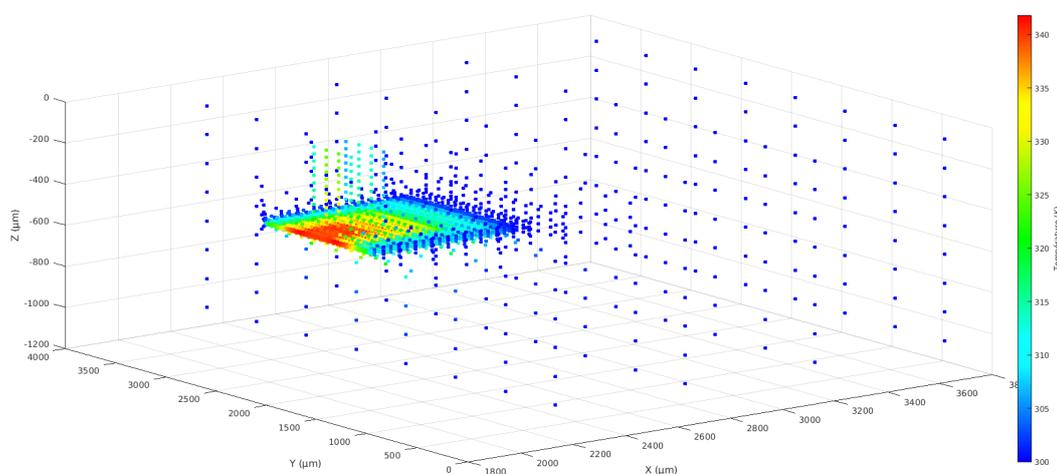


Figure 4.22 – Températures dans la diode Schottky

Données brutes de la température moyenne dans chaque maille.

La génération de chaleur dans ce cas apparaît majoritairement au centre de la jonction Schottky. On observe assez aisément que la chaleur a pu se propager transitoirement dans le fil, et que le refroidissement efficace de la semelle en cuivre limite l'élévation de température au bas de la puce.

Bien sûr, il y a encore des améliorations à apporter quant à l'affichage des résultats qui limite pour le moment leur interprétation pour un maillage très irrégulier. Néanmoins, cette preuve de faisabilité donne un aperçu positif sur les possibilités de développement de l'outil.

4.4 Conclusions sur les résultats obtenus

Les premiers tests menés ont permis de vérifier que la discrétisation de la structure, les connexions électriques et thermiques des différentes instances sont faites

sans erreur, et que la distribution des flux se fait de façon cohérente même dans le cas de maillages irréguliers. Nous avons également vérifié avec succès la validité de l'approche de modèles compacts distribués pour modéliser la jonction d'un composant de puissance grâce aux résultats de simulation comparés à une mesure et à une référence tirée d'un outil de simulation par éléments finis. Avec la discrétisation choisie, quelques écarts ont pu être observés en particulier dans la distribution de densité de courant dans la structure. Des améliorations sont nécessaires concernant l'extraction et l'affichage des résultats pour pouvoir les exploiter de façon plus fiable et intuitive. Toutefois, il apparaît que ces légers écarts ont un impact négligeable sur le comportement électro-thermique simulé. La qualité des résultats est donc remarquable en ce qui concerne la diode Schottky étudiée. Surtout, notre outil permet de réduire considérablement les temps de maillage, de génération de netlist et de simulation en comparaison avec l'approche TCAD. Bien que difficilement quantifiable, ce dernier point est à souligner puisqu'un temps parfois considérable peut être passé à créer la structure et à définir un bon maillage en TCAD.

Nous avons ainsi pu faire la preuve de concept de notre outil pour modéliser des composants de puissance discrets. Cependant, bien d'autres aspects restent à développer que ce soit dans l'implémentation de nouveaux modèles physiques ou de nouveaux composants. Nous parlerons de certains de ces développements dans le chapitre suivant.

Chapitre 5

Développements et perspectives

Résumé

Ce dernier chapitre traite de certaines problématiques que nous avons rencontrées et que nous avons commencés à étudier pour voir comment les transposer dans notre outil. La modélisation de la forte injection et la prise en compte de la courbure des jonctions p/n sont deux aspects importants dont nous parlons dans ce chapitre.

5.1 Modélisation de l'injection forte

5.1.1 Problématique

Dans le chapitre 4, nous avons pu montrer des résultats pertinents sur un composant Schottky de faible hauteur de barrière. En revanche, le modèle utilisé ne permet pas de rendre compte du phénomène dit de « forte injection » que l'on observe pour une diode Schottky de haute barrière quand la densité de courant est forte [99–101]. En régime de forte injection, le rôle des porteurs minoritaires ne peut plus être négligé. En effet, lorsque le courant augmente, on observe l'injection progressive de porteurs minoritaires jusqu'à ce que la densité des minoritaires devienne du même ordre de grandeur que celle des porteurs majoritaires. Ces porteurs supplémentaires réduisent très significativement la résistivité du semi-conducteur par rapport au cas où on ne considère que les porteurs majoritaires, ce que nous avons fait jusqu'à présent.

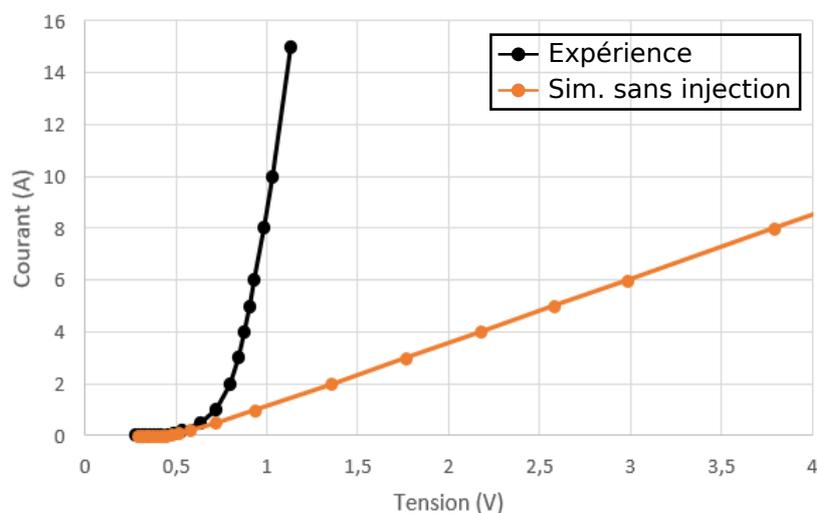


Figure 5.1 – Caractéristique d'une diode Schottky présentant le phénomène de forte injection

Comparaison de la caractéristique réelle d'une diode Schottky en régime de forte injection et d'une simulation utilisant un modèle d'émission thermique en série avec des éléments de conduction ne tenant pas compte de ce phénomène.

Nous avons pu comparer la caractéristique expérimentale d'un redresseur Schottky (référence STPS1H100) ayant une forte hauteur de barrière à un résultat de simulation tiré de la même approche de modélisation que dans le chapitre

précédent (mise en série du modèle de Shockley distribué pour la jonction avec des éléments de conduction électro-thermiques de volume). La caractéristique $I-V$ dans ce cas, s'écarte fortement de celle attendue quand la tension dépasse 0,6 V (voir figure 5.1). Si on néglige le rôle des porteurs minoritaires, la résistance totale modélisée par les éléments de conduction électro-thermiques est largement surestimée dans ce domaine de fonctionnement.

Un travail a été réalisé pour étudier la manière de modéliser ce phénomène et proposer une nouvelle approche étendant les possibilités de notre outil. Par manque de temps, celle-ci n'a pas pu être implémentée et testée mais elle devrait répondre à la problématique qui est posée. Afin de comprendre comment se comporte le matériau en régime de forte injection et la modélisation que nous envisageons, revenons sur certains aspects théoriques.

5.1.2 Théorie

À partir des développements de Gunn et al. sur la distribution de charges [102], et de l'examen des diagrammes de bandes d'une structure Schottky unidimensionnelle depuis l'équilibre thermodynamique jusqu'à la forte injection, nous pouvons dégager une modélisation complète du composant Schottky soumis à la forte injection.

La figure 5.2.a présente une situation proche de l'équilibre thermodynamique où une faible tension extérieure V_{ext} est appliquée. Dans ce cas, le courant est faible et les chutes de potentiel aux bornes de la zone épitaxiée faiblement dopée et aux bornes du substrat fortement dopé sont négligeables. Toute la chute de potentiel s'établit aux bornes de zone de charge d'espace (ZCE) de la jonction Schottky ($V_{ext} = U_{sch}$).

La densité de courant traversant la jonction, c'est-à-dire la ZCE, est dictée classiquement par l'émission thermoionique décrite par l'équation analytique (3.2) vu au chapitre 3 et rappelée ici :

$$j = j_s \left[\exp \left(\frac{qU_{sch}}{k_B T} \right) - 1 \right] \quad (5.1)$$

où j_s est donné par l'équation (3.3).

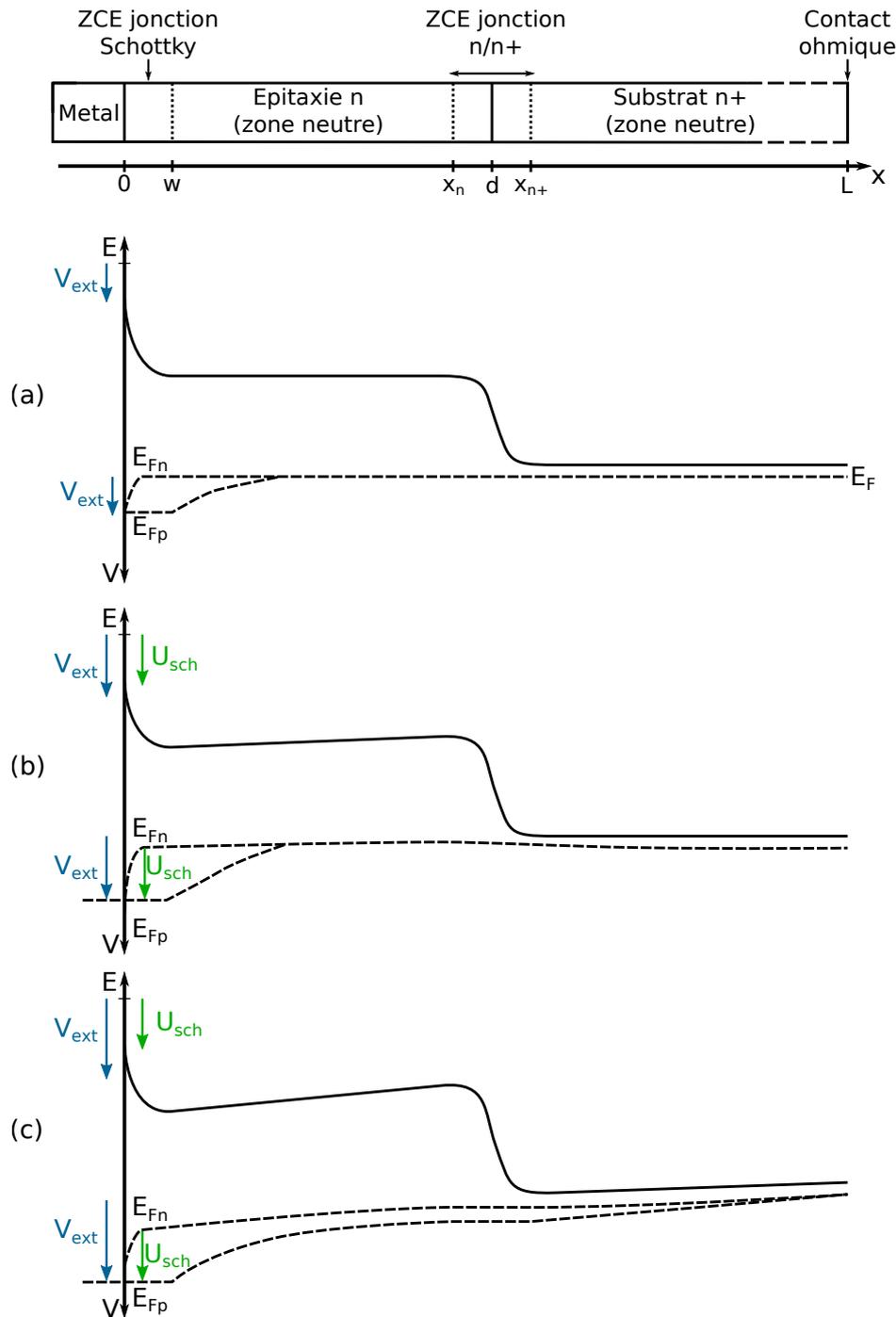


Figure 5.2 – Structure de bandes du composant Schottky 1D pour différentes tensions appliquées

(a) Faible tension extérieure appliquée, l'émission thermoionique domine. **(b)** Tension extérieure « modérée » appliquée, l'émission thermoionique et la résistance série limitent ensemble le courant. **(c)** Tension élevée appliquée, le phénomène de forte injection s'ajoute.

Quand la tension appliquée augmente modérément (figure 5.2.b), la chute de tension dans la couche épitaxiée ne peut plus être négligée. La tension appliquée à la diode Schottky se répartit en une chute de potentiel aux bornes de la ZCE de

la jonction Schottky, U_{sch} , et une chute de potentiel aux bornes de la zone épitaxiée, $U_{epi} : V_{ext} = U_{sch} + U_{epi}$.

Il existe aussi une petite chute de potentiel aux bornes du substrat, mais celle-ci reste très faible en raison de sa grande conductivité. L'augmentation de la densité d'électrons, Δn , dans la zone neutre par rapport à la densité d'électrons à l'équilibre thermodynamique ($n_0 = N_D$ où N_D représente le dopage de la zone épitaxiée) reste négligeable ($\Delta n \ll n_0$). A fortiori, l'injection des porteurs minoritaires dans cette zone neutre, $\Delta p = \Delta n$ est aussi négligeable. En conséquence, la résistivité de la couche épitaxiée, c'est-à-dire de la zone neutre de cette couche, peut être modélisée en considérant que seuls les électrons, de densité n_0 , conduisent le courant. D'autre part, l'extension de la ZCE, W (cf. figure 5.2), est négligée devant la profondeur, d , de l'épitaxie. Cela correspond au modèle que nous avons mis en place avec le modèle de jonction Schottky et sa résistance série dont la densité de porteurs majoritaires est égale à la concentration de dopants. Dans notre modélisation, la résistivité du substrat est aussi prise en compte, de la même manière que celle de la couche épitaxiée.

Finalement, lorsque le courant devient très important (figure 5.2.c), il n'est plus possible de considérer que la conduction de la zone neutre de la couche épitaxiée ne provient que d'un courant de conduction d'un matériau de densité d'électrons constante $n = n_0$. Le surplus de porteurs dans la zone neutre n'est plus négligeable et il est nécessaire de considérer les courants de conduction et de diffusion d'électrons et de trous dans cette zone. Il en est de même pour la zone neutre du substrat. Du fait de l'étroitesse des ZCE de la jonction Schottky (largeur W sur la figure 5.2) et de la jonction n/n+ (largeur $x_{n+} - x_n$ sur la figure 5.2), et de la quantité des porteurs de charges libres, n et p, les quasi-niveaux de Fermi des porteurs de charges restent quasi-plats dans ces ZCE.

Le diagramme des bandes de la diode Schottky est alors celui de la figure 5.2.c. Dans ce diagramme, au niveau du contact ohmique, en $x = L$, le taux de recombinaison des porteurs est tellement élevé que l'on peut considérer le semi-conducteur à l'équilibre thermodynamique. Dans ce cas :

$$\begin{aligned} & \text{— } E_{Fn}(x = L) = E_{Fp} \\ & \text{— } n(x = L) = n_0^+, \quad p(x = L) = p_0^+ \end{aligned}$$

$$— n_0^+ p_0^+ = n_i^2 \quad (5.2)$$

$$— \text{Tous les dopants étant supposés ionisés : } N_D^+ + p_0^+ - n_0^+ = 0 \quad (5.3)$$

(N_D^+ représente le dopage du substrat).

Les équations (5.2) et (5.3) permettent de déterminer n_0^+ et p_0^+ qui dépendent de la température à travers n_i^2 . Ensuite en remontant le long de la structure, depuis le contact ohmique jusqu'à la jonction n/n+, les densités de courant d'électrons, \vec{j}_n , et de trous, \vec{j}_p , dans la zone neutre du substrat sont données par :

$$\vec{j}_n = nq\mu_n\vec{E} + qD_n\vec{\nabla}n = nq\mu_n\vec{E} + k_B T\mu_n\vec{\nabla}n \quad (5.4)$$

$$\vec{j}_p = nq\mu_p\vec{E} - qD_p\vec{\nabla}p = pq\mu_p\vec{E} - k_B T\mu_p\vec{\nabla}p \quad (5.5)$$

en raison de la relation d'Einstein reliant le coefficient de diffusion $D_{n,p}$ à la mobilité des porteurs $\mu_{n,p}$: $\frac{D_{n,p}}{\mu_{n,p}} = k_B T$.

En unidimensionnel, ces équations s'écrivent :

$$j_n = -(n_0^+ + \Delta p)q\mu_n \frac{d\varphi}{dx} + k_B T\mu_n \frac{d\Delta p}{dx} \quad (5.6)$$

$$j_p = -(p_0^+ + \Delta p)q\mu_p \frac{d\varphi}{dx} - k_B T\mu_p \frac{d\Delta p}{dx} \quad (5.7)$$

Le courant total en un point de la zone neutre du substrat, $j = j_n + j_p$, ne dépend donc que du gradient de potentiel ($\frac{d\varphi}{dx}$) en ce point et du gradient de porteurs minoritaires ($\frac{d\Delta p}{dx}$). Il peut donc se modéliser comme la superposition de deux courants, l'un de conduction j_c , et l'autre de diffusion, j_d :

$$j_c = -q [(n_0^+ + \Delta p)\mu_n + (p_0^+ + \Delta p)\mu_p] \frac{d\varphi}{dx} \quad (5.8)$$

$$j_d = k_B T(\mu_n - \mu_p) \frac{d\Delta p}{dx} \quad (5.9)$$

où φ représente le potentiel électrique et $\Delta p = \Delta n$ l'exès de trous (et d'électrons) par rapport à leurs densités à l'équilibre thermodynamique.

Le gradient de porteurs minoritaires est donné par la recombinaison de ces porteurs le long de la zone neutre du substrat. Cette recombinaison réduit l'écart des niveaux de Fermi des électrons et des trous dans le volume du semi-conducteur [92]. On peut déterminer l'expression du courant de recombinaison à partir des équations

de continuité unidimensionnelles en régime stationnaire :

$$\frac{dn}{dt} = 0 = \frac{1}{q} \frac{dj_n}{dx} + g_n - r_n \quad (5.10)$$

$$\frac{dp}{dt} = 0 = \frac{1}{q} \frac{dj_p}{dx} + g_p - r_p \quad (5.11)$$

où $g_n - r_n = g_p - r_p = g - r$ est le taux de recombinaison des paires électrons–trous, qui peut s'écrire avec une très bonne approximation [92, 103] :

$$g - r = -\frac{\Delta p}{\tau} \quad (5.12)$$

où τ est la durée de vie effective des porteurs minoritaires.

Les courants de conduction et de diffusion « interagissent » à travers la densité de porteurs minoritaires Δp au point considéré, au même titre que les équations du courant électrique et de la chaleur données au chapitre 3 interagissent au travers de la température, T . Il est important de noter que les courants j_c et j_d dépendent de la température au travers de n_0 , p_0 , $k_B T$, μ_n et μ_p .

Des équations similaires peuvent être décrites pour le courant circulant dans la zone neutre de l'épitaxie en remplaçant simplement n_0^+ et p_0^+ par n_0 , p_0 , donnés par :

$$n_0 p_0 = n_i^2 \text{ et } N_D + p_0 - n_0 = 0$$

où N_D représente le dopage de l'épitaxie.

Maintenant que nous avons modélisé le contact ohmique de la cathode de la diode et les zones neutres du substrat et de la couche épitaxiée, il ne reste qu'à modéliser les ZCE de la jonction Schottky et de la jonction épitaxie/substrat. La jonction Schottky se modélise classiquement par l'équation de l'émission thermo-ionique. Les détails d'implémentation ont déjà été discutés au chapitre 3. Pour la jonction n/n+, il suffit d'écrire que les quasi-niveaux de Fermi des électrons et des trous aux extrémités de la ZCE sont égaux (quasi-niveaux de Fermi plats) :

$$E_{Fn}(x_n) = E_{Fn}(x_{n+}) \quad (5.13)$$

$$E_{Fp}(x_n) = E_{Fp}(x_{n+}) \quad (5.14)$$

Comme en tout point du semi-conducteur le produit np est donné par :

$$np = n_i^2 \exp\left(\frac{E_{Fn} - E_{Fp}}{k_B T}\right) \quad (5.15)$$

il en résulte que np est identique aux extrémités de la jonction :

$$n(x_n)p(x_n) = n(x_{n+})p(x_{n+}) \quad (5.16)$$

$$\Leftrightarrow [n_0 + \Delta p(x_n)] [p_0 + \Delta p(x_n)] = [n_0^+ + \Delta p(x_{n+})] [p_0^+ + \Delta p(x_{n+})] \quad (5.17)$$

$$\Leftrightarrow (n_0 + p_0) + \Delta p(x_n) + \Delta^2 p(x_n) = (n_0^+ + p_0^+) \Delta p(x_{n+}) + \Delta^2 p(x_{n+}) \quad (5.18)$$

après avoir remarqué que $n_0 p_0 = n_0^+ p_0^+ = n_i^2$.

En résolvant l'équation du second degré 5.18, on peut alors exprimer $\Delta p(x_{n+})$ en fonction de $\Delta p(x_n)$:

$$\Delta p(x_{n+}) = \sqrt{\left(\frac{n_0^+ + p_0^+}{2}\right)^2 + (n_0 + p_0)\Delta p(x_n) + \Delta^2 p(x_n)} - \frac{n_0^+ + p_0^+}{2} \quad (5.19)$$

De là, on peut ensuite exprimer l'excès de densité de porteurs minoritaires aux bornes de la ZCE de la jonction n/n+, $D\Delta p_{n/n+} = \Delta p(x_{n+}) - \Delta p(x_n)$ en fonction de $\Delta p(x_n)$:

$$D\Delta p_{n/n+} = \frac{n_0^+ + p_0^+}{2} \left[\sqrt{1 + \frac{(n_0 + p_0)\Delta p(x_n) + \Delta^2 p(x_n)}{(n_0^+ + p_0^+/2)^2}} - 1 \right] - \Delta p(x_n) \quad (5.20)$$

À noter que l'on aurait pu tout aussi bien exprimer $D\Delta p_{n/n+}$ en fonction de $\Delta p(x_{n+})$.

D'autre part, la ZCE de la jonction n/n+ étant étroite et remplie de porteurs mobiles, notamment des porteurs majoritaires que sont les électrons, la chute de potentiel à ses bornes est négligeable :

$$\varphi(x_n) = \varphi(x_{n+}) \quad (5.21)$$

Au final, la ZCE de la jonction n/n+ se modélise simplement par une « source » de saut de densité de porteurs $D\Delta p_{n/n+}$ dépendant de la densité de porteurs minoritaires à l'extrémité de la ZCE côté épitaxie (ou côté substrat).

De cette analyse théorique sous forte injection, on constate que le courant travers-

sant la diode Schottky dépend, comme pour le modèle sous faible injection, du profil de potentiel électrique φ et du profil de température, mais qu'il est nécessaire d'ajouter le profil de l'excès de porteurs minoritaires Δp . En conséquence, nous pouvons étendre notre approche de modélisation en ajoutant au réseau de conduction électrique (où φ est l'inconnue aux nœuds du réseau) et au réseau thermique (inconnue T), un réseau de diffusion de porteurs (inconnue Δp).

5.1.3 Implémentation

Les équations régissant le comportement du composant Schottky dépendent donc des zones à modéliser, à savoir la jonction Schottky, les zones neutres de la couche épitaxiée et du substrat, et la jonction épitaxie–n/substrat–n+. Le réseau thermique et le modèle de diode Schottky sont identiques à ceux que nous avons construits pour la modélisation de la diode en régime de faible injection. En conséquence, nous présentons maintenant la méthode de modélisation suggérée pour les zones neutres et la jonction n/n+.

5.1.3.1 Modélisation de la diffusion dans les zones neutres

L'implémentation du modèle tenant compte de l'injection forte dans les zones neutres de la région épitaxiée et du substrat demande la création de trois réseaux couplés à travers le maillage de la structure et des éléments des réseaux qui dépendent des trois inconnues en interaction, T , φ et Δp , ainsi que des caractéristiques physiques du matériau. Le réseau thermique ne change pas et interagit de la même façon avec le réseau de conduction en échangeant puissance P et température T .

Nous proposons la mise en place de deux sous-réseaux électriques destinés à modéliser chacun des deux termes de conduction et de diffusion pour les deux porteurs de charges. La figure 5.3 présente le couplage des deux nouveaux sous-réseaux avec le sous-réseau thermique en une dimension.

- Le premier sous-réseau, appelons le « réseau de diffusion » est chargé de modéliser la diffusion des électrons et des trous depuis la connaissance de la densité de porteurs minoritaires en excès (Δp). Ce courant de diffusion est de la même forme mathématique que le courant de conduction que nous modélisons déjà pour un unique porteur de charge. On peut très bien écrire

un module en Verilog-A dont le courant s'exprime de façon analogue à celui qui traverse une résistance (notée R_d dans la figure 5.3) de valeur $\frac{1}{k_B T (\mu_n - \mu_p)}$, subordonnée à une grandeur d'effort, la différence de concentrations de porteurs minoritaires en excès Δp , comme l'indique la relation (5.9). Notez que nous pouvons définir une nouvelle nature dans le langage Verilog-A, appelée « Diffusion » par exemple, pour que ce nouveau réseau utilise une notation plus intuitive qu'avec une simple analogie avec les grandeurs électriques. La grandeur de flux associée à Δp serait alors un courant électrique. Finalement, les équations de continuité indiquent que la conservation du courant total se fait en tenant compte de la recombinaison et de la génération des paires électrons–trous. Nous avons pu montrer que la quantité de porteurs minoritaires excédentaires varie approximativement de façon linéaire, proportionnellement à la durée de vie des porteurs. Par analogie, on peut construire un chemin par lequel s'évacuent les charges pour modéliser ce phénomène. Ceci peut être fait par une source de courant, ou comme c'est le cas dans le réseau de diffusion montré en figure 5.3, par une « résistance » (notée R_0^{recomb} pour le nœud 0) connectée à la masse, et d'une valeur $-\frac{1}{\tau}$.

- Le deuxième sous-réseau (« réseau de conduction ») représente les termes de conduction de l'équation (5.8), comme celui qui est déjà modélisé en faible injection pour les porteurs majoritaires. Ce courant, en plus de rester dépendant de la température à travers les mobilités des porteurs, tient également compte de Δp qui diminue la résistance lorsque le courant augmente.

Le couplage des trois réseaux est similaire au couplage électro-thermique déjà en place, le réseau thermique échangeant puissance et température avec les réseaux électriques, et le réseau de diffusion injectant la concentration de charges excédentaires dans le réseau de conduction pour calculer le courant total dans la région épitaxiée.

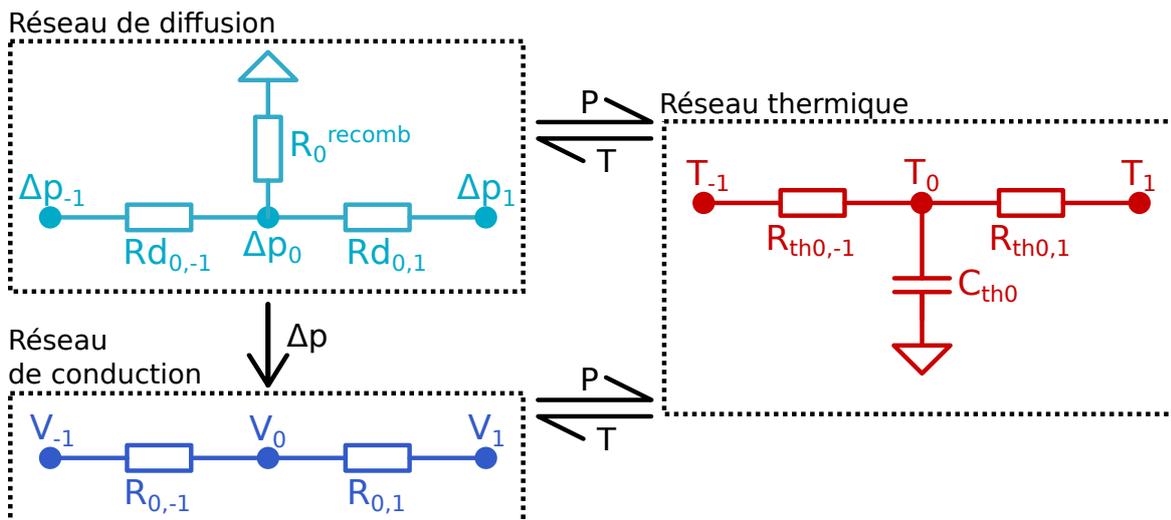


Figure 5.3 – Interaction des trois sous-réseaux pour la forte injection

Sous-réseaux centrés au nœud 0. Le courant dans chaque branche dépend de la différence de grandeurs d'effort avec les nœuds -1 et 1 . Les sous-réseaux interagissent selon les flèches noires, via P , T et Δp .

5.1.3.2 Modélisation de la jonction n/n+

La jonction n/n+ engendre un excès de densité des porteurs minoritaires entre ses bornes. Ce saut peut être modélisé dans notre approche par une source de « potentiel » à l'interface du substrat et de l'épitaxie, dans le réseau de diffusion, et dont l'expression est donnée par l'équation (5.20). De la même façon que nous avons négligé l'épaisseur de la ZCE de la jonction Schottky, nous considérons une épaisseur nulle pour cette jonction.

Notons que le phénomène de forte injection se produit en réalité aussi dans d'autres composants de puissance présentant une couche épitaxiée peu dopée sur un substrat fortement dopé. L'approche proposée est également valable dans ces cas.

5.2 Modélisation des composants bipolaires

5.2.1 Problématique

Les composants bipolaires sont formés de jonctions p/n dont la géométrie diffère du simple plan considéré dans les composants Schottky. Une fois le substrat dopé à travers la fenêtre d'un masque, un ou plusieurs recuits de diffusion sont nécessaires

pour que les dopants migrent sur des sites substitutionnels et qu'ils puissent être électriquement actifs. En considérant une diffusion isotrope, les dopants aux bords du masque diffusent en décrivant une distribution gaussienne ou suivant la fonction erreur selon les conditions initiales [88, 89].

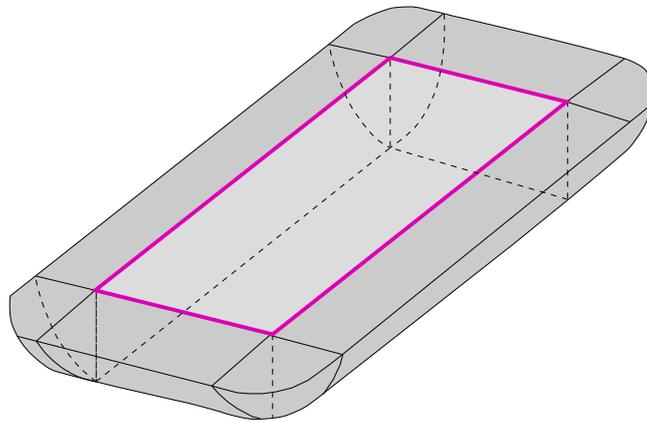


Figure 5.4 – Géométrie obtenue après diffusion d'un dopant en 3D

Représentation de la surface décrite par la jonction après diffusion des dopants. Le cadre en magenta représente l'ouverture du masque de dopage.

On obtient donc une jonction dont la surface est représentée en figure 5.4 où l'on retrouve la zone ouverte du masque dans la zone encadrée en magenta, et la zone délimitant l'extension de la jonction en gris. On peut assimiler les bords de la jonction à des quarts de cylindre, et les coins à des huitièmes de sphères étirées.

Une approximation pourrait être d'estimer que la surface est plane ou bien de choisir de ne pas particulièrement s'intéresser à ce qui se passe aux bords, mais la littérature montre que cette zone courbée est critique [35, 104]. Plus le rayon de courbure du bord de la jonction est petit, et plus l'effet de pointe est important. L'intensité du champ électrique est donc particulièrement élevée dans les coins, principaux points faibles du composant, comme nous l'évoquions dans le chapitre 1. Pour affiner l'étude de ces composants, il convient de déterminer la géométrie de la jonction à partir du layout. Il faut ensuite raffiner le maillage autour de cette jonction et insérer des modèles compacts de jonction p/n le long de cette frontière tridimensionnelle. Une difficulté supplémentaire provient de la géométrie du masque qui n'est généralement pas un rectangle, mais possède des coins arrondis.

5.2.2 Implémentation

Nous avons pu commencer à mettre en place la détection des nœuds les plus proches de la position de jonction théorique. Nous avons supposé dans un premier temps que celle-ci était définie en tout point par un arc de cercle centré à l'extrémité du masque en surface et dont le rayon est la profondeur de jonction. Un algorithme permet de balayer les points du maillage et de déterminer lesquels sont les plus proches de cet arc de cercle. Cela a été fait pour toute la partie plane centrale de la jonction, pour toutes les bordures rectilignes du masque de dopage (voir figure 5.5), mais pas dans les coins arrondis du masque.

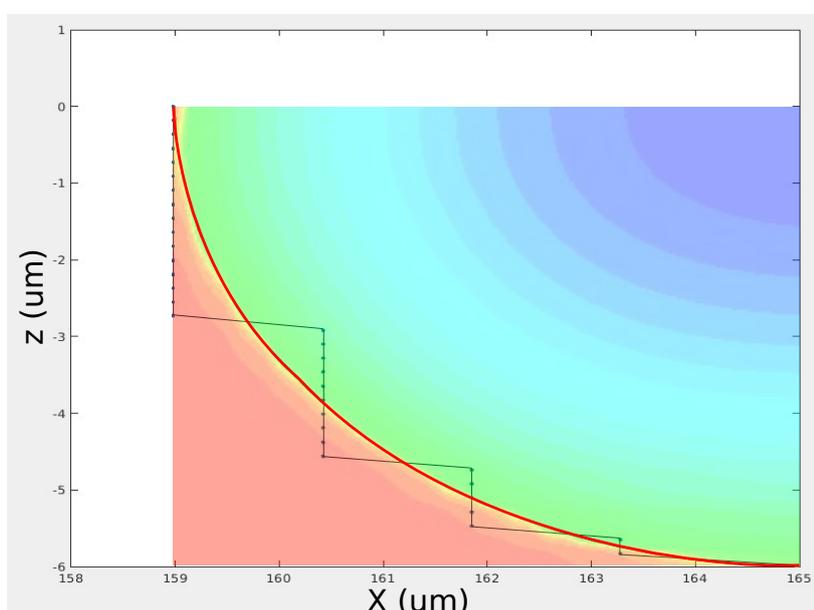


Figure 5.5 – Approximation de la jonction pour un maillage donné

Jonction approximée à partir des points du maillage (trait et points noirs) comparée à la jonction théorique (trait rouge) qui délimite la jonction du profil de dopage théorique (gradient de couleurs).

Pour un maillage donné, raffiné aux bords et aux coins de la jonction, cette figure montre les nœuds (trait noir et nœuds modélisés par les points bleus) qui ont été détectés comme étant les plus proches pour décrire la jonction théorique (trait rouge).

Deux choses restent à accomplir. La première est de compléter l'algorithme de détection des nœuds dans les coins en prenant en compte les angles entre les directions principales du repère, et le vecteur formé par le nœud du maillage et l'origine. La seconde est de mieux prendre en compte la géométrie de la diffusion

des dopants. L'arc de cercle décrivant une diffusion sphérique autour du masque reste en fait une approximation, car la diffusion n'est pas parfaitement isotrope selon l'orientation cristalline. Une simulation du procédé réel de dopage et de diffusion en TCAD (figure 5.6) donne un rapport entre longueur de diffusion latérale et verticale de 0,84. Il suffit d'utiliser l'équation cartésienne de l'ellipse, au lieu de celle du cercle pour intégrer cette donnée supplémentaire.

Pour modéliser de manière précise le comportement électro-thermique des composants de puissance discrets bipolaires, il est nécessaire de bien comprendre les aspects géométriques des jonctions p/n après recuits thermiques. Cependant, il reste un important travail à réaliser pour mettre en place et automatiser la distribution des modèles de jonctions pour différents types de composants. Une nouvelle thèse démarrée en janvier 2023 et reprenant l'approche développée dans ce manuscrit aura pour objectif, parmi d'autres, de traiter cette problématique.

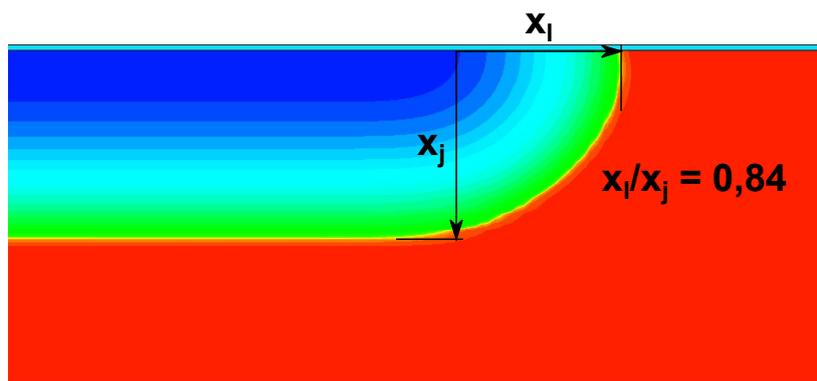


Figure 5.6 – Simulation du procédé de diffusion de dopants pour une diode bipolaire

Profil de dopage d'une jonction pn simulé. L'extension latérale X_l compte pour 84 % de l'extension verticale X_j .

Conclusion générale

Le travail qui a été présenté dans ce mémoire s'inscrit dans un travail de recherche démarré il y a plus de treize ans au laboratoire ICube, et dans une collaboration fructueuse avec le partenaire industriel STMicroelectronics Tours dans le domaine spécifique des problématiques électro-thermiques des composants de puissance discrets.

La mise en contexte et l'étude bibliographique ont permis de nous apercevoir de l'importance des effets thermiques touchant les composants de puissance discrets. Nous avons parcouru les moyens mis en oeuvre pour caractériser et prédire ces effets, en s'attachant aux limites de ces moyens. Nous avons aussi pointé certaines techniques de modélisation électro-thermiques originales sur lesquelles nous avons pu nous appuyer pour démarrer ce projet de développement d'un outil de simulation appliqué à un système en trois dimensions.

Nous avons examiné les contraintes et les atouts du simulateur électro-thermique déjà développé à ICube. Celui-ci était destiné à la simulation de circuits intégrés et n'était pas intuitif à utiliser. En contrepartie, il promettait une réduction des temps de simulation, une grande versatilité avec peu de compromis sur la qualité des résultats. En regard de ces observations, nous avons présenté notre adaptation de cet outil de simulation. Nous avons, de même, dévoilé le principe de l'approche des modèles compacts distribués, la génération du maillage, la généralisation à des structures complexes avec un boîtier, et enfin nous avons développé une interface utilisateur. Nous avons ensuite décrit les modèles Verilog-A utilisés pour prédire le comportement du composant de puissance, et en particulier prendre en compte l'effet Joule dans la structure. Le comportement de la jonction est décrit par un modèle compact basé sur la physique, et les régions soumises à la conduction électrique et thermique sont représentées par un modèle reproduisant les lois d'Ohm et de Fourier grâce à la généralisation des lois de Kirchhoff.

Par la suite, nous avons effectué des tests pour vérifier l'efficacité et la validité de notre approche. Nous avons commencé par des tests simples comme les cas de résistances électrique, thermique ou électro-thermique avec un flux unidimensionnel. Nous avons ensuite augmenté leur complexité en utilisant des maillages irréguliers. Ces tests ont confirmé que notre approche ne comportait pas d'erreur et que l'approche développée était valable pour réaliser des simulations électro-thermiques sur

un composant de puissance, et que nous pouvons envisager de l'étendre à 'autres composants. Nous avons aussi pu mettre en avant que l'outil pouvait fournir des résultats de simulations statiques et transitoires de qualité équivalente à celle obtenue par un outil utilisant la méthode des éléments finis. Ces résultats sont obtenus avec un nombre de mailles beaucoup plus faible et, de ce fait, nous obtenons des temps de maillage et de simulation très inférieurs. Enfin, la prise en compte du boîtier dont on ne peut pas négliger l'effet lors de surcharges longues ou répétées a été intégrée. Nous avons pu modéliser un boîtier simplifié et comparer les résultats au cas sans boîtier.

L'outil reste toutefois perfectible principalement en ce qui concerne l'extraction et l'affichage des résultats, et la distribution des flux dans le modèle Verilog-A pour un maillage irrégulier. D'autres développements restent à réaliser en prenant en compte divers phénomènes physiques, et divers composants de puissance. Nous pensons évidemment aux composants présentant de l'injection forte dont nous avons proposé un traitement dans le dernier chapitre et aux diodes bipolaires (redresseurs, transils...) qu'il faudrait finir d'implémenter, mais aussi à des transistors de puissance (MOSFET, IGBT...). L'outil pourrait probablement aussi profiter d'optimisations du code Verilog-A ou des paramètres de simulation Spectre®. La possibilité de réaliser un maillage adaptatif serait aussi la bienvenue au vu de ce qu'avait réalisé Jean-Christophe Krencker dans l'outil de simulation électro-thermique qu'il a développé lors de son travail de thèse.

Bibliographie

- [1] B. Allard, « Électronique de puissance – bases, perspectives, guide de lecture », *Techniques de l'ingénieur Outils d'analyse en électronique de puissance et métrologie*, vol. base documentaire : TIB278DUO., no. ref. article : d3060, 2016.
- [2] J. LECLERCQ, « Electronique de puissance : Eléments de technologie », *Techniques de l'ingénieur. Génie électrique*, vol. 5, no. D3220, p. D3220–1, 1994.
- [3] A. Bensoussan, « Microelectronic reliability models for more than moore no-technology products », *Facta Universitatis, Series : Electronics and Energetics*, vol. 30, p. 1 – 26, March 2017.
- [4] Y. Luo, F. Xiao, B. Wang et B. Liu, « Failure analysis of power electronic devices and their applications under extreme conditions », *Chinese Journal of Electrical Engineering*, vol. 2, no. 1, p. 91–100, 2016.
- [5] A. Hanif, Y. Yu, D. DeVoto et F. Khan, « A comprehensive review toward the state-of-the-art in failure and lifetime predictions of power electronic devices », *IEEE Transactions on Power Electronics*, vol. 34, no. 5, p. 4729–4746, 2019.
- [6] S. Dusmez et B. Akin, « An accelerated thermal aging platform to monitor fault precursor on-state resistance », in *2015 IEEE International Electric Machines Drives Conference (IEMDC)*, p. 1352–1358, 2015.
- [7] I. Dchar, C. Buttay et H. Morel, « Sic power devices packaging with a short-circuit failure mode capability », *Microelectronics Reliability*, vol. 76, p. 400–404, 2017.
- [8] D. K. Ngwashi et L. V. Phung, « Recent review on failures in silicon carbide power mosfets », *Microelectronics Reliability*, vol. 123, p. 114169, 2021.

- [9] W. Wondrak, « Physical limits and lifetime limitations of semiconductor devices at high temperatures », *Microelectronics Reliability*, vol. 39, p. 1113–1120, 1999.
- [10] H. Hafezi et R. Faranda, « A new approach for power losses evaluation of igbt/diode module », *Electronics*, vol. 10, no. 3, 2021.
- [11] A. Moure, S. Román-Sánchez, A. Serrano, I. Lorite et J. Fernández, « In situ thermal runaway of si-based press-fit diodes monitored by infrared thermography », *Results in Physics*, vol. 19, p. 103529, 2020.
- [12] S. Lombardo, J. H. Stathis, B. P. Linder, K. L. Pey, F. Palumbo et C. H. Tung, « Dielectric breakdown mechanisms in gate oxides », *Journal of applied physics*, vol. 98, no. 12, p. 12, 2005.
- [13] M. Ciappa, « Some reliability aspects of igbt modules for high-power applications », 2001.
- [14] E. Philofsky, K. Ravi, E. Hall et J. Black, « Surface reconstruction of aluminum metallization – a new potential wearout mechanism », in *9th Reliability Physics Symposium*, p. 120–128, 1971.
- [15] T. Detzel, M. Glavanovics et K. Weber, « Analysis of wire bond and metallization degradation mechanisms in dmos power transistors stressed under thermal overload conditions. », *Microelectron. Reliab.*, vol. 44, no. 9-11, p. 1485–1490, 2004.
- [16] S. Yang, D. Xiang, A. Bryant, P. Mawby, L. Ran et P. Tavner, « Condition monitoring for device reliability in power electronic converters : A review », *IEEE Transactions on Power Electronics*, vol. 25, no. 11, p. 2734–2752, 2010.
- [17] S. J. O'Donnell, J. W. Bartling et G. Hill, « Silicon inclusions in aluminum interconnects », in *22nd International Reliability Physics Symposium*, p. 9–16, 1984.
- [18] F. D. Heinz, M. Breitwieser, P. Gundel, M. König, M. Hörteis, W. Warta et M. C. Schubert, « Microscopic origin of the aluminium assisted spiking effects in n-type silicon solar cells », *Solar Energy Materials and Solar Cells*, vol. 131, p. 105–109, 2014.

- [19] M. H. Nguyen et S. Kwak, « Enhance reliability of semiconductor devices in power converters », *Electronics*, vol. 9, no. 12, p. 2068, 2020.
- [20] M. Adler, V. Temple, A. Ferro et R. Rustay, « Theory and breakdown voltage for planar devices with a single field limiting ring », *IEEE Transactions on Electron Devices*, vol. 24, no. 2, p. 107–113, 1977.
- [21] F. Conti et M. Conti, « Surface breakdown in silicon planar diodes equipped with field plate », *Solid-State Electronics*, vol. 15, no. 1, p. 93–105, 1972.
- [22] S. Haque et G.-Q. Lu, « Effects of device passivation materials on solderable metallization of igbts », *Microelectronics Reliability*, vol. 41, no. 5, p. 639–647, 2001.
- [23] D. Peters, P. Friedrichs, H. Mitlehner, R. Schoerner, U. Weinert, B. Weis et D. Stephani, « Characterization of fast 4.5 kv sic p-n diodes », in *12th International Symposium on Power Semiconductor Devices ICs. Proceedings (Cat. No.00CH37094)*, p. 241–244, 2000.
- [24] T. Suski, P. Perlin, M. Leszczynski, H. Teisseyre, I. Grzegory, J. Jun, M. Boćkowski, S. Porowski, K. PakvBa, A. WysmpBek et J. M. Baranowski, « Growth and properties of bulk single crystals of gan », *MRS Proceedings*, vol. 395, 1995.
- [25] C. Combaret, *Comportement thermique des composants de protection contre les effets indirects de la foudre*. Theses, INSA Lyon, 2000.
- [26] L. Biswal, A. Krishna et D. Sprunger, « Effect of solder voids on thermal performance of a high power electronic module », in *2005 7th Electronic Packaging Technology Conference*, vol. 2, p. 6 pp.–, 2005.
- [27] V. Samavatian, H. Iman-Eini, Y. Avenas et M. Samavatian, « Effects of creep failure mechanisms on thermomechanical reliability of solder joints in power semiconductors », *IEEE Transactions on Power Electronics*, vol. 35, no. 9, p. 8956–8964, 2020.
- [28] M. Bouarroudj-Berkani et L. Dupont, « Fatigue des composants électroniques de puissance physique de défaillance », *Techniques de l'ingénieur Composants actifs en électronique de puissance*, vol. base documentaire : TIB245DUO., no. ref. article : d3126, 2010.

- [29] S. Mazumder, « Chapter 1 - introduction to numerical methods for solving differential equations », in *Numerical Methods for Partial Differential Equations* (S. Mazumder, éd.), p. 1–49, Academic Press, 2016.
- [30] Z. Li, Z. Qiao et T. Tang, *Numerical Solution of Differential Equations : Introduction to Finite Difference and Finite Element Methods*. Cambridge University Press, 2017.
- [31] S. Mazumder, « Chapter 3 - solution to a system of linear algebraic equations », in *Numerical Methods for Partial Differential Equations* (S. Mazumder, éd.), p. 103–167, Academic Press, 2016.
- [32] S. Mazumder, « Chapter 6 - the finite volume method (fvm) », in *Numerical Methods for Partial Differential Equations* (S. Mazumder, éd.), p. 277–338, Academic Press, 2016.
- [33] C. Kirsch, S. Altazin, R. Hiestand, T. Beierlein, R. Ferrini, T. Offermans, L. Peninck et B. Ruhstaller, « Electrothermal simulation of large-area semiconductor devices », *International Journal of Multiphysics*, vol. 11, p. 127–136, 06 2017.
- [34] V. d’Alessandro et N. Rinaldi, « A critical review of thermal models for electrothermal simulation », *Solid-State Electronics*, vol. 46, no. 4, p. 487–496, 2002.
- [35] A. Kaïd, F. Roqueta, J.-B. Kammerer et L. Hébrard, « Electro-thermal modeling method of protection power diodes using tcad 3d/2d approach », in *2019 25th International Workshop on Thermal Investigations of ICs and Systems (THERMINIC)*, p. 1–6, IEEE, 2019.
- [36] F. Nallet, L. Silvestri, T. Cilento, C.-S. Yun, S. Holland et M. Röver, « Tcad simulation methodology for electrothermal analysis of discrete devices including package », in *2014 IEEE 26th International Symposium on Power Semiconductor Devices IC’s (ISPSD)*, p. 334–337, 2014.
- [37] G. Gildenblat, *Compact Modeling : Principles, Techniques and Applications*. Springer Netherlands, 2010.
- [38] P. Türkes et J. Sigg, « Electro-thermal simulation of power electronic systems », *Microelectronics Journal*, vol. 29, no. 11, p. 785–790, 1998.

- [39] W. Hanini et M. Ayadi, « Electro thermal modeling of the power diode using pspice », *Microelectronics Reliability*, vol. 86, p. 82–91, 2018.
- [40] T. McNutt, A. Hefner, A. Mantooth, D. Berning et R. Singh, « Compact models for silicon carbide power devices », *Solid-State Electronics*, vol. 48, no. 10, p. 1757–1762, 2004.
- [41] L. Zhu et T.-S. Chow, « Analytical modeling of high-voltage 4h-sic junction barrier schottky (jbs) rectifiers », *Electron Devices, IEEE Transactions on*, vol. 55, p. 1857 – 1863, 09 2008.
- [42] D. E. Root, « Future device modeling trends », *IEEE Microwave Magazine*, vol. 13, no. 7, p. 45–59, 2012.
- [43] T. Sadi et F. Schwierz, « Improved empirical non-linear compact model for studying intermodulation in hemts and Idmosfets », *Solid-State Electronics*, vol. 81, p. 91–100, 2013.
- [44] I. Melczarsky, J. A. Lonac, F. Filicori et A. Santarelli, « Compact empirical modeling of nonlinear dynamic thermal effects in electron devices », *IEEE Transactions on Microwave Theory and Techniques*, vol. 56, no. 9, p. 2017–2024, 2008.
- [45] Y. Liu, W. M. Tang et P. Lai, « Analytical modeling of nonideal schottky diode with series and shunt resistance and application in hydrogen gas sensors », *physica status solidi (a)*, vol. 213, no. 10, p. 2764–2768, 2016.
- [46] G. Digele, S. Lindenkreuz et E. Kasper, « Fully coupled dynamic electro-thermal simulation », *IEEE Transactions on Very Large Scale Integration (VLSI) Systems*, vol. 5, no. 3, p. 250–257, 1997.
- [47] M. Riccio, G. De Falco, L. Maresca, , G. Breglio, E. Napoli, A. Irace, Y. Iwahashi et P. Spirito, « 3d electro-thermal simulations of wide area power devices operating in avalanche condition », *Microelectronics Reliability*, vol. 52, no. 9, p. 2385–2390, 2012.
- [48] G. Belkacem, D. Labrousse, S. Lefebvre, P.-Y. Joubert, U. Kuhne, L. Fribourg, R. Soulat, E. Florentin et C. Rey, « Distributed and coupled electrothermal model of power semiconductor devices », in *2012 First International Conference on Renewable Energies and Vehicular Technology*, p. 84–89, 2012.

- [49] J. Moussodji Moussodji, *Caractérisation et modélisation électro-thermique distribuée d'une puce IGBT : Application aux effets du vieillissement de la métallisation d'émetteur*. Theses, École normale supérieure de Cachan - ENS Cachan, avril 2014.
- [50] E. A. Guillemin, *Synthesis of passive networks : theory and methods appropriate to the realization and approximation problems*. RE Krieger Publishing Company, 1977.
- [51] T. Hauck et T. Bohm, « Thermal rc-network approach to analyze multichip power packages », in *Sixteenth Annual IEEE Semiconductor Thermal Measurement and Management Symposium (Cat. No.00CH37068)*, p. 227–234, 2000.
- [52] A. Bar-Cohen, T. Elperin et R. Eliasi, « Theta /sub jc/ characterization of chip packages-justification, limitations, and future », in *Fifth Annual IEEE Semiconductor Thermal and Temperature Measurement Symposium*, p. 1–4, 1989.
- [53] W. Xu, S. Shidore et P. Gauché, « Creation and validation of a two-resistor compact model of a plastic quad flat pack (pqfp) using cfd », 2000.
- [54] C. J. Lasance, « Ten years of boundary-condition-independent compact thermal modeling of electronic parts : A review », *Heat Transfer Engineering*, vol. 29, no. 2, p. 149–168, 2008.
- [55] E. Monier-Vinard, C. T. Dia, V. Bissuel, O. Daniel et N. Laraqi, « Extension of the delphi methodology to dynamic compact thermal model of electronic component », in *2011 17th International Workshop on Thermal Investigations of ICs and Systems (THERMINIC)*, p. 1–6, 2011.
- [56] M. Rencz et V. Szekely, « Non-linearity issues in the dynamic compact model generation [package thermal modeling] », in *Nineteenth Annual IEEE Semiconductor Thermal Measurement and Management Symposium, 2003.*, p. 263–270, 2003.
- [57] F. Christiaens, B. Vandeveld, E. Beyne, R. Mertens et J. Berghmans, « A generic methodology for deriving compact dynamic thermal models, applied to the psga package », *IEEE Transactions on Components, Packaging, and Manufacturing Technology : Part A*, vol. 21, no. 4, p. 565–576, 1998.

- [58] T. Kojima, Y. Yamada, M. Ciappa, M. Chiavarini et W. Fichtner, « A novel electro-thermal simulation approach of power igbt modules for automotive traction applications », *R&D Review of Toyota CRDL*, vol. 39, no. 4, p. 27–32, 2004.
- [59] J. Sofia, « Analysis of thermal transient data with synthesized dynamic models for semiconductor devices », *IEEE Transactions on Components, Packaging, and Manufacturing Technology : Part A*, vol. 18, no. 1, p. 39–47, 1995.
- [60] N. Y. Shamma, M. Rodriguez et F. Masana, « A simple method for evaluating the transient thermal response of semiconductor devices », *Microelectronics Reliability*, vol. 42, no. 1, p. 109–117, 2002.
- [61] A. T. Bryant, P. A. Mawby, P. R. Palmer, E. Santi et J. L. Hudgins, « Exploration of power device reliability using compact device models and fast electrothermal simulation », *IEEE Transactions on Industry Applications*, vol. 44, no. 3, p. 894–903, 2008.
- [62] M. Ciappa, W. Fichtner, T. Kojima, Y. Yamada et Y. Nishibe, « Extraction of accurate thermal compact models for fast electro-thermal simulation of igbt modules in hybrid electric vehicles », *Microelectronics Reliability*, vol. 45, no. 9-11, p. 1694–1699, 2005.
- [63] M. Bernardoni, N. Delmonte, D. Chiozzi et P. Cova, « Non-linear thermal simulation at system level : Compact modelling and experimental validation », *Microelectronics Reliability*, vol. 80, p. 223–229, 2018.
- [64] T. Azoui, P. Tounsi, G. Pasquet, P. Dupuy et J. Dorkel, « Dynamic compact thermal model for electrothermal modeling and design optimization of automotive power devices », in *2011 12th Intl. Conf. on Thermal, Mechanical Multi-Physics Simulation and Experiments in Microelectronics and Microsystems*, p. 1/6–6/6, 2011.
- [65] M. Shahjalal, H. Lu et C. Bailey, « A review of the computer based simulation of electro-thermal design of power electronics devices », in *20th International Workshop on Thermal Investigations of ICs and Systems*, p. 1–6, 2014.
- [66] Z. Zhou, M. Khanniche, P. Igic, S. Kong, M. Towers et P. Mawby, « A fast power loss calculation method for long real time thermal simulation of igbt modules

- for a three-phase inverter system », in *2005 European Conference on Power Electronics and Applications*, p. 9–pp, IEEE, 2005.
- [67] D. Chiozzi, M. Bernardoni, N. Delmonte et P. Cova, « A simple 1-d finite elements approach to model the effect of pcb in electronic assemblies », *Microelectronics Reliability*, vol. 58, p. 126–132, 2016.
- [68] O. Sullivan, B. Alexandrov, S. Mukhopadhyay et S. Kumar, « 3D Compact Model of Packaged Thermoelectric Coolers », *Journal of Electronic Packaging*, vol. 135, 06 2013.
- [69] K. Fukahori et P. Gray, « Computer simulation of integrated circuits in the presence of electrothermal interaction », *IEEE Journal of Solid-State Circuits*, vol. 11, no. 6, p. 834–846, 1976.
- [70] A. Castellazzi et M. Ciappa, « Novel simulation approach for transient analysis and reliable thermal management of power devices », *Microelectronics Reliability*, vol. 48, no. 8, p. 1500–1504, 2008.
- [71] A. Chvála, D. Donoval, J. Marek, P. Příbytný et M. Molnár, « 2/3-d circuit electro-thermal model of power mosfet for spice-like simulation », in *The Ninth International Conference on Advanced Semiconductor Devices and Mircosystems*, p. 179–182, 2012.
- [72] W. Habra, *Développement de modèles thermiques compacts en vue de la modélisation électrothermique des composants de puissance*. Theses, Université Paul Sabatier - Toulouse III, juin 2007.
- [73] Q. Zhang et S. Cen, « 2 - physics coupling phenomena and formulations », in *Multiphysics Modeling*, Elsevier and Tsinghua University Press Computational Mechanics Series, p. 118–119, Oxford : Academic Press, 2016.
- [74] S. Wunsche, C. Clauss, P. Schwarz et F. Winkler, « Electro-thermal circuit simulation using simulator coupling », *IEEE Transactions on Very Large Scale Integration (VLSI) Systems*, vol. 5, no. 3, p. 277–282, 1997.
- [75] Q. Chen et W. Schoenmaker, « A new tightly-coupled transient electro-thermal simulation method for power electronics », in *2016 IEEE/ACM International Conference on Computer-Aided Design (ICCAD)*, p. 1–7, 2016.

- [76] H. Gutierrez, C. Christoffersen et M. Steer, « An integrated environment for the simulation of electrical, thermal and electromagnetic interactions in high-performance integrated circuits », in *IEEE 8th Topical Meeting on Electrical Performance of Electronic Packaging (Cat. No.99TH8412)*, p. 217–220, 1999.
- [77] J.-C. Krencker, *Développement d'outils et de modèles CAO de haut niveau pour la simulation électrothermique de circuits mixtes en technologie 3D*. Theses, Université de Strasbourg, nov. 2012.
- [78] M. Garci, *Simulation multi-physiques de circuits intégrés pour la fiabilité*. Theses, Université de Strasbourg, mai 2016.
- [79] S. Mohamed-Nabil et S. Hossam, « Compact thermal models : A global approach », in *2007 International Conference on Thermal Issues in Emerging Technologies : Theory and Application*, p. 33–39, 2007.
- [80] B. Allard, X. Jorda, P. Bidan, A. Rumeau, H. Morel, X. Perpina, M. Vellvehi et S. M'Rad, « Reduced-order thermal behavioral model based on diffusive representation », *IEEE Transactions on Power Electronics*, vol. 24, no. 12, p. 2833–2846, 2009.
- [81] F. Boige, F. Richardeau et S. Lefebvre, « Global electro-thermal modelling and circuit-type simulation of SiC Mosfet power devices in short-circuit operation for critical system analysis », in *ELECTRIMACS 2017*, (Toulouse, France), juil. 2017.
- [82] M. Madec, C. Lallement et J. Haiech, « Modeling and simulation of biological systems using spice language », *PLOS ONE*, vol. 12, p. 1–21, 08 2017.
- [83] E. Rosati, *Outils d'aide à la conception pour l'ingénierie de systèmes biologiques*. Thèse doctorat, Strasbourg, 2018.
- [84] W. Gray et N. Schnurr, « A comparison of the finite element and finite difference methods for the analysis of steady two dimensional heat conduction problems », *Computer Methods in Applied Mechanics and Engineering*, vol. 6, no. 2, p. 243–245, 1975.
- [85] M. N. Özişik, H. R. Orlande, M. J. Colaço et R. M. Cotta, *Finite difference methods in heat transfer : Second Edition*. CRC press, 2017.

- [86] S. Reggiani, M. Valdinoci, L. Colalongo, M. Rudan, G. Bacarani, A. Stricker, F. Illien, N. Felber, W. Fichtner et L. Zullino, « Electron and hole mobility in silicon at large operating temperatures. i. bulk mobility », *IEEE Transactions on Electron Devices*, vol. 49, no. 3, p. 490–499, 2002.
- [87] T. T. Mnatsakanov, M. E. Levinshtein, L. I. Pomortseva et S. N. Yurkov, « Carrier mobility model for simulation of SiC-based electronic devices », *Semiconductor Science and Technology*, vol. 17, p. 974–977, aug 2002.
- [88] W. Townsend et A. Strachan, « An investigation of lateral diffusion in silicon », *Solid-State Electronics*, vol. 14, no. 7, p. 551–556, 1971.
- [89] S. W. Jones, « Diffusion in silicon », 2008.
- [90] C. J. Glassbrenner et G. A. Slack, « Thermal conductivity of silicon and germanium from 3°K to the melting point », *Phys. Rev.*, vol. 134, p. A1058–A1069, May 1964.
- [91] S. M. Sze, *Appendix G Properties of Si and GaAs*, p. 790. John Wiley & Sons, Ltd, 2006.
- [92] S. M. Sze, Y. Li et K. K. Ng, *Physics of semiconductor devices*. John wiley & sons, 2021.
- [93] *Metal-Semiconductor Contacts*, p. 134–196. John Wiley & Sons, Ltd, 2006.
- [94] B. Sharma, *Metal-semiconductor Schottky barrier junctions and their applications*. Springer Science & Business Media, 2013.
- [95] H. A. Bethe, « Theory of the boundary layer of crystal rectifiers », *in Semiconductor Devices : Pioneering Papers*, p. 387–399, World Scientific, 1991.
- [96] C. Crowell et S. Sze, « Current transport in metal-semiconductor barriers », *Solid-state electronics*, vol. 9, no. 11-12, p. 1035–1048, 1966.
- [97] J. Bardeen, « Surface states and rectification at a metal semi-conductor contact », *Physical review*, vol. 71, no. 10, p. 717, 1947.
- [98] D. Marchio et P. Reboux, *Introduction aux transferts thermiques*. Presses des MINES, 2003.
- [99] W. Ng, S. Liang et C. A. T. Salama, « Schottky barrier diode characteristics under high level injection », *Solid-state electronics*, vol. 33, no. 1, p. 39–46, 1990.

- [100] G. Gupta, S. Dutta, S. Banerjee et R. J. E. Hueting, « Minority carrier injection in high-barrier si-schottky diodes », *IEEE Transactions on Electron Devices*, vol. 65, no. 4, p. 1276–1282, 2018.
- [101] T. T. Mnatsakanov, M. Levinshtein, A. G. Tandoev, S. Yurkov et J. W. Palmour, « Minority carrier injection and current–voltage characteristics of schottky diodes at high injection level », *Solid-state Electronics*, vol. 121, p. 41–46, 2016.
- [102] J. B. Gunn, « On carrier accumulation, and the properties of certain semiconductor junctions† », *Journal of Electronics and Control*, vol. 4, no. 1, p. 17–50, 1958.
- [103] S. M. Sze, *Semiconductor devices : physics and technology*. John wiley & sons, 2008.
- [104] D. Sheridan, G. Niu, J. Merrett, J. Cressler, J. Dufrene, J. Casady et I. Sankin, « Comparison and optimization of edge termination techniques for sic power devices », p. 191 – 194, 02 2001.

Annexes

A Syntaxe du mailleur

La syntaxe du fichier de raffinement du mailleur étant spécifique, elle est définie ici. Elle dépend de la géométrie que l'on choisit de raffiner. Les différents cas sont représentés en figure A.1. Ainsi, dans l'ordre d'apparition sur la figure A.1, on peut définir :

- des pavés droits,
- des ellipsoïdes pleines (ou des huitièmes d'ellipsoïdes),
- des ellipsoïdes creuses (ou des huitièmes d'ellipsoïde),
- des cylindroïdes pleins (ou quarts de cylindroïdes) selon un axe de révolution 0, 1 ou 2 correspondant à X, Y ou Z,
- des cylindroïdes creux (ou quarts de cylindroïdes) selon un axe de révolution 0, 1 ou 2 correspondant à X, Y ou Z,

%Syntaxe de définition des zone de raffinement :									
%-----									
%Cuboïde plein									
Cuboid:	25.0, 25.0, 25.0,	25.0, 25.0, 25.0,	4						
%	centre	rayons	DoR						
%-----									
%Ovoïde plein									
Ovoid:	25.0, 00.0, 25.0,	25.0, 25.0, 25.0,	3	[,3]					
%	centre	rayons	DoR	coin à garder					
%-----									
%Ovoïde creux									
OvoidHollow:	25.0, 25.0, 25.0,	50.0, 50.0, 50.0,	25.0, 25.0, 25.0,	4	[,3]				
%	centre	rayons externes	rayons internes	DoR	coin à garder				
%-----									
%Cylindroïde plein									
Cylinoïd:	25.0, 25.0, 25.0,	25.0, 20.0, 25.0,	2,	4	[,3]				
%	centre	rayons/demi-longueur	axe revo	DoR	coin à garder				
%-----									
%Cylindroïde creux									
CylinoïdHollow:	25.0, 25.0, 25.0,	50.0, 50.0, 50.0,	25.0, 25.0, 25.0,	2,	4	[,3]			
%	centre	rayons/demi-longueur	rayons/demi-longueur	axe revo	DoR	coin à garder			
%		externes	internes						
%-----									

Figure A.1 – Syntaxe du fichier d'entrée de raffinement du mailleur

Les différentes géométries possibles et les paramètres qui y sont attachés sont visibles. Les paramètres entourés par des crochets sont optionnels et permettent de ne conserver qu'un quart (ou un huitième pour l'ovoïde) de volume comme zone raffinée.

B Conversion de l'identifiant hexadécimal

décimal

L'identifiant hexadécimal est un code utilisé pour nommer une maille. Cet identifiant est construit de sorte à ce qu'il indique les coordonnées du sommet n_0 , comme présenté sur la figure B.1.a, et permet de déduire la position du centre de l'élément pour lui faire porter les valeurs des flux et des potentiels.

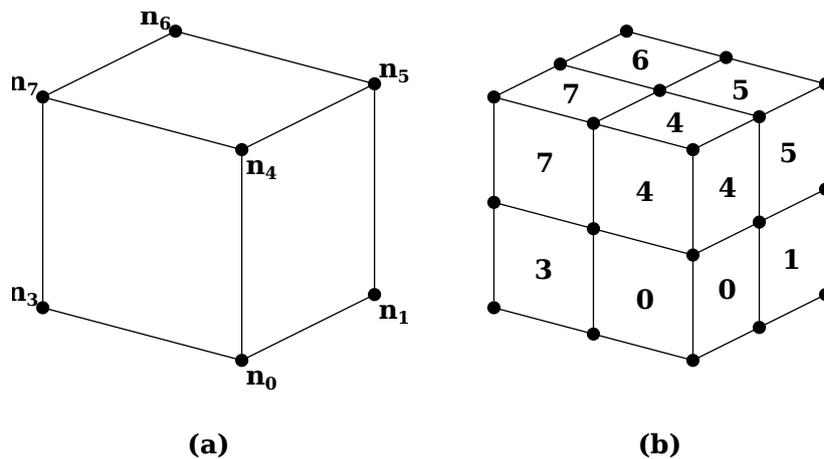


Figure B.1 – Convention d'un élément simple à huit sommets

(a) Représentation d'un élément du maillage simple à huit nœuds numérotés de n_0 à n_7 dans la convention choisie. (b) Convention de numérotation des éléments créés par subdivision d'une maille.

La convention d'appellation est ZZYXXabcd..., avec ZZ, YXX et ZZZ correspondant aux coordonnées des pavés droits codées en hexadécimal avant raffinement. Les caractères a, b, c, d etc. sont les entiers allant de 0 à 7 indiquant la position du cube après raffinement selon la convention de la figure B.1.b. À chaque caractère correspond un degré de raffinement supplémentaire.

Prenons en exemple la structure définie par $L_{X,Y} = 100$, $L_Z = 70$, $n_{X,Y} = 3$ et $n_Z = 2$ à laquelle $DdR = 2$ est affectée à la surface $Z = 70$ et $\{X \in [70, 100], Y \in [0, 30]\}$. Le résultat d'un tel maillage est montré dans la figure B.2. Cette discrétisa-

tion présente les éléments les plus grossiers (sans raffinement) délimités par les arêtes noires, les plus fins délimités par les arêtes rouges et les éléments intermédiaires issus du relâchement progressif du maillage, délimités par les arêtes bleues. Certains identifiants ont été affichés en guise d'illustration, le plus simple étant celui de l'élément noté 00 000 000. On comprend que le sommet n_0 de cet élément est situé en $(0; 0; 0)$. Dans la zone de maillage intermédiaire, l'élément 01 000 001 0 subdivisé une fois ($L_{X,Y,Z}^{\text{elem}} = \frac{L_{X,Y,Z}}{2^1}$) est pointé par une flèche bleue. L'élément considéré est celui qui est numéroté 0 (voir conventions de la figure B.1) de la maille initiale dont l'origine est située en :

$$\begin{cases} z_{init} = 1 \times \frac{L_Z}{n_Z} = 35, \\ y_{init} = 0 \times \frac{L_Y}{n_Y} = 0, \\ x_{init} = 1 \times \frac{L_X}{n_X} = \frac{100}{3}. \end{cases}$$

Son sommet origine (n_0) est donc au point de coordonnées $(x_{init}(1 + \frac{0 \times 1}{2^1}); y_{init}(1 + \frac{0 \times 1}{2^1}); z_{init}(1 + \frac{0 \times 1}{2^1})$, soit $(\frac{100}{3}; 0; 35)$. La même démarche peut s'appliquer sur l'élément 01 000 002 5 5, subdivisé deux fois ($L_{X,Y,Z}^{\text{elem}} = \frac{L_{X,Y,Z}}{2^2}$) noté pour trouver les coordonnées de son origine au point $(\frac{275}{3}; 0; 61, 25)$.

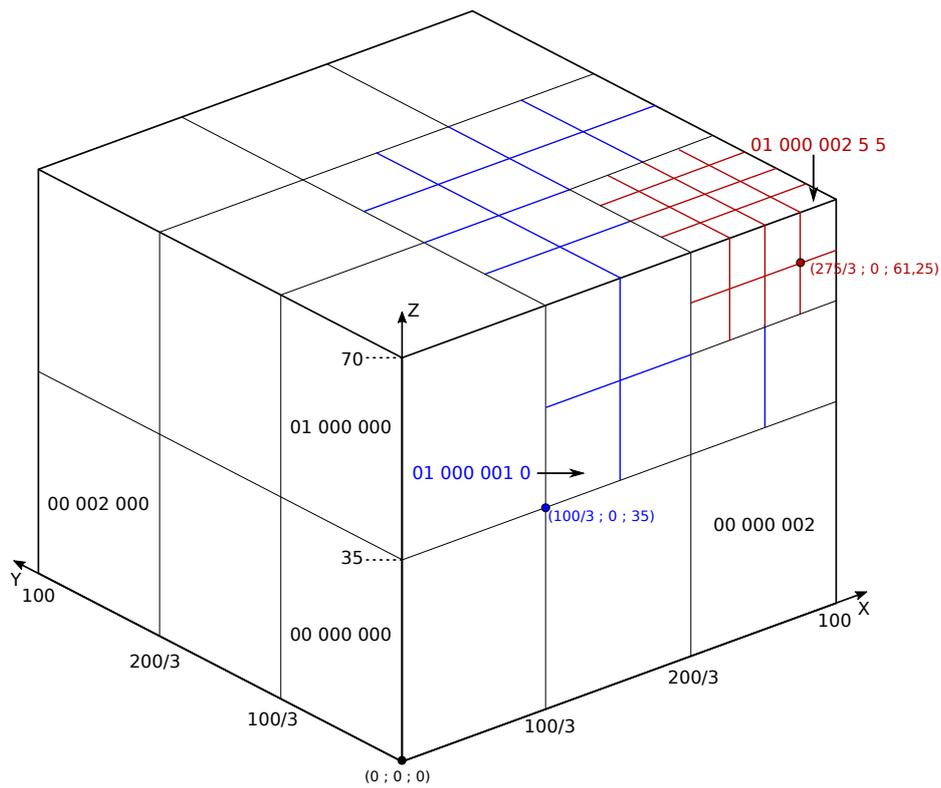


Figure B.2 – Exemple de maillage raffiné deux fois dans un coin et identifiant des éléments

(a) Exemple de maillage avec un découpage de degré deux modélisé par les arêtes rouges, celui sans raffinement par les arêtes noires et celui résultant du relâchement du maillage (degré un) par les arêtes bleues. Certains identifiants d'éléments sont indiqués pour l'exemple.

C Processus de simulation et codes associés

L'articulation du processus de simulation, de l'analyse du layout à l'affichage des résultats, est assez complexe avec plusieurs scripts éventuellement imbriqués les uns dans les autres. La figure C.1 permet de synthétiser ces liens en présentant, non pas les scripts en eux-mêmes, mais les grandes fonctionnalités des scripts créés.

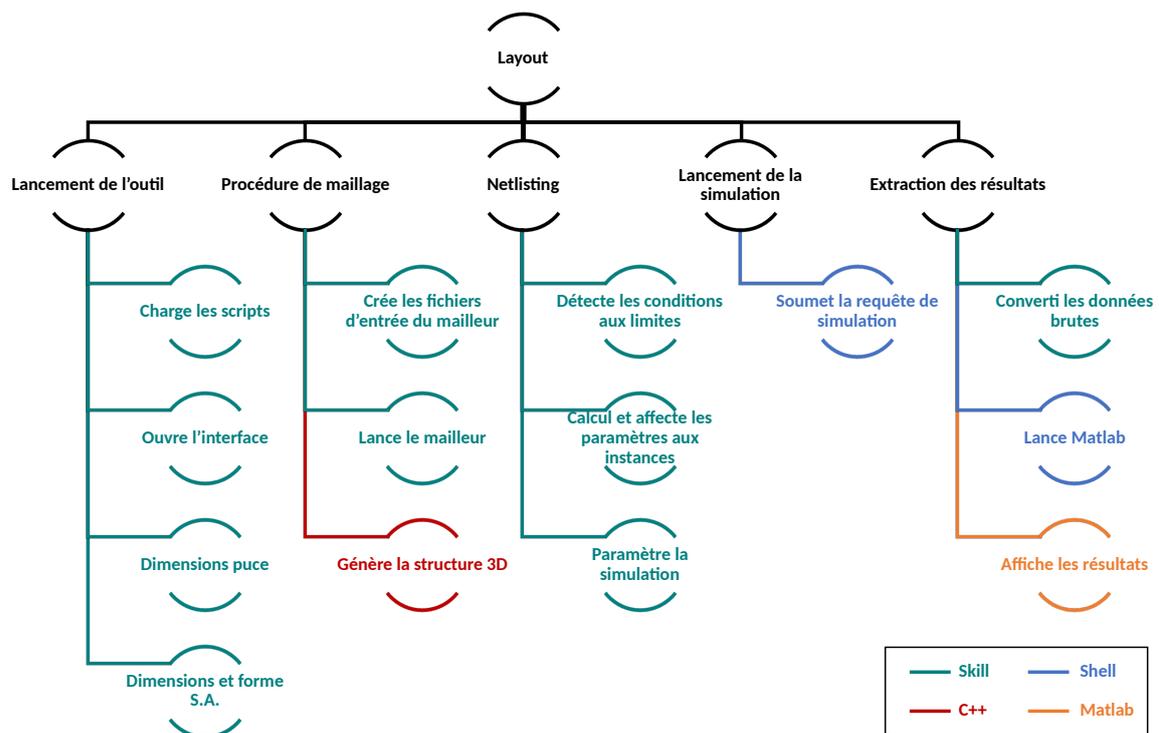


Figure C.1 – Organigramme des fonctionnalités de l'outil

Représentation schématique de l'organisation des fonctionnalités des scripts développés dans l'outil. Une couleur correspond à un langage de programmation. Le noir représente les étapes du processus de simulation.

Les catégories en noir sont les tâches ou les étapes générales du processus de simulation. Les catégories colorées sont les fonctions principales de scripts, ou d'ensemble de scripts. À chaque couleur est associée un langage de programmation.

Nous rappelons que toute cette architecture est gérée depuis l'interface de l'outil qui, à travers les scripts Skill, communique entre les environnements et entre les étapes. Toutes ces tâches permettent, selon les préférences de l'utilisateur et le composant étudié, de générer des fichiers de type texte utilisés par le mailleur, ou bien une netlist utilisée par le simulateur Spectre®.

D Configurations de distribution des flux

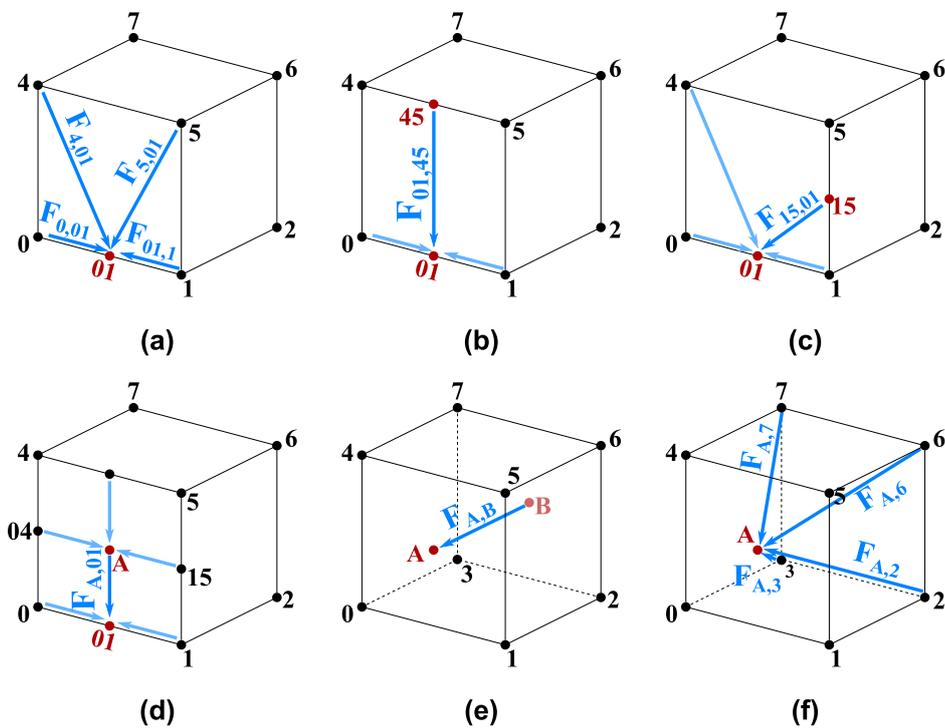


Figure D.1 – Configurations considérées dans le modèle des éléments électro-thermiques à plus de huit nœuds

Distribution des flux électriques et thermiques pour six configurations différentes en ne considérant que les flux liés : **(a)-(d)** au nœud 01 et **(d)-(f)** au nœud A.

Le premier cas a déjà pu être présenté dans le chapitre 3. Le deuxième cas (figure D.1.b) possède une nouvelle branche (01,45) donnant lieu au flux $F_{01,45}$ partagé lui aussi par deux faces. Cette branche compte pour la moitié du flux total traversant la face (0145) verticalement. Elle ponctionne à chaque arête verticale adjacente la moitié du flux initial, ce qui donne :

$$F_{01,45} = \frac{1}{2} \frac{\Delta V_{01,45}}{R_Z}, \text{ et}$$

$$F_{0,4;1,5} = F_{init} - 0,25 F_{01,45}.$$

La troisième configuration (figure D.1.c) voit arriver le flux F_{0115} qui contient une contribution horizontale provenant de la branche (01,1) et une verticale de la branche (1,15), dans les mêmes proportions que la première configuration :

$$F_{01,15} = \frac{1}{2} \frac{\Delta V_{01,1}}{R_X} + \frac{1}{2} \frac{\Delta V_{1,15}}{R_Z}, \text{ et}$$

$$F_{01,1} = F_{init} - 0,5 \frac{\Delta V_{01,1}}{R_X}; F_{1,15} = F_{init} - 0,5 \frac{\Delta V_{1,15}}{R_Z}.$$

La quatrième configuration (figure D.1.d) est équivalente à la deuxième, à ceci près que la valeur de résistance de la branche F_{01A} est divisée par deux d'où :

$$F_{01,A} = \frac{\Delta V_{01,A}}{R_Z}.$$

L'existence d'un nœud au centre d'une face implique que tous les autres nœuds de cette face (04 et 15) sont actifs, le flux échangé est alors tel que :

$$F_{0,04;1,15} = F_{init} - 0,25 F_{01,A}.$$

La configuration de la figure D.1.e représente un flux entre deux faces avec les nœuds A et B présents. La moitié du flux de chaque branche horizontale (1 2), (0 3), (5 6) et (4 7) est attribuée à la nouvelle branche (A B) ($i \in \{0, 1, 4, 5\}$, $j \in \{3, 2, 7, 6\}$) :

$$F_{A,B} = \frac{\Delta V_{A,B}}{R_Y}, \text{ et}$$

$$F_{i,j} = F_{init} - 0,25 F(A, B).$$

La dernière configuration (figure D.1.f) montre que quatre flux provenant de la face formé par les nœuds 2, 3, 6, et 7 sont créés avec l'activation du nœud A. Chacun compte simplement pour un quart du flux initial dans les mêmes branches horizontales que dans la configuration précédente ($i \in \{2, 3, 6, 7\}$, $j \in \{0, 1, 4, 5\}$) :

$$F_{A,i} = \frac{1}{2} \frac{\Delta V_{A,i}}{R_Y}, \text{ et}$$

$$F_{j,i} = F_{init} - 0,25 F(A, i).$$

Modélisation électro-thermique de composants de puissance discrets soumis à une surcharge sous cadence

Résumé

La miniaturisation des composants électroniques est un défi majeur pour nos objets du quotidien. Cependant, cette miniaturisation entraîne une augmentation de la densité de puissance, une élévation de la température et une dégradation des performances et de la fiabilité des composants. Pour remédier à cela, il est donc important de prendre en compte les effets thermiques lors de la conception des composants. Ceci est fait à l'aide de la Conception Assistée par Ordinateur (CAO). Cette thèse a permis de développer un outil de simulation simple et efficace pour les composants électroniques de puissance. L'outil est basé sur l'utilisation de plusieurs modèles compacts distribués dans l'espace pour décrire un seul composant de puissance. Cela permet de déterminer l'évolution des grandeurs électriques et thermiques (courant, température...) à l'intérieur du composant de puissance. Notre méthode permet aussi de s'affranchir de la résolution numérique des équations de transport de charges et de chaleur dans les jonctions. Celles-ci doivent être finement discrétisées dans les méthodes de CAO conventionnelles basées sur la méthode des éléments finis, mais notre méthode utilise le calcul de modèles compacts ne nécessitant pas un tel niveau de discrétisation. Cet atout réduit considérablement les temps de simulation. Le développement d'une interface graphique a été réalisé pour une utilisation simplifiée de l'outil. Enfin, cette approche est suffisamment générale pour être appliquée à tous types de composants et pour modéliser d'autres domaines de la physique.

Mots-clés : Simulation électro-thermique, modèle compact, modèle distribué, discrétisation spatiale

Résumé en anglais

The miniaturization of electronic components is a major challenge for our daily objects. However, this miniaturization leads to an increase in power density, an elevation in temperature, and a degradation of component performance and reliability. To remedy this, it is therefore important to take thermal effects into account during component design. This is done using Computer-Aided Design (CAD). This thesis allowed the development of a simple and effective simulation tool for power electronic components. The tool is based on the use of multiple compact models distributed in space to describe a single power component. This allows to determine the evolution of electrical and thermal quantities (current, temperature, etc.) inside the power component. Our method also avoids numerical resolution of charge and heat transport equations in junctions. These must be finely discretized in conventional CAD methods based on the finite element method, but our method uses the calculation of compact models that do not require such a level of discretization. This advantage significantly reduces simulation times. The development of a graphical user interface was carried out for simplified use of the tool. Finally, this approach is sufficiently general to be applied to any type of component and to model other types of physics.

Keywords : Electrothermal simulation, compact model, distributed model, spatial discretization